

南开大学

博士学位论文

LCoS（硅基液晶）显示器设计

姓名：代永平

申请学位级别：博士

专业：微电子学与固体电子学

指导教师：孙钟林;王隆望

20030416

## 提要(Chinese)

本篇论文研究设计了一类硅基液晶(Liquid Crystal on Silicon, 简称 LCoS)显示器, 其中主要涉及到两款不同用途的 LCoS 显示芯片研制。LCoS 显示器是一种“夹心结构”——单晶硅基底片和镀有 ITO 膜的玻璃片“夹”(封装)一层液晶材料。我们把视频转换电路、行扫描驱动电路和像素矩阵制作在硅基底上, 而 ITO 膜用作公共电极, 液晶材料则工作在固定频率的交流信号下(场反转模式)。LCoS 设计成快速响应光阀, 通过调制每个像素对入射光(来自时序光源)的反射程度(灰度)实现图像显示。

实际上, LCoS 显示技术是硅半导体平面技术与平板显示技术发展相对成熟阶段相结合而诞生, 因而具有了 VLSI 技术的全部设计特征, 然而就其功能与应用领域而言, LCoS 显示器仍是显示市场的一个产品。

本篇论文的研究工作不仅仅是局限于设计出两款可实现的 LCoS 显示芯片(其中一款已在首钢日电成功流片), 更重要的是使人们能够对 LCoS 电路设计、版图设计、相关制作工艺和系统设计有足够的了解。论文大致可分为四个部分。

第一部分(第 1、2 章)阐明本篇论文的立题意义, 综述液晶平板显示器应具备的基本性能。第二部分(第 3、4 章)是本篇论文研究工作的理论基础, 其间全面概述了目前系统芯片(SoC)物理设计方法, 涉及到各种设计流程、工艺流程、EDA 辅助设计软件等, 还介绍了具体的数模混合基本电路单元。第三部分(第 5、6、7 章)基于前面对液晶显示器的认识, 对 SoC 物理设计方法的掌握, 并结合已具备的数模混合电路经验, 系统论述并设计了两款 LCoS 显示器, 一款是可用于近眼显示系统的场序彩色化微型 LCoS 显示器, 另一款是可用于投影显示系统的单色 LCoS 显示器, 该单色 LCoS 显示芯片已成功流片, 论文中将给出芯片实物照片和光学性能实测结果。第四部分(第 8、9 章)概述了 LCoS 显示器制造工艺, 总结了本篇论文的设计要点, 而且对论文工作进行深层次的挖掘, 尝试着提出建立硅基显示芯片的 IP 模块, 并探讨相应的设计方法。

本篇论文主要创新点有四个方面:

- (1) 不连续场序光脉冲彩色模式设计。
- (2) 低功耗数模转换器设计。
- (3) 公共电极场反转低压驱动液晶显示设计。
- (4) 建立硅基液晶显示芯片的 IP 重用设计模块。

另外, 本篇论文还有一个独到之处, 即论文中相关的研究工作没有仅仅停留在理论研究和计算机辅助设计, 而是进一步把研究工作实物化, 根据实际 CMOS 生产线的工艺要求, 设计了一类用于投影显示系统的单色 LCoS 显示芯片, 并付诸生产流片, 论文中给出相应生产出的芯片实物照片和光学性能实测结果。

## Abstract(英文)

In this thesis, a kind of Liquid Crystal on Silicon (LCoS) display is researched and designed. In fact, the LCoS microdisplay is fundamentally extremely small, active matrix liquid crystal display devices, which operate in a reflective mode. The active matrix is fabricated on a silicon chip using CMOS technology. The LCoS display that we design is small, less than an inch diagonal. The active matrix circuit provides a voltage between an electrode at each pixel and a common, transparent electrode, which is separated from the pixel electrodes by a thin layer of liquid crystal. The pixel electrode also acts as a reflective mirror. Light incident on the device through the transparent electrode is modulated by the liquid crystal electro-optics in response to the voltage applied to each pixel electrode. The reflected image is optically separated from the incident light and magnified for projection onto a screen or on the retina of the viewer.

The silicon active matrix backplane, LCoS display chip, of the device affords great flexibility in circuit design. The pixel size is generally not limited by the ability of the silicon technology to fabricate small devices. Rather, the ability of the optical system to efficiently illuminate the array and the lest physical size for the electric field of liquid crystal put a lower limit on the pixel size. Integration of row and column drivers in steadily accomplished by the basic CMOS capability of the silicon backplane; integration of additional functions is an available design choice.

Well, LCoS display technology is born after the semiconductor process technology and the flat plane display have been developing to the relative mature state and combine each other. As a result, LCoS has the same characteristics for design as the LVSI technique. However, from the view of function and application range, LCoS display still is one of production of the display market.

The goal for this thesis is not limited to design out two kinds of realizable LCoS display chip (one of LCoS designing has been realized in ShouGang-NEC Electronics Co., LTD.), it is the more important to make it understood that the main problem on LCoS circuit design, physical layout design, LCoS processes and LCoS system design. In fact, when we grasp the spirit of the LCoS design, it is easy to design the more kinds of LCoS chip.

Approximately, the thesis could be divided into four parts. In the first part, including chapter 1, 2, why select this topic to research and what is the infection of this research are

clarified. At same time the basic functions, which Liquid Crystal FPD must have, are stated. The second part, including chapter 2,3, is the basic theory of this thesis, which would direct the research. In this part, the popular SoC (System on Chip) physical design methods are summarized, as well as many design flows, processes and EDA software are introduced. On another way, the basic digital-analog mixed circuit cells are discussed. In the third part, including chapter 5,6,7, base on understanding with liquid crystal devices, grasping with SoC design methods, combining with experience on digital-analog mixed circuit, two kits of LCoS display chip are designed and discourse upon. Well, one kit is able to configure with near to eye microdisplay, which is frame sequential colorization. Another is able to configure with projector, which is made up of three mono-color LCoS display. And the LCoS chip used in projector has been fabricating in semiconductor factory. Moreover, the photographs of the chip and electronics parameter would be shown in the thesis. In the forth part, including chapter 8,9, fabricating process for LCoS display are summarized, and make the conclusion of design essentials. Moreover, bringing forward to set up IP modules for display on chip, and discuss the relative methods.

There are four innovative keys in this thesis:

- (1) Design of the Incontinuous Luminance Pulse for the Frame Sequential Color Display.
- (2) Design for the low power Digital-Analog conversion.
- (3) Design for driving Liquid Crystal in the low voltage with common electronic field inversion.
- (4) Setting up IP reuse modules for Liquid Crystal on Silicon display chip.

In addition, there is an unconventional change in this thesis, which is the research on the LCoS display chip would be not only limited in probing theory and electronic design assistance, but also realize in the semiconductor engine by the CMOS process standard. Change a word, a sort of mono-color LCoS display chip for projector would be fabricating in the foundry. And the photographs of the chip and optical characteristics would be shown in the thesis.

# 第1章 绪论

控制论创始人 N.维纳指出：“要有效地生活，就要有足够的信息”。人类生存离不开信息，人们随时随地通过眼、耳、鼻、舌、身等感觉器官从外部世界获得信息，其中视觉信息占 70% 以上。为了将各种信息转化为视觉可以接受的信息，古代人想到了“烽火台”、“狼烟”，而我们现代文明人则发明了“显示技术”。这种显示技术追求的是清晰、准确、实时、直观、方便、节能、携带信息量大，甚至彩色、立体化等。

## 1.1 五彩缤纷的显示世界

显示技术的发展首先表现在显示器的发展上。显示器件总体向大信息量、平板化、彩色化、低压、低功耗、实时显示化方向发展。但是，显示器件种类繁多，各有其适合的用途，大体上分成两类：传统阴极射线管(Cathode Ray Tube, 简称 CRT)与现代数字化平板显示器(Flat Plane Display, 简称 FPD)。

虽然 CRT 逼真的色彩性能和成熟的制造工艺使它一直是显示技术中的主流产品，目前已实现高达 1024 行或 2048 行分辨率的彩色 CRT，但美中不足的是 CRT 重量“沉”、体积“大”、耗电“多”。然而，FPD 与 CRT 显示器相比，具有薄、轻、功耗小、辐射低、无闪烁、环保等优点，特别是进入二十一世纪以来，过去一直处于实验室研制阶段的电致发光器件(Electronic-Luminescent Display, 简称 EL)、液晶显示器件(Liquid Crystal Display, 简称 LCD)、等离子体显示板(Plasma Display Panel, 简称 PDP)等目前已形成了巨大的产业，纷纷形成商品走进市场。

电致发光显示(EL)，是发明最早的一种平板显示器件，曾因亮度低、寿命短、驱动电压高等缺点而不得不停留在实验研究阶段。然而，随着液晶显示技术的发展，液晶显示背光源的需求对电致发光注入了动力。此外，新材料的开发又增加了 EL 发光亮度、延长工作寿命，特别是有机电致发光薄膜的问世，其亮度与 CRT 的相当，且低压直流驱动，这一切使得电致发光显示技术又注入新鲜活力。

等离子显示(PDP)发展起步也较早，虽然驱动电压比较高，但可以制成较大面积和较精细的象素，在大屏幕显示方面向 CRT 提出了挑战。

液晶显示(LCD)器件是目前 FPD 的主流产品和成熟的平板显示器。LCD 不断克服价格过高的应用障碍，2000 年世界市场一举成长了 24.3%，达 196 亿美元(同年 CRT 为 310 亿美元)。随着监视器、笔记本电脑市场成长，中大尺寸(8 英寸以上)LCD 需求逐年增长，加上中小尺寸(一般认为 6~8 英寸为中型，2~3 英寸为小型，2 以下为微型显示器)应用市场起飞，全球 LCD

产值将稳定增长,预计2003年前将以每年18.5%的速度成长,届时将达311亿美元。

LCD独具的低压、低功耗特性,使它可以直接与大规模集成电路结合,开发出一系列具有便携显示功能的产品。这样,在电视、办公室自动化设备领域,LCD赶上或超过CRT功能的可能性愈来愈大。而且从“轻”、“薄”、“耗电少”等方面考虑,取代CRT的日子愈来愈临近。在考虑到LCD与微电子技术的良好匹配性,可实现更高性能的显示功能,因而可以扩大使用范围——微型硅基显示器是其典型代表。

其它如电致变色显示(ECD),电泳显示(EPID),压电显示(PLZT)等,同样各具特色。可以这样说,现代显示技术呈百花齐放之势。

## 1.2 LCoS 显示技术

我们已经注意到,除了显示器,几乎所有的电子器件都在缩小体积。是否存在既能只占有少量空间,又能获得更高显示分辨率的显示技术?近来发展起来的硅基液晶(Liquid Crystal on Silicon,简称LCoS)平板显示技术为人们提供了这样的机会。表面上LCoS仍然是一种新型的反射式液晶显示技术,实际上它却融合了当今信息产业的两大支柱技术——以单晶硅片为衬底的CMOS器件集成技术,和以透明平板硬质基底为封装盒的LCD显示技术。因而LCoS显示器具备小尺寸和高显示分辨率的双重特性。从SID 2001研究成果来看,LCoS的像素密度在700ppi(pixel per inch)以上,显示器对角线尺寸通常在18mm(约0.7英寸)左右,主要用于投影显示和头盔显示。图1-2-1是Three-Five Systems制作的LCoS显示器,其芯片对角线尺寸为0.78英寸<sup>[1.1]</sup>。

事实上,早在二十世纪70年代初,Brody等人开发了CdSe TFT-LCD(Thin Film Transistor Liquid Crystal Display)技术,采用硒化镉(CdSe)薄膜晶体管(TFT)开关矩阵,对液晶显示板上的每一个像素寻址,且在整个帧期间使该像素的电压保持不变,实现近似100%占空比寻址。但由于CdSe材料技术不成熟,未能发展成工业化生产技术<sup>[1.2]</sup>。



图1-2-1  
Three-Five Systems 的  
SXGA(1280x1024)LCoS屏,  
对角线0.78英寸,  
像素间距12 $\mu$ m,  
是LCoS显示器的代表产品。  
通过柔性连接,数据和时钟  
传输到集成在硅基板上的行  
列驱动器

后来人们采用制作太阳能电池的非晶硅(a-Si)材料,借助半导体平面集成技术,在玻璃基板上成功地制备了a-Si TFT平面阵列,并与液晶显示技术相结合发展了a-Si TFT-LCD技术,于二十世纪90年代初形成a-Si TFT-LCD产业。但a-Si TFT受载流子迁移率低的制约,不适合应用于高密度高分辨率液晶显示,因而研究开发了多晶硅(p-Si)TFT-LCD技术,显示像素密度200ppi以上,并可与周边电路集成一体化,提高了显示器件的紧凑性和可靠性。当上述技术由玻璃基板转移到单晶硅片上以后,发展成LCoS显示技术。

把液晶显示寻址矩阵制作在单晶硅片上的设计,与传统的在非晶硅或者多晶硅材料上制

作有源寻址矩阵相比, 优势明显。首先, 单晶硅能用来制作大规模集成电路, 即包括扫描驱动、时钟电路、存储器等周边驱动电路和 TFT(MOS)寻址开关矩阵容易制造在同一块芯片上, 因此保证了 LCoS 显示芯片的可靠性。而且, 很显然 LCoS 显示芯片可以在现成的 IC 生产线上代工。其次, 利用单晶硅高迁移率的特性, 可集成高密度开关矩阵, 象素尺寸为微米量级, 象素密度可达 1000ppi<sup>[1.3]</sup>。另外, 如图 1-2-2 所示, LCoS 因反射式显示几乎不受开口率的限制, 这种硅片上高密度高分辨率象素集成技术完全借助现代大规模集成电路技术, 因而是比较成熟的 FPD 技术。

总的说来, 反射式 LCoS 技术具有如下制造优势<sup>[1.4][1.5][1.6]</sup>。

- (1) 可利用标准 CMOS 工艺生产显示芯片, 然后在适当的 LCD 工艺线上完成封装<sup>[1.7]</sup>。
- (2) 可缩小显示屏尺寸从而降低系统成本、物理尺寸和重量。
- (3) 如图 1-2-2 所示, 即使象素尺寸非常小, 仍可得到非常高的开口率<sup>[1.6]</sup>。
- (4) 可利用硅平面技术中的化学机械抛光(CMP)技术得到非常理想的反射镜面。
- (5) 可在硅片上设计并集成高性能的 CMOS 电路, 同时在一定规模范围内实现高显示分辨率。

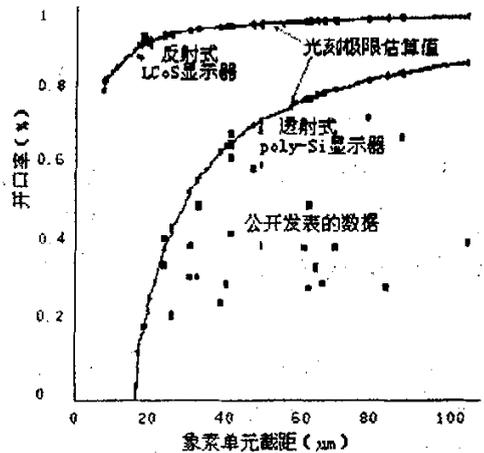


图 1-2-2 开口率与象素单元间距的关系曲线

由于 LCoS 显示器具有尺寸小, 功耗低, 分辨率高的优点, 在与其它平面显示技术竞争中占有利地位。比如, 一般移动电话都使用 TN-LCD 和 STN-LCD, 但是越来越多的用户希望看到 E-mail, 视频图像及网上浏览, 这就需要移动电话配置分辨率不低于 QVGA(320x240)的虚拟显示屏。这也是 LCoS 技术的潜在市场之一。另一个潜在应用是微型取景器。与传统的直视型 AMLCD(对角线 2~4 英寸)相比, LCoS 技术提供的图像大 5~10 倍, 分辨率不低于 QVGA, 功耗仅原来的 1/15~1/30, 重量约 1/5。

LCoS 显示器在大屏幕显示方面的主要应用将仍然是投影机, 而最大的增长潜力是消费类产品。

LCoS 虚拟显示器非常适合许多消费产品应用, 包括上面提到的数字摄像机, 可视移动电话, 以及 PDA 和头盔显示器等需要嵌入微型显示器的电子产品。图 1-2-3 是 Stanford Resource Inc. 显示研究所公布的市场调研数据, 它表明 2002 年使用 LCoS、AMEL、p-Si TFT-LCD 等技术实现的微型显示器, 其产值为 12 亿美元, 到 2004 年预计可达 23 亿美元, 其中用



图 1-2-3 微型显示器潜在应用市场估计, 2000 年约 \$5 亿美元, 2004 年约 \$23 亿美元

背微型显示器组装的投影设备占 50%以上。

在 LCoS 器件设计和芯片供应方面, 美国 Aurora, Three Five System, 日本 JVC 已走在前面。韩国、中国台湾的公司也相继投入 LCoS 产业<sup>[1-8]</sup>。但实情是各国各公司出于商业价值的考虑, 有关 LCoS 显示技术的关键资料均严格保密。

### 1.3 论文立意意义

二十世纪末, 随着 IC 工艺技术日趋精细, 以单晶硅片为基底、运用 IC 平面技术来产生更高显示分辨率的, LCoS 显示器逐渐出现在集成数字投影显示系统、军用头盔显示器、虚拟现实等方面。LCoS 显示器最大的优点是显示分辨率可以很高, 在携带型资讯设备的应用上, 该优点是其他技术无法与之看齐的。

目前 LCoS 显示器的发展业者集中在美英两地的 Fabless 公司, 包括 Three-Five、Aurora(原 S-Vision)、MicroPix、Microdisplay、Kopin、Displaytech、SpatialLight 及香港的 Varitronix 等。由于 LCoS 显示器在研发中涉及整个显示器件的设计、制造到光学系统的整合, 有相当程度的技术难度, 上述业者所开发的硅基显示器各有专用的 ASIC、光学引擎等, 并且零组件和装配生产各自为政, 无法标准化, 加之 LCoS 后工序成品率有待提高, 因此目前很难达到量产的经济规模, 而部份其它业者因无法提出全套的解决方案, 致使产品无法顺利推出。显然, 解决这些难题的关键是着手建立 LCoS 与上下游产业结构, 推行产业标准化。

可喜的是, 国内在有源平板显示投影机光学引擎、光源、整机设计及液晶板制造方面均有研发和向产业化方向转移的例子, 并引起更多企业家的兴趣。据 Microdisplay Report 的高级编辑 Chris Chinnock 撰文称, 已有中国公司与世界著名的, 以生产透射式有源平板显示器件而闻名的 Kopin 公司联手, 共同开发头盔显示系统。然而, 这种联手仍没有走出低技术含量的系统组装范畴, 对发展具有中国自主知识产权的高新技术作用不大。根据我们在平板显示器领域的研究能力和已掌握的 SoC 技术, 完全能够展开 LCoS 显示芯片研究, 这样一方面为我们国家进军具有高附加值的高清晰平板显示器产业作必备的技术准备, 另一方面从产业的长远利益出发, 必须开发具有完全自主知识产权的芯片。国内公开资料指出, 我国上海华显, 华园和深圳创维已将 LCoS 作为重点产业化发展对象; 杭州、南昌与光电子相关的研究所、公司等已建立硅基平板显示器的后加工和光学系统生产线; 去年天津天财股份集团《LCOS 封装技术研发项目》通过天津市科委科技成果鉴定(2002.5.1)。可以说, 设计开发 LCoS 显示芯片就成了发展显示产业的必然再生点。因此我们一定要使中国的微显示芯片尽快诞生, 开创 LCoS 显示技术的新局面, 这也是中国的平板显示产业长足发展的重要机会。

LCoS 显示器是硅半导体平面技术与平板显示技术发展相对成熟阶段相结合而诞生, 因而具有了 VLSI 技术的全部设计特征, 然而就其功能与应用领域而言, 有源平板显示器仍是显示市场的一个产品。

从技术上讲, LCoS 显示器是一类新型的片上系统(SoC), 是微电子学、平板显示技术及其理论、现代集成光学及其设计方法学、大规模集成电路设计方法学、以及网络式设计软件应用技术等多学科融合后的物化产品, 属于巨微电子学范畴。开展 LCoS 显示器件的相关研究, 也是多学科系统交叉并与实际结合的典型代表。

进行 LCoS 显示芯片的设计开发, 从研究知识层次看, 要求设计者既熟练于 IC 设计方法学, 又拥有电子成像学, 信息显示学等知识的复合; 从设计工具应用选择上看, 设计者应当熟悉 Cadence, Awanty 等具备全定制设计功能的 EDA 辅助设计软件, 设计步骤采用“自顶向下”和“由底向上”相结合; 从国家利益上看, 可开发具有我国自主知识产权的关键 SoC 芯片。这一切正适合国内微电子学科面向系统开发的发展方向。

特别是从国内外现有公开资料的查询情况看, 本篇论文独立设计出的低压场序彩色工作模式避免了 CMOS 高压工艺, 为 LCoS 显示器的生产描绘出低廉成本的前景。特别是在首钢 NEC 实现了 LCoS 显示芯片的代加工, 以实际研究成果说明中国完全有能力设计生产具有我国自主知识产权的显示领域的 SoC 芯片。

## 1.4 论文设计工作导论

本篇论文的研究工作不仅仅是局限于设计出两款可实现的 LCoS 显示芯片及相关显示系统(器), 更重要的是使人们能够对 LCoS 相关工艺、电路设计、版图设计和系统设计有足够的了解, 以便能使产业届对 LCoS 工艺具有充分的自信。因此在以后的论文叙述中, 把 LCoS 显示器设计工作分析得详尽到版图的水平, 从而在电路到可以进行制作之间建立了一座“桥梁”。目前, 相对自动的设计方法可以将逻辑图自动转换成为芯片的版图, 然而, 对于要求二维平面规整性的硅基显示芯片, 这种方法无法有效地运用于 LCoS 显示芯片的设计, 笔者希望通过在该论文工作中建立的大量基本电路单元和一些设计技巧, 能使后继者能在很短时间里精确地构成更高分辨率的硅基显示芯片。

本篇论文大致可分为四个主要部分。

第一部分包括第 1、2 章。第 1 章简要回顾了 LCoS 显示技术的发展和面临的问题, 相机指出本篇论文的立题意义; 第 2 章主要综述了液晶平板显示器应具备的基本性能, 这样作的目的是为了对整个设计工作提供一幅完整的形象, 而不至于钻进无关紧要的细节比较中。

第二部分包括第 3、4 章, 是本篇论文研究工作的理论基础。其中第 3 章全面地概述了目前系统芯片(SoC)物理设计方法, 不仅涉及到各种设计流程、工艺流程, 而且较深入叙述了 EDA 辅助设计软件的工作原理、MOS 晶体管模型参数选择, 这是完成本篇论文设计工作的方法论基础; 第 4 章介绍了具体的数模混合基本电路单元, 这里从理论上分析了组成 LCoS 显示芯片电路的合理性与可实现性。

第三部分包括第 5、6、7 章。第 5、6 章基于前面对液晶显示器的认识, 对 SoC 物理设

计方法的掌握,并结合已具备的数模混合电路经验,系统论述并设计了两款 LCoS 显示器,指出具体技术设计方法和路线;第 7 章详细陈述了基于 Cadence 平台设计 LCoS 显示芯片的过程,其间结合具体电路介绍了一些设计技巧。

第四部分包括第 8、9 章。第 8 章概述了 LCoS 显示器制造工艺;第 9 章不仅总结了本篇论文的设计要点,而且对论文工作进行深层次的挖掘,尝试着提出建立硅基显示芯片的 IP 模块,并探讨相应的设计方法。

## 参考文献

- [1.1] Robert L.Melcher. LCoS-Microdisplay Technology and Applications [J], Information Display, 2000, 16(7): 20~23
- [1.2] [日本]金子英二 著,刘维民,田辉 译. 液晶电视显示技术 [M]. 江苏科学技术出版社, 无锡, 1990: 231~241
- [1.3] Sato F,Yagi Y,Hanihara H.High Resolution and Bright LCD Projector with Reflective LCD Panels [C], SID International Symposium Digest of Technical Papers XXVIII, Boston, 1997: 997-1000
- [1.4] Cacharelis P,Kim U,Frazee J,Moore P,Brown K,Littrell R,Renteln P,Flack R. An 0.8 micron EEPROM Technology Modified for a Reflective PDLC Light-Valve Application [C], SID International Symposium Digest of Technical Papers XXVIII, Boston, 1997: 289-292
- [1.5] Paul M. Alt. Single Crystal Silicon for High Resolution Displays [C], Conference Record of the 1997 International Display Research Conference (SID, Toronto), 1997: M19-M28
- [1.6] Michael Stefanov. Manufacturing LCoS Microdisplays [J], Information Display, 2000, 16(7): 24~26
- [1.7] Chris Chinnock. Microdisplays and Manufacturing Infrastructure Mature at SID2000 [J], Information Display, 2000, 16(9): 18-21
- [1.8] Chris Chinnock. Microdisplays and Their Applications [J], Information Display, 2001, 17(10): 22~25

## 第2章 有源液晶显示技术

从 TN-LCD 到 STN-LCD 技术,再到非晶硅 TFT-LCD 技术,直至多晶硅 TFT-LCD 技术,液晶显示(LCD)技术从无源寻址发展到有源寻址,相应的显示器产品越来越成熟, LCD 产业发展可谓一日千里。实际上有源开关显示矩阵克服了 TN 模式阈值特性不足,大大增加信息显示容量,分辨率达到 QXGA(2048~1536), 1600 万色,其品质足以与 CRT 媲美。在第 1 章已回顾了 LCoS 显示技术的发展历程,可以说 LCoS 是一类制作在高性能低价位硅芯片上的反射式有源液晶显示器,当属液晶显示技术上最新产品<sup>[2.1]</sup>。

### 2.1 液晶显示器分类

液晶的各向异性和低弹性常数等特性能使液晶具有丰富多彩的电光效应,利用这些电光效应制作的显示器件无论从功能、结构,工作模式或显示方式上更是五花八门。为了系统地展开 LCoS 显示技术研究,本篇论文有必要从不同角度介绍液晶显示器的分类,从而把握 LCoS 显示器的本质特性。

#### 2.1.1 从光学模式上分类

传统液晶显示器件的基本结构是由两片透明基板制成的薄型盒。通常按光学工作模式,液晶盒结构可划分为两大类:透射型,反射型。

如图 2-1-1 所示。所谓透射式调制是指光源配置在显示器的背面,光线经过象素矩阵为透明或半透明的显示屏时,受到屏上每个象素的调制而产生图形;所谓反射式调制是指显示器象素矩阵有选择地反射外光源光线而形成图像,在象素空间占有率(开口率)、光线有效利用率、采用较少复杂工艺等方面,该技术超过了透射式调制。但总的说来,透射型和反射型属于调制光显示模式,都要利用外光源,因此显示屏自身功耗低,且易于小型化,另外可运用成熟的平面光刻技术来规划显示空间,从而提高图像分辨率。

显然,按 LCoS 显示器的光学工作模式看,其应是一类反射型光调制器。我们知道,在自然界中人类所感知的视觉信息中,90%以上是靠外部物体的反射,因而反射式显示器更适合于人眼视觉,更不易

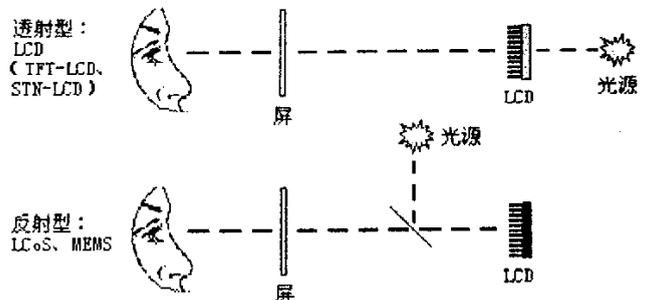


图2-1-1 液晶显示器件按结构分成两大类

引起疲劳。这个优点在大信息量、高密度、快速变换、长时间观察的显示尤其重要。

图 2-1-1 中已标明 LCoS 显示器属于反射型有源液晶显示器，它的最大优势在于它们有能力提供近乎完美的图像，即便显示屏对角线在 0.5 英寸(13mm)以下，也能为用户提供彩色视频效果，而且性能不亚于普通电视机和 PC 监视器，这就意味着用户完全可以不分地点的上网读邮件、观电影、找资料；另外这也预示出计算机、投影设备将变得更小、更轻、更便宜。

### 2.1.2 从液晶驱动方式上分类

液晶是一种介于固体与液体之间，具有规则性分子排列的有机化合物，一般最常用的液晶型式为向列(nematic)液晶，分子形状为细长棒形，长约 1nm~10nm，在不同电流/电场作用下，液晶分子会做规则旋转 90°排列，产生透光率的差别。

图 2-1-2 示意了 TN 型液晶显示器显示原理：在外加电场的的作用下，具有偶极矩的液晶棒状分子排列状态发生变化，使得通过液晶显示器件的光被调制，从而呈现明与暗或透过与不透过的显示效果。液晶显示器件中的每个显示单元(像素)都可以单独被电场控制，不同的显示单元按照控制信号的调制便可以在显示屏上组成不同的字符、数字及图形。因此建立控制液晶棒状分子排列与重排列所需的电场，以及控制液晶显示单元的组合就成为液晶显示驱动器和液晶显示控制器的功能。

在显示像素上建立直流电场是非常容易的事，但直流电场将导致液晶材料的化学反应和电偶极老化，从而迅速降低液晶的显示寿命，因此必须建立交流驱动电场，并且要求这个交流

电场中的直流分量越小越好，通常要求直流分量小于 50mv。液晶显示的驱动就是用来调整施加在液晶显示器件电极上的电位信号的相位、峰值、频率等，建立驱动电场，以实现液晶显示器件的显示效果。

从单个像素电路看，液晶显示的驱动方式主要

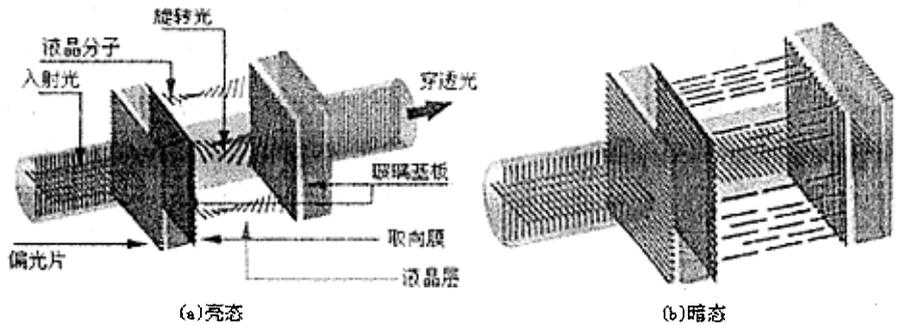


图 2-1-2 TN型液晶显示器显示原理

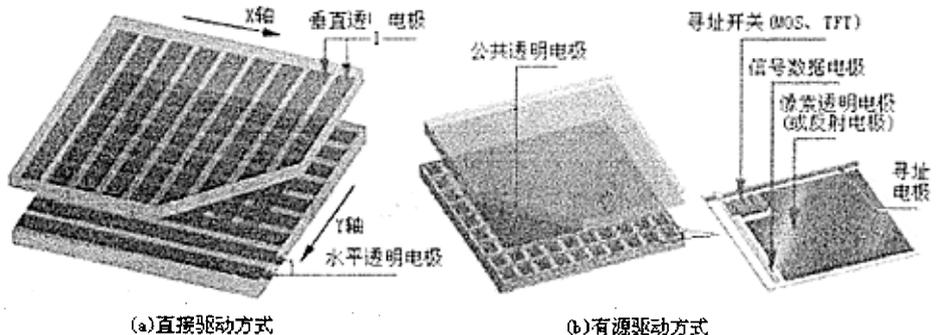


图 2-1-3 液晶显示器两种主要的驱动方式

分为无源驱动方式和有源矩阵方式(见图 2-1-3 示意)<sup>[2,2]</sup>。无源驱动方式常用于简单矩阵液晶显示器, 因这类显示器很难满足多路、视频图像的显示需要, 我们将不作讨论。对于有源矩阵方式, 通过对每个像素配置非线性有源元件, 可以排除多余信号的干扰, 实现高质量动态图像显示。前面已经指出 LCoS 技术属于有源驱动。

有源矩阵方式的分类在图 2-1-4 中给出<sup>[2,3]</sup>, LCoS 技术和 TFT 技术都采用三端子方式驱动液晶。三端子方式的优势在于能够分离显示信号的输入端子和寻址信号的输入端子, 所以能够独立进行各个信号最优化, 容易得到高的显示质量<sup>[2,4]</sup>。二端子方式中显示信号和寻址信号由公共的端子输入, 所以不大可能得到三端子方式那样的高质量图像。但不论哪一种方式, 寻址元件的特性和驱动方法是决定显示质量的重要因素。

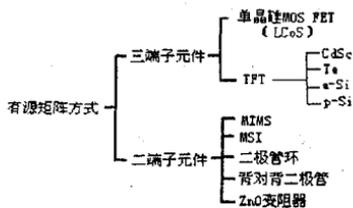


图 2-1-4 有源矩阵液晶显示器的分类

三端子方式能够把像素和寻址开关管矩阵配制在同一基板上, 可以使显示部分和驱动电路同时集成、内装, 特别是采用单晶硅显示芯片作基底的 LCoS 显示技术更易于最大限度地发挥出三端子方式的优势。

从整个寻址矩阵工作模式看, 有源液晶显示器按数据写入方式大致分为逐点驱动和逐行驱动。前者是在极短时间内按每一像素顺序写入显示数据的方式, 其特征是驱动电路构造简单; 后者要求配置行锁存器对迅速信号预存储, 然后按每条扫描线写入数据, 虽然电路构造复杂, 但适合于显示信号全数字化, 从而容易得到高质量图像。

作为影响写入特性的因素, 要考虑由信号线电阻和电容决定的显示信号失真度和电路的驱动能力。写入的信号电压或控制电压由于有源元件端子间电容耦合会受到影响而有若干变动。这种变动表现为显示图象的闪烁和不均匀性增大, 为此应当用耦合电容小的有源元件, 使失真度较小。从这点来看, 采用单晶硅亚微米技术的 LCoS 显示器将拥有更多的优势。另外, 还可以通过使每一幅/行显示信号的极性反转, 让图像质量平均化来减少闪烁。提高显示质量, 驱动方式是一个重要因素, 但决不能单独选择, 在寻求最佳方案时, 考虑有源元件特性等因素的平衡是很重要的。

至于哪种驱动方式更有优势, 目前没有公认的定论。实际上, 在本篇论文设计的两块 LCoS 显示芯片中, 出于用途的差别和成本的考虑, 分别采用了上述两种方案, 从仿真结果来看都是令人满意的。

## 2.2 有源液晶显示器基本性能指标

在外型特征方面, LCoS 显示器与其它有源液晶显示器一样都具有显示屏扁平、厚度薄、表面平坦等特点。从显示器的角度来看, 在液晶显示系统的发展过程中, 业界制订了多个显

示标准来规定最高分辨率、信号接口形式、行场同步信号的频率等(见表 2.2.1)。从最初的 MDA, 经过 CGA、EGA、VGA、SVGA 一直到现在的 XGA。实际上显示标准还是处在不断发展的过程中, 同时各生产厂家为使自己的产品更有特色、性能上更加适合各种显示制式的要求、更具竞争力, 除了兼容以上各标准外, 还开发了自己独特的显示标准。

表 2.2.1 几种显示标准的性能比较 (除 8514/A 标准外都是逐行扫描模式)

显示标准	最大分辨率	行频 kHz	场频 Hz	基色灰度	色深	字符窗口
IBM MDA(Monochrome Display Adapter) Hercules(大力神公司开发)	720 x 348	18.4	50	2 <sup>0</sup> =1 单色	无	9x14
IBM CGA(Color Graphics Adapter)	320 x 200	15.7	60	2 <sup>1</sup> =2	8	8x8
IBM EGA(Enhanced graphics Adapter)	640 x 350	21.8	60	2 <sup>2</sup> =4	64	8x16
IBM VGA(Video Graphics Array)	640 x 480 /800 x 600	21.8	61.4	2 <sup>4</sup> =16	4096 (4K)	8x16
	640 x 480	31.5	60 /70	2 <sup>6</sup> =64	262,144 (256K)	9x16
Super VGA / Super VGA+	1024 x 768 /800 x 600	35 ~48	56 ~72	2 <sup>8</sup> =256	16777,216 (16M)	9x16
8514/A(隔行扫描)	1024 x 768	35.5	87	2 <sup>8</sup> =256	16777,216 (16M)	9x16
XGA(Extended Graphics Array)	1024 x 768	48	60	2 <sup>8</sup> =256	16777,216 (16M)	9x16

就有源液晶显示器而言, 当然 LCoS 显示器也不例外, 图像显示的最小单位是像素, 任何图像或文本都可以分解成一个个独立的像素, 每个像素都有各自的亮度和颜色信息, 大量的像素集合在一起, 就会构成内容各不相同的图像。对于不同用途的显示器除了要符合客观信息的要求之外, 还有由于人的生理和心理因素所决定的要求。现将具有较为普通性的主要性能指标基本要求, 归纳如下:

- 1) 亮度(单位 cd / m<sup>2</sup>) 是指垂直于光束传播方向的单位面积上的发光强度。表 2.2.2 给出了几种常见的亮度标准。

表 2.2.2 常见亮度标准

人眼可见的最低亮度	普通显示器		普通电影	雪地阳光反射	人眼可忍受的极限亮度
	室内	室外			
0.03cd / m <sup>2</sup>	70cd / m <sup>2</sup>	300cd / m <sup>2</sup>	30-45cd / m <sup>2</sup>	50000cd / m <sup>2</sup>	50000cd / m <sup>2</sup>

- 2) 对比度 是指画面上最大亮度和最小亮度之比。一般显示器对比度不低于 30 : 1。
- 3) 分辨率 是被显示图像清晰程度的标志。在平板显示器分辨率用两个数表示, 如 640 × 480、800 × 600 等, 其中前者代表水平方向扫描线数, 后者为垂直方向的像数列数, 显示器的像素总数等于这两个数的乘积。
- 4) 灰度 是指画面上亮度的等级差别。眼睛可分辨的最大灰度约 100 级。
- 5) 开口率 是指平板显示器上发光面积与显示屏面积之比, 该值越大亮度和对比度越高。
- 6) 色深 是指显示器所能显示的最大色彩种类。在信息数字化的今天, 图像的视频信息也

不例外以二进制编码来表示, 图像的每个象素都和显示控制器(或者显示适配器)中的一个或多个存储单元相对应, 这些存储单元的内容就是代表该象素的颜色和亮度信息的二进制编码。显然每个象素对应的存储单元数目越多, 则能表示的色彩和亮度层次也越多, 图像所含的信息量也愈大; 假如每个象素只对应一个存储单元, 则该单元的内容非 0 即 1, 表示的只能是黑白两种颜色, 即单色显示。如一象素使用 8 位的存储单元, 就可对  $2^8=256$  种颜色进行二进制编码, 能显示颜色的种类就丰富多了。

- 7) 发光颜色(或显示颜色) 显示器件的颜色显示能力, 包括颜色的种类、层次和范围, 是彩色显示器件的一个重要指标, 其衡量方法通常用色度坐标表示。
- 8) 响应时间(余辉时间) 响应时间是指从施加电压到出现显示的时间, 又称为上升时间。而当切断电源后到显示消失的时间称为下降时间, 又称作余辉时间。

关于显示器的其他指标要求, 例如, 显示面积、存储时间、观察视角、稳定性、可靠性、驱动电路的复杂程度、器件寿命、功耗、体积、重量、性能价格比, 等等, 也都是很重要的, 虽然限于论文篇幅这里不一一叙述, 但 LCoS 显示器终究是一类液晶平板显示器, 在论文随后的讨论中也将涉及到它们。

## 2.3 小结

本章 2.1 节在从不同角度介绍液晶显示器分类的过程中, 系统地展示了 LCoS 显示器应具备的光学属性、电学属性等。接着 2.2 节概述了有源液晶显示器基本性能指标, 这也是对 LCoS 显示器的基本要求。因此, 这两节为本篇论文的研究工作确立了边界条件, 已把论文的研究工作推进具体方法轨道。

## 参考文献

- [2.1] 黄锡珉 LCoS技术的发展[J], 液晶与显示, 2002, 17(1): 1~4
- [2.2] 日本学术振兴会第142委员会 编, 黄锡珉 黄辉之 李之熔 译. 液晶器件手册[Z], 航空工业出版社, 北京, 1992: 434~437
- [2.3] 李维混, 郭强. 液晶显示应用技术[Z], 电子工业出版社, 北京, 2000: 37~38
- [2.4] 张兴义. 电子显示技术, 北京理工大学出版社, 1995年10月第1版, 56~60

## 第3章 系统芯片(SoC)物理设计方法概述

表面上 LCoS 显示器是一种新型的反射式有源液晶显示技术的物化成果,实质上融合了当今信息产业的两大支柱技术——以单晶硅片为衬底的 CMOS 器件集成技术,和以透明平板硬质基底为封装盒的液晶显示技术。换句话说,LCoS 显示器可视为一个集成在硅芯片上的微型液晶显示系统。前两章从液晶显示技术的角度讨论了 LCoS 显示屏应具备的基本属性,这一章将从系统芯片(System on Chip,简称 SoC)设计方法学角度讨论 LCoS 显示器核心——硅基显示芯片可实现的设计途径。

### 3.1 SoC 集成技术

在集成电路发展初期,芯片电路都从器件的物理版图设计入手,后来出现了 IC 单元库,IC 芯片设计则从器件级进入到逻辑级,这样的设计思路使大批电路和逻辑设计师可以直接参与 IC 设计,极大的推动了 IC 产业的发展。但 IC 不是最终产品,它只有通过印制电路板(PCB)等技术实现整机系统。尽管 IC 的速度可以很高,功耗可以很小,但由于 PCB 板上 IC 之间的连线延迟、PCB 板可靠性以及重量等因素的限制,整机系统的性能受到了很大的限制。随着系统向高速度、低功耗、低电压和多媒体、网络化、移动化的发展,系统对电路的要求越来越高,传统 IC 设计技术已经无法满足性能日益提高的整机系统的要求。同时,由于 IC 设计与工艺技术水平不断提高,集成电路规模越来越大,复杂程度越来越高,已经可以将整个系统集成成为一个芯片。正是在需求牵引和技术推动的双重作用下,出现了将整个系统集成在一个 IC 芯片上的系统级芯片概念。

#### 3.1.1. SoC 芯片特征与设计策略

SoC 集成不只是把功能复杂的若干个数字逻辑电路放在同一个芯片上,做成一个完整的单片数字系统,而且在芯片上还应包括其它类型的电子功能器件单元,如模拟电路单元和专用存储器单元,甚至包括射频电路、MEMS 等。系统芯片应当具有以下几个特征:

- (1) 具有明显的面向对象域的应用特征,功能上体现出多学科融合交叉。
- (2) 规模庞大、结构复杂、芯片尺寸 10mm×10mm 以上,电路结构包括各种微处理器、存储器、ADC、DAC 以及其它模拟和射频电路。
- (3) 速度高、时序关系严密。各模块内和模块间错综复杂的时序关系,给设计设置了许多技术问题,如时序验证、低功耗设计以及信号完整性和电磁干扰、信号串扰等高频效应。

(4) 系统级芯片多采用亚微米以下工艺加工, 在深亚微米时走线延迟和门延迟相比变得不可忽视, 并成为主要因素。再加之系统级芯片复杂的时序关系, 增加了电路中时序匹配的困难。深亚微米工艺十分小的线间距和层间距, 使得线间和层间的信号耦合作用增强, 给设计验证带来新的挑战。

通常 SoC 芯片设计是建立在较高层次上, 更多地采用 IP(intelligent proprietary)复用技术, 只有这样才能既保证设计质量, 又能快速完成设计工作。所谓复用是建立在芯核(core)基础上, 它将已经验证的各种超级宏单元模块电路制成芯核, 方便以后的设计再利用。芯核通常分为三种, 一种称为硬核, 具有和特定工艺相联系的物理版图, 可被新的设计作为特定功能模块直接调用。第二种是软核, 是用硬件描述语言或 C 语言写成, 用于功能仿真。第三种是固核, 是在软核的基础上开发的, 是一种可综合的并带有布局规划的软核<sup>[3.1]</sup>。目前, 由于实际生产线的差异, 设计复用方法在很大程度上使用硬核。

特别是随着工艺技术的发展, 深亚微米使系统级芯片更大更复杂。这种综合方法将遇到新的问题, 因为随着工艺向 0.18 微米或更小尺寸发展, 需要精确处理的不是门延迟而是互连线延迟。再加之数百兆的时钟频率, 信号间时序关系十分严格, 因此很难用软核或固核的综合方法达到设计再利用的目的。

建立在芯核基础上的系统级芯片设计方法, 迫使设计业向两极分化, 一是转向系统, 利用 IP 设计高性能高复杂的专用系统。另一方面是设计 IP 芯核, 步入物理层设计, 使芯核的性能更好并可预测。

设计一块 SoC 芯片除了选择设计工具、单元库和芯核以外, 还需决定采用什么加工工艺。各芯片厂家的 CMOS 数字逻辑加工能力差别不大, 但对于集成 SoC 芯片来说, 还要根据需要相应地增加掩模工艺步骤。例如 LCoS 显示芯片要重点考虑 CMP (Chemical-Mechanic-Polishing 化学机械抛光) 工艺; 包含模拟电路的 SoC 芯片至少要增加 1~2 次掩模用于多晶-多晶电容器和多晶硅电阻制作。不同厂家对这些问题的工艺处理差别很大。设计者必须根据 SoC 应用对象域的特殊要求去选择合适的加工厂家, 使其工艺加工符合 SoC 指标和要求。

SoC 是从整个系统的角度出发, 把处理机制、模型算法、软件(特别是芯片上的操作系统-嵌入式操作系统)、芯片结构、各层次电路直至器件的设计紧密结合起来, 在单个芯片上完成整个系统的功能。它的设计必须从系统行为级开始自顶向下。很多研究表明, 与由 IC 组成的系统相比, 由于 SoC 设计能够综合并全盘考虑整个系统的方方面面, 可以在同样的工艺技术条件下实现更高性能的系统指标<sup>[3.2]</sup>。

我们研究工作表明, LCoS 显示核心系统具备 SoC 芯片的主要基本特征, 其设计途径显然可以参照 SoC 芯片的设计策略。

### 3.1.2. 可测性设计技术

早期的中小规模集成电路的测试可通过简单的激励/响应分析来进行。但是, 随着 SoC 芯

片的出现与发展, 电路的测试和测试设计也随着电路设计的复杂程度的提高而变得越来越重要, 越来越复杂了。对于 SoC 芯片电路, 要想通过生成有限的调试向量(又称测试码、测试图形)对芯片进行完整的功能测试几乎是不可能的。对于具有 S 个输入端的组合逻辑电路来说, 所需的测试向量是  $2^S$  个; 而对于具有 S 个输入、M 个触发器的时序电路来说, 则需要  $2^{S+M}$  个测试向量<sup>[3,11]</sup>。显然, 随着电路复杂程度的增加, 已经不可能产生测试所需的测试向量, 因为生成测试向量所花费的成本和时间都是随着电路复杂性的增加而指数增加的。

另一个途径则是可测性设计。可测性设计的目的是寻找或检查电路是否存在故障, 确定故障所在的子电路或功能单元如门、触发器或寄存器等。如本篇论文运用于 LCoS 微显芯片设计中的电路分块技术。电路分块是将电路划分成若干个功能块, 使每个块的输入数、输出数和状态数都在可控和可视范围内, 这样采用穷举式的激励/响应分析的测试方法, 就可判断各个功能块的故障情况, 如果都没有故障, 则组合成的电路也是无故障的, 从而使得整个电路是可测试的。变不可测故障为可测故障, 减少测试生成时间和数据量, 摆脱对昂贵测试设备的依赖, 从根本上降低测试成本。但这要以牺牲芯片面积和电路性能为代价。

### 3.1.3. SoC 的主体——微电子技术

SoC 是集软、硬件于一体, 追求产品系统最大包容的集成器件。图 3-1-1 展现了以 SoC 为中心, 多学科交融、渗透的关系, 其结果是迸发出各种产业级产品。SoC 是微电子学科、电子系统设计追求的目标。计算机学科全力加速这一目标的实现, 电子设计自动化则以定制或半定制方式实现 SoC, 或为微电子 IC 设计的 SoC 解决方案做前期准备工作。

相当长的时间内, IC 设计从事于基础的模拟电路与数字电路集成, 设计的重点在半导体物理与半导体器件工艺领域。然而, IC 设计进入功能集成、技术集成后, 要解决许多对象领

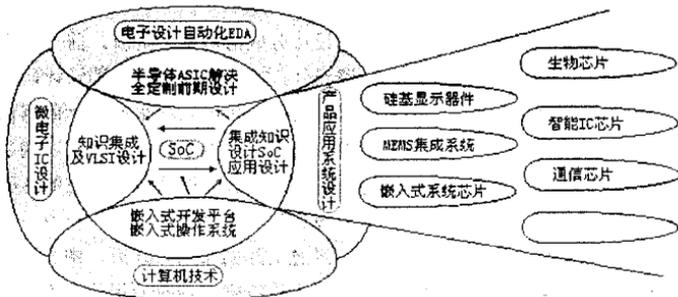


图 3-1-1 多学科交叉的 SoC 技术

域的技术内容, 如数据采集系统 IC 要解决宽量程输入的增益控制、非线性修正、零点校准、动态信号采样/保持等; 进入 SoC 后, 在硬件体系中, 除了考虑基本功能电路外, 还必须考虑为满足可靠性、控制、低功耗管理要求的电路配置, 还有应用软件的嵌入<sup>[3,4]</sup>。这就要求 IC 设计队伍与对象领域、计算机专业领域的融合。

SoC 虽然是多学科的融合, 但主体仍在微电子学科。这是因为 SoC 是集成电路从电路集

成、功能集成、技术集成到知识集成逐步发展的结果。除了 SoC 的功能性设计必须依赖对象领域外,系统的可靠性设计、功耗管理设计等许多原先是系统设计中必须考虑的问题,在超大规模集成电路以及后期的 SoC 设计中都得到了综合的解决。SoC 将电路系统设计的可靠性、低功耗性等都解决在 IC 设计之中,把过去许多需要系统设计解决的问题集中在 IC 设计中解决。譬如本篇论文的设计目标核心——LCoS 显示芯片就是一类典型的系统芯片,它是运用亚微米 CMOS 集成电路设计技术,将显示驱动矩阵、行驱动电路、列驱动电路、视频数-模转换电路等分离单元模块,有机地集成在一块芯片上,当封装了液晶材料后,一块芯片就是一个标准的平板显示器。

同时,SoC 使得应用系统以集成形态实现了产品的系统化设计,结果产品设计人员不必介入内部系统电路设计。另一方面,IC 设计部门应有通晓对象领域的专家介绍,或者 IC 设计者应具备完善的对象域知识结构。也就是说,作为 LCoS 显示芯片的设计者至少应当熟悉二维平面显示机理和液晶材料的电光特性。

### 3.2 亚微米 CMOS 集成电路设计特点

介于论文设计工作将基于半导体亚微米工艺技术,这里有必要预先讨论亚微米 CMOS 集成电路设计特点。生产工艺从微米发展到亚微米、深亚微米,这一变化对集成电路设计及其设计方法学提出了新的问题和挑战。在亚微米级电路设计中的一个突出矛盾是时序问题:互连线的延迟将接近门延迟;而且由于集成电路工作频率的提高,允许的时序容差变小,传输延迟的影响加大,这给电路设计带来了难度<sup>[3,2]</sup>。

在微米级电路设计时,习惯上把设计分成前后两个阶段。前一阶段统称逻辑设计,这时进行系统和功能设计以及结构和电路设计;后一阶段称为版图设计,主要进行布局、布线、物理验证以及掩膜版生成。两者之间的沟通采用网表和单元库。前端设计完成后将网表传递给版图设计人员,一般只要布线能够布通,时序要求就能够满足。到了亚微米阶段,情况就不同了,如果前端设计中不能充分考虑后端设计,即物理实现时的各种问题,特别是物理实现后引起的时序问题,就会造成逻辑设计与物理设计的结果不一致。在逻辑设计中经过仿真分析在功能和时序上都正确的网表,经过实际的布局布线后,由于互连延迟取决于具体的布线且在整个芯片延迟中起主要作用,更由于逻辑设计时所用的互连延迟模型与实际的互连延迟特性不一致,因而最终的时序会变得不再满足设计要求。这就需要反过来修改逻辑设计,重新进行仿真分析。如果逻辑设计仍不能取得精确的、实际的互连延迟数据,那么即使经过修改仍不能得到合乎要求的物理设计。如此下去,就会导致逻辑设计与物理设计的设计循环“不收敛”,使设计周期人人加长。

为此,到了亚微米电路设计阶段,必须对原有的设计流程加以适当的修改,探讨新的设计方法学<sup>[3,3]</sup>。其中一个关键的问题是如何在逻辑设计过程中引入物理设计阶段的数据,如何

把布局布线工具、寄生参数提取工具的时序分析统计工具集成到逻辑综合中去。目前的一个办法是在前端与后端之间加入正向和逆向的修正，见图 3-2-1。

首先在优化过程中得到对“关键路径”的限制条件，然后由标准延迟格式 SDF(standard delay format)“正向”传递给布图规划工具(floorplan tool)。经过初步的布图规划，将连线的延迟信息再“逆向”回传给综合工具，这样就确保产生真实的线负载(wireload)模型，并以此为依据，再次进行优化；这一逆向传递的数据对于达成“关键路径”的重新最优化是非常重要的。从布图规划反传回去的信息是通过物理设计交换格式 PDEF(Physical design exchange format)进行的。

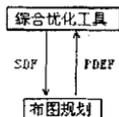


图 3-2-1 前端与后端间时序修正

在布局后再计算得到更精确的互连线信息，通过布图规划工具再次传递到综合优化工具进行优化，然后进行增量布局。经过这样循环直到得到一个满足各方面的约束和要求的布局，接着进行时序驱动(timing-driven)的布线设计。

布线后要对互连线进行延迟计算和时序分析，如果存在时序冲突就要进行布线优化，然后作增量布线。这样布线阶段也形成了一个循环，直到得到最后满足各种约束和要求的结果。

目前的设计是面向单元的，即安放好单元再考虑如何连线。今后将改变为面向互连，即先设计好互连线网，然后在互连线网上安放各模块。前面已经指出 LCoS 显示芯片是一块大规模亚微米集成电路，因此本篇论文在 LCoS 显示芯片电路设计之初，首先分析清楚显示矩阵网络的延迟特征及相应对策，然后才设计合适的电路结构。

当然亚微米级电路设计还会遇到许多其它问题，例如功耗。由于集成度和工作频率更高，使单位面积的功耗加大，功耗已成为制约集成度进一步提高的主要因素之一，如何在较高层次如结构层就引入功耗的考虑，也是本篇论文在进行 LCoS 显示芯片设计中应当思考的。

### 3.3 互连线时延及其在版图设计中的估算

在超大规模亚微米级集成电路中，连线所引起的时延已占整个芯片时延的 70%以上，这一点在 LCoS 显示矩阵中尤为明显。通常认为， $1\mu\text{m}$  以上工艺制作的芯片，其速度性能主要取决于芯片内部时延；而亚微米及其以下工艺制作的芯片，其速度基本上由连线时延决定。例如  $1\mu\text{m}$  工艺中，一段长  $1000\mu\text{m}$ 、宽  $1.3\mu\text{m}$  的铝连线，其电阻为  $375\Omega$ ，电容为  $2\text{pF}$ ，RC 时间常数大  $0.75\text{ns}$ ，而相应工艺下典型的门延迟(gate delay)不过  $1\sim 2\text{ns}$ 。所谓的时延驱动布局布线(timing driven placement & routing)就是为解决连线时延而产生的<sup>[3,6]</sup>。

#### 3.3.1. 互连线系统及其实际布线问题

由于电路时钟周期决定芯片工作频率，而时钟周期取决于路径时延，因此就版图级而言，

只有实现时钟连线时延驱动的合理布局布线,才能达到优化芯片时延的目的。在传统 IC 版图设计中,常常采用在互连线(特别是时钟线)中加入缓冲器(buffer)的有效方法。由于缓冲器能恢复电位,这样就阻止了互连线上电容的累加效应,减小时延。当然,由于缓冲器本身有时延,在加入缓冲器后也会增加互连线的时延,但总的来讲,它在减小互连线的时延方面起着更重要的作用。另外,缓冲器的加入也会增加芯片的面积和功耗,在这方面已经有许多研究文章发表<sup>[3.7][3.8][3.9]</sup>。

时钟系统还具有不同于其他互连线的一个重要研究问题是时钟线的零偏差(zero skew)。在一个芯片中,时钟信号是由芯片外部的电路时钟驱动器提供的,芯片上每个需要时钟作用的单元通过时钟网与时钟驱动器相连。理想的情形是:时钟准确地同时到达各个作用单元,然而,实际上的时钟信号并不能同时到达所有作用单元。我们将到达两个不同作用单元的最大时间差称为时钟偏差,时钟偏差的存在会引起电路同步控制的失效,从而导致电路正常功能的混乱。一般电路时钟偏差不能超过 10%<sup>[3.10]</sup>。引起时钟偏差的原因主要有以下几个方面:

- (1) 从时钟驱动器到各个时钟端点的路径长度不同;
- (2) 各个时钟驱动器的负载电容不同;
- (3) 由时钟树拓扑结构的非对称性导致的负载不平衡;
- (4) 时钟网的传输线效应,诸如反射噪声和相互干扰等;
- (5) 由时钟网中插入的缓冲器引入的时延不同;
- (6) 各同步元件的逻辑阈值电压不同;
- (7) VLSI 系统的工艺参数变化。

设计电路的时候,不仅要考虑在时钟周期内完成其相应的逻辑功能,而且要考虑由于时钟偏差而引入的额外时间。

同步的 VLSI 电路由两类元件组成:同步元件和组合逻辑门。其中,同步元件通过时钟网与时钟信号相连。我们知道,电路的速度主要由时钟周期决定,每个时钟信号的时钟周期  $T_p$  必须满足不等式:

$$T_p \geq t_d + t_{sw} + t_{ds} + t_{skew} \quad (3-3-1)$$

其中  $t_d$  是通过组合逻辑电路部分的最长路径的延迟,  $t_{sw}$  是使同步元件的输入稳定所需的时间,  $t_{ds}$  是同步元件内部的传输延迟,  $t_{skew}$  是最坏情形下的时钟偏差<sup>[3.11]</sup>。随着目前 VLSI 部件尺寸的缩小,  $t_d$ 、 $t_{sw}$ 、 $t_{ds}$  都有明显的降低,因而,  $t_{skew}$  成为决定电路性能更关键的因素,减少  $t_{skew}$  是提高电路速度的一个重要途径,也是改善电路性能的关键。

在版图设计的布局阶段完成以后,时钟驱动器和每个时钟端点的位置已经确定。在总体布线阶段,时钟网是需要优先考虑布线的线网,时钟网布线必须精心地设计,因为从时钟网的时钟驱动器到各个时钟端点的实际路径长度决定了时钟的最大频率。时钟布线的主要任务就是在保证时钟线网尽量短的情况下,使得时钟信号同时到达各个作用单元。

时钟布线问题可以描述为:给定位于平面边界处的时钟源点  $V_0$ , 和布线平面及平面内时钟端点的集合  $V = \{V_1, V_2, \dots, V_n\}$ , 令  $t(i, j)$  为点  $V_i$  和点  $V_j$  之间的延迟时间, 则时钟布线问题就是连结各个  $V_i \in V$ , 使得值  $\max t(V_0, V_i) (i \in \{1, 2, \dots, n\})$  和值  $\max |t(V_0, V_i) - t(V_0, V_j)|$

$T_j(i, j, e \in \{1, 2, \dots, n\})$ 都达到最小化。可以看到,两个时钟端点之间的连线距离在时钟布线问题中并不是最重要的。时钟布线问题考虑的是时钟驱动器到任意两个时钟端点的延迟时间差(即时钟偏差)最小。

另外,时钟布线问题的目标函数还包括:连线总长度最短、避免噪声和线间耦合最小化等等。对这些目标函数进行一定的分析和计算可以帮助我们衡量时钟布线的质量。

### 3.3.2. 时钟树的时延计算方法

不论是用于芯片制造前的时延模拟验证,还是用于设计面向时延的算法工具,互连线时延研究都要以时延分析和计算为基础。目前,时延定量分析和计算方法主要包括:SPICE 模型法,分量匹配法,Elmore 延迟法。

#### 1. SPICE 模型法

SPICE 软件是广泛使用的电路模拟工具,它用梯形公式和 Gear 公式数值积分法对电路进行动态波形分析来计算时延。这种方法计算精度较高,需要花费过量的计算资源,适于计算机辅助对大规模电路的时延分析,不便于大规模电路设计之初作时延分析。

#### 2. 分量匹配法(Moment Matching Method, 简称 MMM)

分量匹配法分析时延的基本思路是用简单多项式逼近电路的脉冲相应。

$$\text{假设电路的脉冲相应为: } H(s) = \frac{1 + a_1s^1 + a_2s^2 + a_3s^3 + \dots + a_ms^m}{1 + b_1s^1 + b_2s^2 + b_3s^3 + \dots + b_ms^m} \quad (3-3-2)$$

并令:  $H(s) = m_0 - m_1s_1 + m_2s^2 - m_3s^3 + \dots$ , 这里  $m_n(n=0, 1, 2, \dots)$ 称为  $n$  阶分量。选择合适的阶数就可以用一个简单多项式近似  $H(s)$ 。  $H(s)$ 的前三个分量可计算为:

$$m_0 = D, \quad m_1 = D(b_1 - a_1), \quad m_2 = D(a_2 - a_1b_1 - b_2 - b_1^2)$$

通常阶数取得越大,精度越高,但计算复杂化。MMM 法的典型代表是 AWE 法(Asymptotic Waveform Evaluation)<sup>[3,12]</sup>。实践表明:MMM 逼近法存在两个问题:

- (1) 由于难于预选选几个极点,所以阶数选择比较困难,而且不是阶数越高,精度总是越好
- (2) 当阶数选择不当时,波形会出现不稳定

所以,MMM 逼近法存在复杂的稳定性问题,有待进一步研究。

#### 3. Elmore 延迟法

在亚微米级的时延研究仍采用 Elmore 时延概念<sup>[3,13]</sup>,或以信号上升 / 下降时间(即信号在其最大值的 10%与 90%之间变化所需时间)作为时延定义。Elmore 把时延定义为脉冲响应的

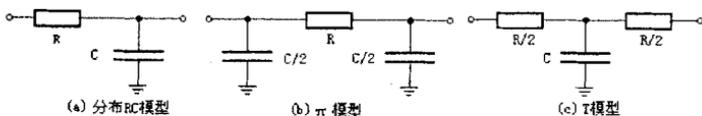


图 3-3-1 传输线模型

一阶分量, 即  $T_D = \int_0^{\infty} t e(t) dt$ , 其中  $e(t)$  为单位脉冲响应,  $T_D$  近似表示了信号从其初始值到达最终值的 50% 所需时间。

我们知道, 每棵树钟树都是由一些连线线段构成的, 连线的 Elmore 模型等效电路有以下三种方式: 分布 RC 模型(图 3-3-1(a)),  $\pi$  模型(图 3-3-1(b)) 和 T 模型(图 3-3-1(c))。针对具有 RC 树结构互连网络, 以 T 来代表一棵 RC 树, 以节点  $k$  及它的父节点为端点的树枝记为树枝(连线)  $k$ ,  $c_k$  为节点  $k$  的电容,  $r_k$  为树枝(连线)  $k$  的电阻。由于根节点(节点 0) 无父节点, 所以  $r_0 = 0$ 。令  $N(i, j)$  为节点  $i$  与节点  $j$  之间路径上所有节点的集合 ( $k \in N(i, j)$ ), 包括  $j$  但不包括  $i$ , 则时钟信号从根节点到节点  $i$  的延迟可观察得到:

$$t_{0i} = \sum_{k \in N(0, i)} r_k C_k \quad (3-3-3)$$

我们将上式推广到更一般的情况, 可以计算出任意两节点  $i$  和  $j$  之间的延迟时间:

$$t_{ij} = \sum_{k \in N(i, j)} r_k C_k \quad (3-3-4)$$

$r_k$  和  $C_k$  的具体计算与所用电路模型有关, 下面采用两种不同模型分别进一步讨论。

在  $\pi$  模型中<sup>[3,14]</sup>, 上式可以写成: 
$$t_{ij} = R_0 C_0 + \sum_{k \in N(i, j)} r_k \left( \frac{C_k}{2} + C_k \right) \quad (3-3-5)$$

其中,  $R_0$  表示驱动源点的输出电阻,  $C_0$  表示整棵树的总电容,  $r_k$  和  $c_k$  分别表示连线  $k$  的电阻和电容,  $C_k$  表示连线  $k$  之后的节点电容之和。可以假设  $r_k, C_k$  与连线  $k$  的长度成正比, 则 3-3-5 式第一项表示时延与时钟树的连线总长度

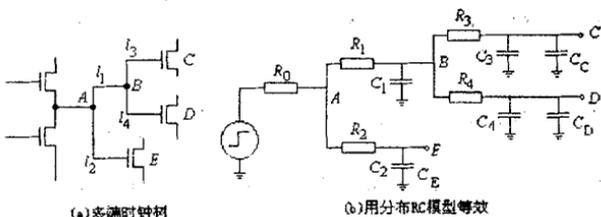


图 3-3-2 多端互连时钟网络及其分布式 RC 模型等效结构

成线性关系, 而第二项表示时延与源点到漏点的距离成二次平方关系。因此可以认为:

- (1) 当时钟树连线电阻较大时, 布线应按连线长度最小为原则;
- (2) 当时钟树连线电阻相对较小时, 布线应使  $V_i$  和  $V_0$  的距离最近, 并且尽量减少分支。

采用分布 RC 模型的计算较复杂。参考文献<sup>[3,12][3,13]</sup> 导出了近似的时延估算公式。以图 3-3-2 多端时钟树为例, 设  $T_v$  为输出电压从 0 上升至归一化电压  $v (=V/V_{DD})$  所花的时间, 则有:

$$\begin{aligned} T_v &= 0.1RC + \ln\left(\frac{1}{1-v}\right)(0.4RC + R_u C_L + R_u C + RC_L) \\ &= (0.1 + 0.4 \ln\left(\frac{V_{DD}}{V_{DD}-V}\right))RC + \ln\left(\frac{V_{DD}}{V_{DD}-V}\right)(R_u C_L + R_u C + RC_L) \end{aligned} \quad (3-3-6)$$

将其加权系数定义为:  $\alpha = 0.1 + 0.4 \ln\left(\frac{V_{DD}}{V_{DD}-V}\right)$   $\beta = \ln\left(\frac{V_{DD}}{V_{DD}-V}\right)$

则从驱动源点到 A, B, C 各点的时延依次为:

$$d(A) = \beta R_0(C_1 + C_2 + C_3 + C_4 + C_C + C_D + C_E)$$

$$d(B) = d(A) + \alpha R_1 C_1 + \beta R_1(C_3 + C_4 + C_C + C_D)$$

$$d(C) = d(B) + \alpha R_3 C_3 + \beta R_3 C_C$$

根据时延定义,  $v$  分别取值 90%、70%、62% 时,  $\alpha$  和  $\beta$  分别为:  $\alpha=1.02, \beta=2.21; \alpha=0.59, \beta=1.21; \alpha=0.5, \beta=1.0$ 。

显然, 这两种计算延时的方法各有优劣。我们认为:

- (1) 精确度与计算速度通常是一对矛盾, 应当折中考虑合理选择;
- (2) 只要连线的 R 和 C 的值相对较小, 或者工作频率不很高, 用前一种参数模型估算时延量已足够准确。

在论文研究工作中, 笔者是这样运用上述时延计算方法: Elmore 方法的局限性在于当实际波形非单调变化时, 其模型就不准确了, 但计算简单是它的优势。在 LCoS 芯片电路性能预设计阶段, 要精确地计算一棵时钟树的延迟时间是相当困难的, 利用 Elmore 模型近似地估计延迟并不困难, 而且非常实用。用 EDA 工具辅助设计显示芯片时, 自然遵循 SPICE 模型法。

### 3.4 CMOS 芯片系统设计方法综述

接下来有必要研究 CMOS 芯片系统设计方法, 从而为选择适合 LCoS 显示芯片设计途径奠定基础。任何科学研究首先是认识世界, 然后才是改造世界。集成电路的研究也是这样。正向设计是发展微电子学科的根本大计, 逆向识别是对现成集成电路的研究、认识过程。逆向设计以实物原型为设计制造出发点, 根据所测的数据构造芯片版图, 继而进行分析制造。逆向工程的核心作用是缩短开发周期、消化吸收先进技术。因此逆向识别有助于丰富正向设计。

#### 3.4.1. 集成电路设计方法双向性

CMOS 集成电路芯片设计中的“双向性”是指正向设计和逆向设计, 这两种设计过程具有互补性、组合性和兼容性, 可在同一个设计工程内进行<sup>[3,15]</sup>。如图 3-4-1 所示, IC 设计的层次可分为: 系统级、逻辑级、电路级和物理版图级等。正向设计是从需求出发, 以综合的方法从集成电路的高层走向低层, 直至完成电路的掩膜版图设计。逆向设计则正好相反, 是以分析的方法, 从低到高。即对实际芯片进行腐蚀、照相,

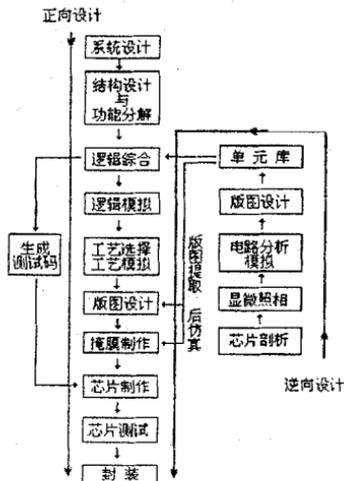


图 3-4-1 VLSI 的正向与逆向分级设计过程示意

并从得到的版图对其进行逻辑提取,进而分析其功能与原理,以期理解、遵循原设计思想。

逆向设计是以逆向剖析为基础,在剖析得到的不同层次上转入正向设计。例如,对一个实际的芯片进行逆向剖析之后,得到其逻辑图及功能和工作原理。然后决定采用门阵列的设计技术转入正向设计,用EDA工具进行逻辑图的描述输入、模拟、测试码生成与设计,生成网表后转向门阵列的自动版图设计工具;生成掩膜版图后,进行电学规则、几何设计规则及电路版图的一致性检查;进行版图参数提取,再进行后模拟并生成掩膜数据带,就完成了—个完整的逆向设计过程。为保护知识产权,不允许完全照抄别人的版图,逆向设计通常是为了借鉴别人成功的经验,加快自己的正向设计。这一点在本篇论文的研究工作中尤为重要。

CMOS芯片设计过程中的系统设计、功能设计、逻辑综合、逻辑模拟、电路模拟和芯片版图设计,无论对哪种电路,基本上是相同的。版图设计有多种方法,或者说有多种设计模式。可以从不同角度对版图设计方法进行分类。如按设计自动化程度来分,可将版图设计方法分成手工设计和自动设计两大类。手工设计方法中又可分成基于几何图形的交互图形编辑方法和基于符号的交互图形编辑方法。手工设计的周期很长,并且很容易出错,因此在设计完成后,总是需要对设计结果进行设计正确性的检查。但手工设计方法可使芯片面积比较小,芯片电性能比较好,适用于设计大批量生产的产品,如存储器、CPU、LCoS显示芯片等。

### 3.4.2. 逻辑综合

在集成电路设计领域,综合(synthesis)是指把一个比较概念化的设计形式转化成一种比较具体的设计形式,这通常是一个自顶向下的过程<sup>[3,15]</sup>。其实做任何事情都是从抽象开始,比如订计划、作方案,在落实到具体过程。自动综合是设计自动化中自顶向下设计方法的特点之一。逻辑综合是最早出现的自动综合工具,即把逻辑真值表反映出的逻辑功能设计变为有逻辑元件组成的逻辑图表示的结构设计。当然在逻辑综合出现之前,已有从逻辑图到版图的转换工具——自动布图,后来又有了从电路图到版图的自动转换。随着设计方法的不断进步,又发展了高层综合工具——行为综合,它能把硬件的行为描述转化为结构描述。所有这些都是自上而下的设计流向,可以说整个自上而下的设计过程,就是由各个层次的综合工具相衔接完成的自动化过程。

逻辑综合的作用是根据一个系统逻辑功能与性能的要求,在一个包含众多结构、功能、性能均已知的逻辑元件的逻辑单元库的支持下,寻找一个逻辑网络结构的最佳实现方案。

这个过程包括以下两个方面的内容:

- (1) 逻辑结构生成与优化。尽可能地用较少的元件和连线形成能满足系统逻辑功能要求的一个逻辑网络结构。
- (2) 逻辑网络的性能优化。利用给定的逻辑单元库,对以生成的逻辑网络进行元件配置,继而估算性能与成本。性能主要指芯片的速度,成本主要指芯片的面积和功耗。速度与面积或速度与功耗是矛盾的,所谓优化就是在这两个矛盾中进行折衷,已确定合适的元件,

完成最终的逻辑网络结构。

#### 3.4.2.1 逻辑函数表示

逻辑函数的多维体表示方法是一种类似于卡诺图的、比卡诺图更加规范、更便于在计算机上用来对逻辑函数进行简化的方法。一般逻辑函数具有多个输入与多个输出,可表示为:

$$Y = F(X) \quad (3-4-1)$$

其中  $X$  代表一组输入变量,  $Y$  代表一组输出变量, 则其函数的真值表可表示成阵列形式。

根据输出取值的不同, 可把各输入序列归入三个集合: 使某位输出为 1 的输入序列的集合为该输出位的导通集合, 使某位输出为 0 的输入序列的集合为该输出位的断开集合, 使某位输出为  $x$  的输入序列的集合为该输出位的无关集合。逻辑函数的上个集合均可形象地表示在一个  $m+n$  维的多维空间中。这个空间中的  $n$  维对应  $n$  个逻辑自变量,  $m$  维对应  $m$  个逻辑应变量。由多维体的阵列表达式可直接获得逻辑函数的布尔表达式。

#### 3.4.2.2 逻辑综合

由行为描述转换到布尔描述是由逻辑综合工具来实现的, 该过程不受用户控制。其最终的转换结果是一种中间结果, 格式随不同逻辑综合工具而异, 且对用户是不透明的。接下来的布尔优化过程是一个将非优化的布尔描述转化成优化的布尔描述的过程, 它采用了大量的算法和规则。优化的一种方法是, 向将非优化的布尔描述转换到最低级描述, 然后再优化这种描述, 最后用共享公共项去简化逻辑, 减少门的个数。

然后完成门级映射, 即取出优化后的布尔描述, 利用从工艺库中得到的逻辑和定时上的信息作网表。工艺库中存有大量的网表, 它们在功能上相同, 但在速度和面积上却有一个很宽的选择范围。门级映射过程根据优化的布尔描述、工艺库和用户提出的约束条件, 将输出一个优化的网表, 从而完成最终的逻辑综合。

### 3.4.3. 逻辑模拟

所谓逻辑模拟通常是采用软件的方法为逻辑电路在计算机内建立适当的模型, 并针对某一外输入信号序列模拟该模型中随时间变化的各个信号值, 并得到输出信号序列。在集成电路 EDA 设计过程中, 综合是生产, 模拟是验证。在自上而下设计过程中的每一阶段, 都需进行验证。逻辑模拟是在逻辑设计阶段, 对自动综合而成的或人工设计而成的逻辑网络的逻辑行为作验证。

逻辑模拟的内容可分为逻辑功能验证和延迟模拟。前者只求验证逻辑系统输入与输出之间逻辑函数的正确性, 后者要求较准确地模拟各种信号之间的时序关系, 包括预见尖峰及竞争冒险等情况。不同目的模拟所用算法和元件模型的繁简有很大差别。

从精度上讲, 逻辑模拟不及下一节讨论的电路模拟, 但对于大规模集成电路而言, 进行

全电路的电路模拟几乎不可能，逻辑模拟就成了设计正确性的重要裁决手段。一般在逻辑设计完成后，首先进行功能验证，然后进行延迟验证。在通过这两步模拟之后可作版图设计，从完成的版图上可得到连线的电学信息，把它们反注释到原来的逻辑图上，再次进行逻辑延迟模拟。版图设计前后的两次逻辑延迟模拟常称为前模拟与后模拟。后模拟考虑了实际连线引起的延迟，因而模拟结果能比较精确地预计未来芯片的实际性能，起到最后把关的作用。

### 3.4.3.1 逻辑模型

逻辑模型是对所模拟电路中的元件的逻辑进行某种量化的表示方法。大多数逻辑模拟以基本元件——与门(AND)、或门(OR)、与非门(NAND)、或非门(NOR)等逻辑门作为模拟对象，以逻辑门的信号值和延迟为处理条件。一般逻辑模拟器都提供一批内建的基本逻辑元件供直接使用，或由这些基本元件构成复杂的逻辑功能块。

从逻辑功能上讲，逻辑状态只有真和假(即 1 和 0)两值。但在信号的实际传输过程中，还会出现非 1 非 0 的非确定状态，因此人为地引入其他逻辑值。这样，信号的逻辑关系就是多值逻辑，伴随着多种逻辑值的定义，相应定义出多种逻辑值的运算法则，目前比较流行的是三值和四值逻辑。

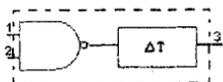


图 3-4-2 输出端延迟模型

三值逻辑定义了三个逻辑值：0、1 和 x。x 代表不能肯定是 0，也不能肯定是 1 的未知状态。比如当信号由 0 变为 1，或由 1 变为 0 的过渡期间，信号既不能是 0 也不能是 1，可表示为 x。四值逻辑是三值逻辑的扩充，在 0、1、x 之外又引入一个 z。z 为高阻值，表示一个信号与其源断开后的状态。

逻辑信号的延迟是把实际电压或电流传播的滞后效应，按一定规则简化为用一个或几个参数表征，而成为一种模型，亦称延迟模型。延迟模型越逼近信号滞后的真实情况，模拟结果的可信度越高，但模拟过程复杂且费时。信号通过元件时存在两种延迟，一种是传输延迟，另一种是与驱动元件所需能量有关的惯性延迟。

所谓传输延迟(用 $\Delta T$ 表示)是指信号通过元件或导线进行传播时引起的延迟。如果在 t 时刻元件输入发生变化，则这个变化对输出的影响在时刻 t+ $\Delta T$ 之前是不会发生的。对于简单元件，其延迟模型可以加在输出端，如图 3-4-2 所示，但对复杂的多输入多输出功能元件，通常要在各个输入端加入不同值的延迟模型。

所有电路器件转换工作状态都需要能量，对于输入的一个变化所必须维持的最小持续期称为元件的惯性延迟，用 $\Delta I$ 表示。通常，器件的传输延迟不小于惯性延迟( $\Delta T \geq \Delta I$ )。图 3-4-3 给出了传输延迟模型和惯性延迟模型下信号的输入、输出波形。

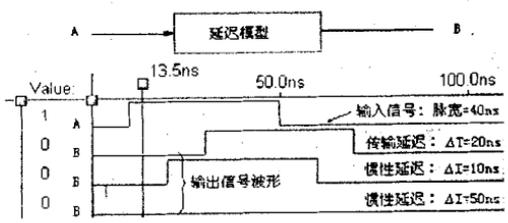


图 3-4-3 各种延迟模型下的信号波形

模拟器,设计者可以较好地选择器件参数,实现正确的电路功能。

### 3.4.3.2 逻辑模拟算法

常见的逻辑模拟算法有编译法和事件驱动法。

所谓编译法就是将电路描述数据编译成一个可执行的程序,电路中的每个元件相应地产生程序中的指令码。于是,在一定输入条件下,对该程序的执行即完成了相应电路的逻辑模拟。目前,这种方法在大型模拟软件中已不见使用。主要原因是它处理元件的延迟问题比较困难,一般都假设元件延迟为零,因而只能用于可以忽略冒险和竞争现象的同步电路,不适宜作定时分析。但编译法具有模拟速度快的优点,且编译成的电路子程序可以独立保存,随时可以对某些输入序列进行逻辑验证。近来一些新的模拟系统常常将编译法和事件驱动法相结合,将某些功能块的行为模型编译成子程序供表驱动模拟器作为基本单元调用。

与此相对,事件驱动法能使计算机真实地表示逻辑电路及其连接关系。事件驱动法的核心思想是在模拟过程中,根据信号传播过程中的实际情况,只选择输入信号有变化的元件,或输出信号可能有变化的元件进行求值。首先取出网络输入端发生变化的各信号,把直接同这些信号有关的元件作为初始事件安排进事件队列。此后,模拟器一方面从事件队列中逐一取出事件,对相关元件进行求值;另一方面根据每个元件求值的不同结果进行不同处理。若该元件输出信号有变化,则把以该信号为输入信号的后续元件作为未来事件放入事件队列。若已求值元件的输出信号没有变化,它的全部后续元件无须追踪。事件驱动法是选择性地追踪求值的方法,它可以避免许多不必要的求值动作。

关于未来事件选择的一般标准是,某个元件的输入信号中任何一个发生变化,该元件即可入选未来事件。如果能不通过求真就能预知该输入信号的变化不会导致元件输出信号的改变,则这个元件也可以不列入未来事件。例如某“与”门当前输出为0,此时它的某一个输入端发生了由1到0的变化。显然,这个变化肯定不会引起该“与”门输出结果的变化。这种情况下,该“与”门可不列为未来事件。

## 3.4.4. 电路模拟

在逻辑设计完成之后,需要进行电路设计。电路设计的任务是根据所要求的电路性能,例如速度、功耗、电源电压、逻辑操作类型、信号电平的容限等确定电路的结构和各元器件的参数;同时应考虑工艺上可能发生的偏差和使用温度上的变化等,使所设计的电路仍能达到规定的性能。

### 3.4.4.1 电路分析作用

到目前为止,在实际中利用EDA方法进行全自动的电路设计还有困难<sup>[3,15]</sup>,实际情况往往是设计者根据电路框图,进行电路结构的设计并初步确定元器件参数,然后对该电路进行

计算机模拟分析, 再根据分析结果进行修改, 经过多次反复, 最后得到符合要求的电路。

电路的计算机辅助分析就其内容上讲可以分成两个方面: 一是电路模拟, 二是电路优化。电路模拟是在给定电路结构和元器件参数的条件下, 确定电路的性能指标; 电路优化是在指定的性能指标及电路结构条件下确定电路中指定元器件的参数最佳值。

随着计算机技术和计算方法的发展, 完全可以将要分析的电路问题列出数学形式的电路方程, 然后对电路方程求解。而且可以改变各种条件进行分析模拟, 甚至可以进行各种破坏性的模拟。这样我们可以在投入生产制造以前就能预测电路的详细性能。

由于计算机运算速度快、精度高, 因而在分析模拟时可以用较复杂的、更精确的器件模型(如考虑二级效应和寄生效应等)以提高设计精度。电路分析的精确度不仅与器件模型本身有关, 还与给定的器件模型参数是否正确有密切的关系。为此, 在电路模拟之前, 需要从所采用的工艺方案中得到某些模型参数(如薄层电阻值、氧化层厚度、单位面积结电容等), 这些参数由芯片加工工厂自行提供。

电路模拟除了在版图设计以前进行外, 在版图设计以后还要再次进行, 这称为“后”模拟。这时的目的是把实际版图中所引入的寄生效应考虑进去, 以检验在版图设计前后电路性能上的差异。目前在世界上最为著名和广为采用的电路模拟程序是 SPICE (Simulation Program with Integrated Circuit Emphasis) 程序, 其它还有 ADVICE, ASTAP, CIRCUS2, SLIC 等电路模拟程序。

#### 3.4.4.2 SPICE 模拟程序

SPICE 程序由美国加州大学伯克利分校于 70 年代开发<sup>[3,16][3,17]</sup>, 于 1975 年采用 FORTRAN 语言编写推出 SPICE2G 版本。以 SPICE2 为基础的电路模拟程序主要有 SPICE3, HSPICE 和 PSPICE。

SPICE3 用 C 语言编写而成, 它除了具有 SPICE2 所有的功能外, 还引入了短沟道 MOSFET BSIM(Berkeley Short-channel IGFET model)模型和 GaAs MOSFET 模型。

HSPICE 是一商业版本, 它除改进了 SPICE2 的收敛性能外, 还增加了优化功能, 可从一组给定的电学性能或一组给定的量测数据自动地产生模型参数值和元器件值, 最强大的功能是逐次优化技术(Incremental optimization technique), 即可以先解出直流参数, 再解交流参数, 最后得到瞬态参数。此外还可以进行蒙特卡罗(Monte Carlo)分析, 允许用户对电路作统计分析、灵敏度分析和最坏情况的分析。还增加或改进了一些模型。在后面的 Cadence 辅助设计平台上用到该模拟程序。

Pspice 是第一个工作在 PC 机上的以 SPICE2 为基础的电路模拟程序。但它与 SPICE2 不同的是有一系列的实用例行程序(utility), 例如: ①device equation utility, 允许用户改变内建的半导体器件的模型方程; ②digital files utility, 在模拟 analog-to-digital 和 digital-to-analog 界面时提供用户一些灵活的办法; ③Monte Carlo utility 允许用户进行统计分析、灵敏度分析和最坏情况分析。此外还有其它一些例行程序, 在此不一一列举。

总之, SPICE 中具有内建的半导体器件模型, 用户只需给出合适的器件模型参数值。其中二极管模型可用于结型二极管和肖特基(Schottky)势垒二极管; 双极型晶体管有 Gummel-Poon 模型、Ebers-Moll 模型; 结型场效应晶体管(JFET 模型是基于 Shichman 和 Hodges 的 FET 模型。另外, 被分析的电路中的元器件可包括电阻、电容、电感、互感、独立电流源、独立电压源、四种受控源(线性电压控制电流源、线性电压控制电压源、线性电流控制电流源、线性电流控制电压源)、传输线以及四种最通用的半导体器件(二极管、双极型晶体管、结型场效应管和金属-氧化物-半导体(MOS)场效应管)。SPICE 模拟程序可对电路进行非线性直流分析、非线性瞬态分析和线性交流分析。

直流分析用来决定电路的直流工作点。这时电路中的电感短路, 而电容开路。直流分析可计算传输函数(输出变量与输入源之比)的直流小信号值以及输入电阻和输出电阻, 还可产生直流转移曲线。此外, SPICE 还能求出指定输出变量对于电路参数的直流小信号灵敏度。

瞬态分析是在用户规定的时间间隔内计算出瞬态输出变量作为时间的函数。初始条件是由直流分析自动确定的。所有与时间无关的源(如电源)都设置成直流值。对于大信号正弦模拟, 可以对输出波形进行傅里叶分析, 从而得到频率域的傅里叶系数。

交流小信号分析是用来计算出交流输出变量作为频率的函数。程序先计算电路的直流工作点, 并确定电路中所有非线性器件的线性化小信号模型参数, 然后在用户指定的频率范围内对这个线性化的电路进行分析。通常要求交流小信号分析的输出是转移函数, 即电压增益、传输阻抗等。如果电路只有一个交流输入, 则可将此输入设置为单位压强和零相位, 其输出变量的值就等于转移函数值(输出变量与输入之比)。

可用交流小信号分析模块来模拟电阻和半导体产生的白噪声, 白噪声分析不需要其它附加的输入数据。等效的噪声源的值是从小信号工作点中自动产生的。

SPICE 允许进行子电路定义, 程序会自动地将这组元器件插入到调用于电路的地方。子电路的大小相复杂性没有限制, 而且子电路中还可以包含其它的子电路。

电路模拟程序所分析的电路有线性电路和非线性电路, 而分析的内容有直流、瞬态和交流的不同, 因此在求解方法上就存在着差别。对于线性电路的直流分析和交流分析所列出的方程组是实系数或复系数线性代数方程组。对于非线性电路的直流分析或交流分析则列出的是实系数或复系数非线性代数方程组。对于瞬态分析, 所建立的电路方程组是常微分方程组。因此一般模拟程序包括三类数值解: 线性代数方程组求解、非线性代数方程组求解和常微分方程组求解。

SPICE 在有些情况下会发生求解不收敛的现象。按一般设计情形来看, 出现不收敛问题时, 我们首先应该检查电路设计本身是否正确以及给定的模型参数值是否合理。

### 3.4.5. 器件模型

在已知物理结构和掺杂分布的条件下, 用计算机软件直接求解半导体器件方程, 从而获

得器件的电学特性。器件模型是工艺与器件、器件与电路之间的桥梁。通过器件分析能够细致而且更深入地了解器件物理和发展电路模拟用的精确模型。随着工艺的发展和器件尺寸日益缩小, 器件模型已从一维分析发展到三维分析, 并且使用了并行计算技术。

一个理想的元器件模型, 应该既能正确反映元器件的电学特性又适宜于在计算机上进行数值求解。一般来讲, 元器件模型的精度越高, 模型本身就越复杂、所要求的模型参数个数也越多; 这样计算时所占内存量增大, 并导致计算时间的增加。反之, 如果模型过于粗糙, 会导致分析结果的不可靠。因此所用元器件模型的复杂程度要根据实际需要而定。如果需要进行元器件的物理模型研究或进行单管设计, 一般采用精度较高和复杂程度较高的模型, 甚至采用以求解半导体器件基本方程为手段的器件模拟方法; 对于一般的电路分析, 特别是分析规模较大的电路时, 应尽可能采用能满足一定精度要求的简单模型。

前面已经谈到, 电路模拟的精度除了取决于器件模型外, 还直接依赖于所给定的模型参数的数值是否正确。因此希望器件模型中的各模型参数有较明确的物理意义, 各个模型参数与器件的工艺设计参数有直接的联系, 或者能以某种测量方法测量出来。

目前构成器件模型的方法有两种: 一种以元器件的工作原理为基础, 从元器件的数学方程式出发, 此时得到的器件模型及模型参数与器件的物理工作原理有密切的关系; 另一种是从元器件的电学工作特性出发, 把元器件看成一个“黑盒”, 从测量其端点的工作特性来构成模型, 因而不涉及元器件的物理机理。

本篇论文主要涉及的是 MOS 晶体管, 故对二极管、双极晶体管、场效应晶体管、电阻、电容等器件模型不作详细讨论。

BSIM(Berkeley short-channel IGFET model)模型<sup>[3,18]</sup>是专门为短沟道 MOS 场效应晶体管而开发的模型。这种模型基于少量参数, 而这些参数可从实验样片中提取, 故具有分析较简单的良好性能。BSIM 模型的优点是, 它考虑了小尺寸器件的一些效应, 并接受从实验得到的参数值作为输入, 虽然它也是基于经验, 但却克服了比较简单的器件模型的许多限制, 故可提供比较准确的电路模拟结果。现已发表的有 BSIM1, BSIM2 和 BSIM3 三种模型, 并已植入 SPICE 程序中。

## 1. BSIM1 模型

BSIM1 模型考虑了小尺寸 MOS 场效应管的一些二级效应, 主要包括:

- (1) 载流子迁移率与垂直电场的关系;
- (2) 载流子速度饱和;
- (3) 漏感应引起表面位垒下降;
- (4) 漏和源对耗尽层电荷的共享效应;
- (5) 离子注入后的非均匀杂质分布;
- (6) 沟道长度调制效应;
- (7) 弱反型区(次开启区)导电效应;
- (8) 参数随几何尺寸的变化。

表 3-4-1 BSIM 模型参数		
符号	意义	单位
VFB	平带电压	V
$\phi_s$	表面反型电势	V
K1	体偏差系数	$V^{1/2}$
K2	电荷共享系数	$V^{1/2}$
$\eta$	DIBL 系数	
U0	垂直迁移率衰减	$V^{1/2}$
Ui	速度饱和系数	M/V
DIBL: Drain-Induced Barrier Lowering		

BSIM1 模型的主要特点是将直流电学参数与工艺参数联系起来, 模型公式比较简单, 如表 3-4-1 所示。因而计算效率较高。实际流片结果已证明该模型适合于沟道长度  $L \approx 1 \mu\text{m}$  和栅氧化层厚度  $t_{ox} \approx 15 \text{nm}$  尺寸 MOS 器件。在 BSIM1 模型中, 阈值电压计算表达示:

$$V_T = V_{FB} + \varphi_s + K_1 \sqrt{\varphi_s + V_{SB}} - K_2 (\varphi_s + V_{SB}) - \eta V_{DS} \quad (3-4-2)$$

可以看出, 它考虑了体偏置效应( $K_1 = \gamma$ ), 短沟道效应( $K_2$ )和 DIBL 效应( $\eta$ )。

截止区( $V_{GS} < V_T$ )电流表达示:  $I_D = I_{DW}$  ( $I_{DW} = \frac{I_{exp} I_{lim}}{I_{exp} + I_{lim}}$  为弱反型时的泄漏电流) (3-4-3)

$$(I_{exp} = \beta \left(\frac{kT}{q}\right)^2 e^{1.8} e^{\eta(V_{GS} - V_T)/nkT} (1 - e^{-qV_{DS}/kT}), I_{lim} = \frac{\beta}{2} \left(\frac{3kT}{q}\right)^3, n \text{ 为斜率系数}, \beta = \mu C_{OX}(W/L))$$

非饱和区( $V_{GS} > V_T, V_{GS} \leq V_{DS(sat)}$ )电流表达示:  $I_D = \beta_1 [2(V_{GS} - V_T)^2 - aV_{DS}^2]$  (3-4-4)

$$\left( \beta_1 = \frac{\beta}{[1 + U_0(V_{GS} - V_T)] [1 + (U_1/L)V_{DS}]} \right), a = 1 + \frac{gK_1}{2\sqrt{\varphi_s + V_{SB}}}, g = 1 - \frac{1}{1.744 + 0.8364(\varphi_s + V_{SB})}$$

饱和区( $V_{GS} > V_T, V_{GS} \geq V_{DS(sat)}$ ) 饱和电压为:  $V_{DS(sat)} = \frac{V_{GS} - V_T}{\alpha \sqrt{K}}$

电流表达示:  $I_{D(sat)} = \frac{\beta_2}{2\alpha K} (V_{GS} - V_T)^2 \quad \beta_2 = \frac{\beta}{[1 + U_0(V - V_T)]}$  (3-4-5)

式中参数  $K$  用来描述速度饱和:  $K = \frac{1}{2} (1 + u_c + \sqrt{1 + 2u_c}) \quad u_c = \frac{U_1}{L} \left( \frac{V_{GS} - V_T}{a} \right)$  (3-4-6)

## 2. BSIM2 模型

1990 年在 BSIM1 的基础上开发的深亚微米 BSIM2 模型, 适用的沟道长度可小到  $0.25 \mu\text{m}$ , 栅氧化层厚度可薄至  $3.6 \text{nm}$ 。它除了包括 BSIM1 的各种二级效应外, 还考虑了下述效应:

- (1) 漏 / 源区寄生电阻;
- (2) 热电子引起的输出电阻的下降
- (3) 反型区电容效应。

## 3. BSIM3 模型<sup>[3,19]</sup>

BSIM3 模型建立的机理与 BSIM1, BSIM2 的不同。BSIM1 和 BSIM2 集中于解决模型的精度并考虑公式的简单化, 因而引入了大量的经验参数或弥合参数以提高模型精度; 虽然有自动的参数提取程序帮助提取模型参数, 但在实际使用上由于模型参数过多且存在冗余, 因此使用起来比较麻烦。BSIM3 则不同, 它是基于准二维分析的物理模型, 着重探讨和解决涉及器件工作的物理机制, 并考虑了器件尺寸和工艺参数的影响, 力求使每个模型参数与器件特性的关系可以预测; 此外为了使参数提取过程简单, 还尽可能设法减少模型参数的个数。本篇论文设计工作中 MOS 器件采用 BSIM3 模型描述。

### 3.4.6. IC 芯片版图设计方法

版图设计的任务就是在一定的设计指标、电气性能等条件的约束下，在一块芯片上安置所有的单元电路，完成各单元之间的电学互连，并使占用的芯片面积最小，相连线总长度最短。归根结底，对即将设计的 LCoS 显示芯片版图的基本要求也是如此，因此要分析常规 IC 芯片版图设计方法，从中总结出高效而实用的显示芯片版图设计的方法。常用版图设计方法有：全定制法、标准单元法、门阵列法、PLD 法、积木块布图法和硅编译法等<sup>[3,15]</sup>。

#### 3.4.6.1 全定制设计

全定制设计用于对设计质量本身有着最严格要求的芯片，比如要求有最小信号延迟，最小芯片面积，最佳设计结果，而相应在设计周期、设计成本上付出的代价却可以在所不惜。这种设计法主要以人设计为主，设计者对版图的每一部分都要进行反复比较、权衡、调整、修改；对元件要有最佳尺寸；对拓扑结构要有最合理布局；对连线要寻找最短途径……如此不断完善，以求在获得最佳芯片性能的同时，也因为芯片面积最小而大大降低每片电路的成本，达到低价位占领市场的目的。下面几种情况通常采用全定制设计方法。

- (1) 产量浩大的通用集成电路从成本与性能考虑而采用全定制设计方法。
- (2) 其它设计方法中最底层的单元电路，如标准单元法中的库单元、门阵列法中的宏单元，因性能和面积的要求而采用全定制设计方法。
- (3) 模拟电路因其复杂而无规则的电路形式，在技术上只适宜采用全定制设计方法。
- (4) 简单、规模较小而又有一定批量的专用电路，在设计者力所能及的情况下，一般也采用全定制设计方法。

对于大规模、超大规模集成电路采用全定制设计方法似乎不可思议。事实上，这确实需要许多人多年共同努力：将一个庞大的电路系统按功能分解为若干个模块，具有丰富经验的设计人员分工合作，每人负责一个部分的设计，最后拼接完成。

设计全定制 IC 芯片时，设计师要定义芯片上所有晶体管的几何图形和工艺规则，最后将设计结果交由 IC 厂家制造。

#### 3.4.6.2 标准单元设计模式

标准单元设计方法比全定制设计方法简单。系统事先已准备好包括有逻辑符号、拓扑和物理版图的“标准单元”存入单元库(cell library)中，以供用户设计不同的芯片。这些单元的逻辑功能、电路性能及几何设计规则都经过验证和分析。所有标准单元的物理版图都必须等高，电源线和地线的位置是规范化的，引线位置一般在单元的上下边界上以便于互相连接。单元按行排列，行与行之间是称之为通道的布线区。同行或相邻两行的单元互连可通过单元行的上或下通道或相邻两行之间的通道进行连线完成。隔行单元之间垂直方向互连则必须借用事先预留的标准单元上的“走线道”(feed-through)或在同行两单元间设置专门的“走线道

单元”(feed-through cell)或“空单元”(empty cell)来完成走线。对三层或四层布线的标准单元,由于增加了布线资源和采用“跨单元布线”(over-the-cell routing)技术,可允许单元不等高和引线位置任意,这样有利于提高芯片的利用率。图 3-4-4 示意了一个典型的标准单元版图。

### 3.4.6.3 门阵列设计模式

它预先设计和制作好各种规模的母片,其上除金属连线和通孔外的单元图形固定不变且排列成阵列。每个这样的单元可以通过不同的金属连线得到不同功能的单元电路,如各种门电路、触发器、寄存器等。这些金属连线图形以库单元形式存于库中。单元库中包括有上百种不同功能的基本单元,它们也像标准单元一样事先经过验证和分析。晶片上单元之间的是水

平和垂直的布线通道,用以完成单元间的互连。像标准单元设计方法一样,门阵列版图可以利用自动布局和自动布线技术来完成。图 3-4-5 给出了一个门阵列的版图结构。

门阵列设计模式由于其设计和制造周期短、费用低而广泛用于小批量产品的 ASIC 设计。已有很多商用的门阵列设计系统在市场上销售。该方法的缺点是由于单元和通道固定,芯片利用率低,电性能差。

### 3.4.6.4 可编程 IC 设计

可编程逻辑芯片与上述掩膜 IC 的不同之处在于:设计人员完成版图设计后,在实验室内就可以烧制出自己的芯片,无须 IC 厂家的参与,大大缩短了开发周期。可编程逻辑器件自七十年代以来,经历了 PAL、GAL、PLD、FPGA 几个发展阶段,其中 FPGA 属高密度可编程逻辑器件,它将掩膜 ASIC 集成度高的优点和可编程逻辑器件设计生产方便的特点结合在一起。一个 FPGA 芯片由若干个可编程的逻辑模块组成,它们可以被排列成如门阵那样的模块阵列,也可以被排列成如宏单元阵列那样的行模式,还可以被排列成如门海那样无通道的模块阵列。这些逻辑模块可用一个可编程的布线网络进行互连。一个典型的 FPGA 逻辑模块比门电路复杂,但比标准单元设计中的单元简单。如 Xilinx 公司的 FPGA,它的逻辑模块是一个记忆模块,通过编程表示一定逻辑功能。实际上它是对给定的一组输入,通过查表把结果设置在相应输出线上。所以,给逻辑模块装入不同的逻辑功能表,就可以执行不同的逻辑功能。目前集成度已高达 200 万门/片,特别适合于样品研制或小批量产品开发,使产品能以最

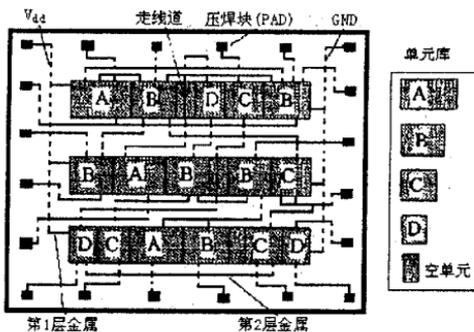


图 3-4-4 标准单元版图结构

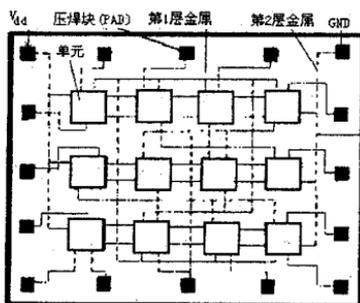


图 3-4-5 门阵列版图结构示意图

快的速度上市,而当市场扩大时,它可以很容易地转由掩膜 IC 实现,因此开发风险也大为降低。上述 IC 芯片,尤其是 FPGA 器件,已成为现代高层次电子设计方法的实现载体。

#### 3.4.6.5 硬件描述语言

10 年前,电子设计的基本思路还是选择标准集成电路“自底向上”(Bottom-Up)地构造出一个新的系统,这样的设计方法类似一砖一瓦地建造金字塔,不仅效率低、成本高而且还容易出错。高层次设计给我们提供了一种“自顶向下”(Top-Down)的全新的设计方法,这种设计方法首先从系统设计入手,在顶层进行功能方框图的划分和结构设计。在方框图一级进行仿真、纠错,并用硬件描述语言对高层次的系统行为进行描述,在系统一级进行验证。然后用综合优化工具生成具体门电路的网表,其对应的物理实现级可以是印刷电路板或专用集成电路。由于设计的主要仿真和调试过程是在高层次上完成的,这不仅有利于早期发现结构设计上的错误,避免设计工作的浪费,而且也减少了逻辑功能仿真的工作量,提高了设计的一次成功率。

正如我们所知道的,硬件描述语言(HDL-Hardware Description Language)是一种用于设计硬件电子系统的计算机语言,它用软件编程的方式来描述电子系统的逻辑功能、电路结构和连接形式,与传统的门级描述方式相比,它更适合大规模系统的设计。例如一个 32 位的加法器,利用图形输入软件需要输入 500 至 1000 个门,而利用 VHDL 语言只需要书写一行  $A=B+C$  即可,而且 VHDL 语言可读性强,易于修改和发现错误。早期的硬件描述语言,如 ABEL-HDL、AHDL,是由不同的 EDA 厂商开发的,互相不兼容,而且不支持多层次设计,层次间翻译工作要由人工完成。为了克服以上缺陷,1985 年美国国防部正式推出了 VHDL(Very High Speed IC Hardware Description Language)语言,1987 年 IEEE 采纳 VHDL 为硬件描述语言标准(IEEE STD-1076)。

硬件描述语言的宽范围描述能力使它成为高层次设计的核心,将设计人员的工作重心提高到了系统功能的实现与调试,只需花较少的精力用于物理实现。HDL 可以用简洁明确的代码描述来进行复杂控制逻辑的设计,灵活且方便,而且也便于设计结果的交流、保存和重用。另外,HDL 的设计不依赖于特定的器件,方便了工艺的转换,并且形成了标准语言,为众多的 EDA 厂商支持,因此移植性好。

#### 3.4.6.6 版图设计规则及其数据格式

一个集成电路芯片包含了硅片上的若干层不同介质,每层介质的形状、大小和位置都必须精确地设定,“掩模”正是为了在某层上产生图形而设定的一种规范。每一层介质对应一个掩模版图。集成电路工艺过程正是利用相应掩模版图,按一定次序在硅片上制作规定图形的介质或腐蚀掉一部分介质。版图设计的最后结果就是要产生能完成所需要电路功能的一套掩模版图数据,并用这些数据驱动专用设备制作掩模版。因此,在版图制作过程中要精确控制各层图形的横向和纵向尺寸。要保证生产的集成电路有一定的成品率,必须使设计的图形符

合生产厂家的加工水平，这就要求设计版图时遵循一定的版图设计规则。版图设计规则是根据生产的工艺水平制定的，这些规则通过综合考虑电学性能和可靠性限制与加工能力之间的关系而产生。“多晶硅与多晶硅之间的距离必须大于或等于  $2\mu\text{m}$ ”就是一条典型的设计规则。设计规则的复杂程度取决于工艺特性描述的细致程度和设计思想。

版图设计规则可以根据实际工艺水平独立给出各种图形最小尺寸及图形间距的具体数值，这是一种针对实际工艺水平、灵活性较小的自由格式定制。一旦工艺发生变化，必须重新制定设计规则。另一种规整格式的设计规则是以工艺中可实现的最小尺寸( $\lambda$ )为单位，给出各种图形最小尺寸及间距的相对要求。这种设计定制的通用性强，当工艺水平提高了，不必修改设计规则，只要改变 $\lambda$ 的具体值。由于现代 IC 工艺趋于标准化，不论是自由格式还是规整格式的设计规则，在不同生产线上都有一定的通用性。

每一个设计规则都是某些现象的相互作用结果。一个正确的设计规则要考虑到光刻工艺的特征、腐蚀工艺的能力、定位公差和电学特性的限制。譬如在 CMOS 电路中，规定 p 型衬底中  $n^+$ 区和 n 阱中  $p^+$ 区之间的间距；规定应该离多远设置一个接到阱区的接点，这都是为避免自锁效应而引入的。在编制设计规则时也有许多折衷，但有些参数比较重要，必须坚持，而另一些则不然。比如 CMOS 技术中，要考查阱内有源区与阱外有源区之间的间距，一方面这个距离决定着自锁效应的敏感程度，另一方面它又影响着版图的密度

集成电路布图过程是一个把电路或逻辑原理图翻译成物理版，最终产生设计电路的一套掩模版数据，目前表示版图数据的格式已经标准化。GDS2 格式是工业界最常用的交换格式，加州理工学院提出的 CIF 格式(Caltech Intermediate Format)则为学术界和工业界共同确认的另一种标准版图数据描述格式。此外，EDIF(Electronics Design Interchange Format)也是一种标准的数据交换格式，它还包括了网表和电路符号等的描述，具有更丰富的内容。

### 3.5 典型 EDA 设计工具

所谓 EDA 是指以计算机为工作平台，融合了应用电子技术、计算机技术、智能化技术最新成果而研制成的电子 CAD 通用软件包，主要能辅助进行三方面的设计工作：IC 设计，电子电路设计以及 PCB 设计。没有 EDA 技术的支持，想要完成超大规模集成电路的设计制造是不可想象的，反过来，生产制造技术的不断进步又对 EDA 技术提出新的要求。

EDA 系统框架结构(Framework)是一套配置和使用 EDA 软件包的规范，目前主要的 EDA 系统都建立了框架结构，如 Cadence 公司的 Design Framework，Mentor 公司的 Falcon Framework 等，这些框架结构都遵守国际 CFI 组织(CAD Framework Initiative)制定的统一技术标准。Framework 能将来自不同 EDA 厂商的工具软件进行优化组合，集成在一个易于管理的统一的环境之下，而且还支持任务之间、设计师之间在整个产品开发过程中实现信息的传输与共享，这是并行工程和 Top-Down 设计方法的实现基础。

如图 3-5-1 所示,EDA 设计系统具有面向目标的各种数据模型及数据管理系统,有一致性好的用户界面系统,有采用图例的设计管理环境和设计管理系统。

各种专用于大规模集成电路设计的 EDA 工具和计算机工作站相继问世,其目的就是要将尽可能多的设计步骤自动化,让那些在复杂 IC 设计方面经验不多的系统设计者有效地设计、验证以及测试他们的芯片,获得一次性成功的保证。日前较为著名的 EDA 工作站主要有 Cadence, Dazix, Metor Graphics, Synopsis, ViewLogic, Compass 等,它们对硬件的要求主要是:大屏幕高分辨率彩色显示器,高主频,大容量内存,海量硬盘组,以及硬件加速装置等。这些都可以从数字设备公司(DEC)、HP/Apollo 公司、SUN 微系统公司等获得支持。然而,对于众多系统设计者而言,PC 机版本的 EDA 设计工具则拥有更多的使用机会。我的论文设计工作也正是始于 PC 机版本的集成电路设计软件: Pspice。

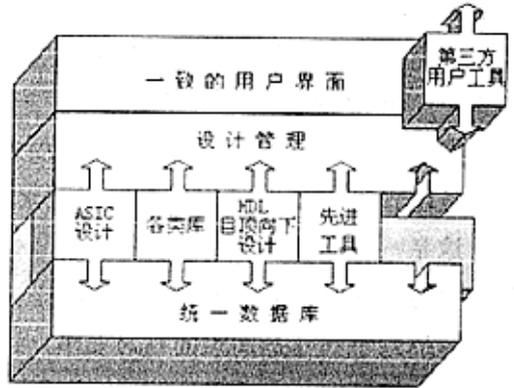


图 3-5-1 EDA设计平台的结构框架

### 3.5.1. Pspice 电路模拟软件简述

用于集成电路仿真的 SPICE 程序于 1988 年被定为美国国家工业标准。各种以 SPICE 为核心的商用电路仿真工具,在 SPICE 的基础上做了许多实用化工作。MicroSim 公司的 Pspice 在保持了 SPICE 原有功能的基础上,在输入输出图形处理、算法的可靠性和收敛性、仿真速度、模拟功能扩展以及模型参数库和宏模型库等方面都有所改善和扩充,特别是接受 DOS/WINDOWS 操作系统支持,可在 PC 机上运行。

Pspice 由如 6 个基本程序模块组成:

- 1) 电原理图输入程序 Schematics
- 2) 激励源编辑程序 Stimulus Editor
- 3) 电路仿真程序 Pspice A / D
- 4) 输出结果绘图程序 Probe
- 5) 模型参数提取程序
- 6) 元器件模型参数库 LIB

用 Pspice 进行电路分析与设计时,各个程序模块之间的关系和设计流程如图 3-5-2 所示。

Pspice 仿真软件采用迭代算法,从一系列节点电压开始,迭代计算出新的一组节点电压值,逐渐逼近满足基尔霍夫定律的最终解。在所有迭

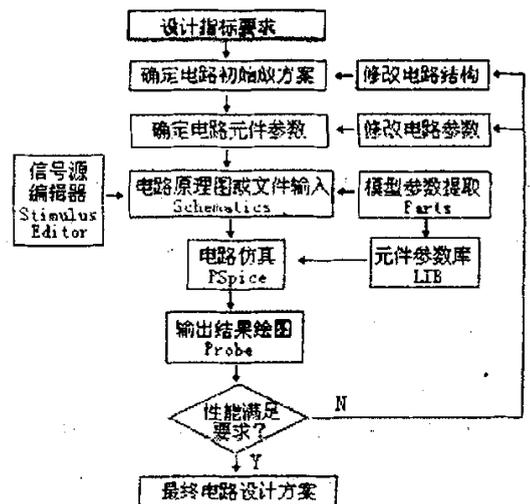


图 3-5-2 Pspice电路分析流程

代过程中,都有可能不收敛问题,而这也是在使用 Pspice 时最容易碰到的问题。尽管如此,设计者若能灵活运用,在元件主要参数已知的条件下,使用它可以很方便地在 PC 机上研究电路特别是模拟电路的特性,能帮助设计者在进行大型、复杂电路之前,对单元局部电路进行仿真,根据仿真结果来修改和优化电路设计。

### 3.5.2. CADENCE EDA 工具<sup>[3,20]</sup>

Cadence 是一个大型的 EDA 软件,它几乎可以完成电子设计的方方面面,包括 ASIC 设计、FPGA 设计和 PCB 板设计。特别是 Cadence 在仿真电路图设计,自动布局布线,版图设计及验证等方面有着绝对的优势。与其它现代 EDA 工具一样,Cadence 设计平台的系统结构框架(Framework)是一套配置和使用 EDA 软件包的规范,该框架结构遵守国际 CFI 组织(CAD Framework Initiative)制定的统一技术标准,能将来自不同 EDA 厂商的工具软件进行优化组合,集成在一个易于管理的统一的环境之下,而且还支持任务之间、设计师之间在整个产品开发过程中实现信息的传输与共享,这是并行工作模式和“自顶向下”设计方法的实现基础。

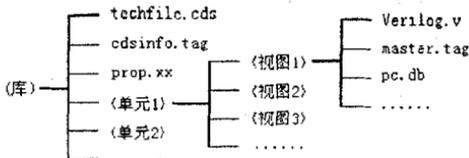


图3-5-3 设计的库结构

Cadence EDA 将设计结果保存为库的形式,表示成“库-单元-视图”的结构,如图 3-5-3 所示。此外还包括一些其它的辅助文件,如项目设置文件等。库是一个数据组织结构的概念,这种结构以 Unix 文件系统目录的形式保存数据。库在逻辑上是设计数据的集合,其物理形式是一个包含文件和子目录的目录。在 Cadence EDA 的设计中,由于采用了层次化设计的方法,将一个设计分割成不同的功能模块,对于每个功能模块,可以继续细分成更小的模块,直到最后将功能的实现落实到具体的电路元件上。因此在 Cadence 环境中,一个设计可以看成是不同模块的组合,而每个模块可能是独立的电路元件,也可能是下一层模块的组合。

对应于每个模块,Cadence EDA 提出了单元(cell)的概念:每个模块有不同的表示形式,如原理图、封装或符号,单元就是这些表示的集合。在库中,每个单元对应于一个子目录,该子目录又包含对应于不同表示形式的子目录。

对每个模块的不同表示形式,Cadence EDA 提出视图(view)概念:视图在物理上是一组相关文件的集合,是个独立的目录,存放与该表示形式相关的所有文件。

Cadence EDA 的全定制 IC 设计流程提供了数字、模拟和数模混合电路设计与版图验证的全套工具。具体地说,Composer 设计输入系统支持多层次的文本和图形输入方法,其电路优化技术可以在基本电路拓扑关系和性能要求下,自动调谐得到电路中元件的参数,这就大大减少电路的设计时间。在电路仿真技术方面,由于 Cadence 支持第三家的设计工具,通常采用 Hspice 进行混合级的电路仿真,最后得到波形显示和分析。

电路仿真通过后，根据原理图产生的元件连接网络表进行版图的自动布局布线。在制作光刻版之前还可以进行后分析，包括热分析、噪声及窜扰分析、电磁兼容分析、可靠性分析等。在版图验证方面，Cadence 的 Diva 与版图工具集成在一起，可进行实时的在线检查验证。Diva 还能作有选择的 RC 提取，然后把寄生电阻电容参数加到相应的混合电路进行再仿真，也称为后仿真。这一次仿真主要是检验电路在实际工作环境中的可行性。而这一切都是在统一的环境中进行，因而大大减少了数据的转换和传递，减少了人工干预和思考，有效地提高了设计效率。

### 3.6 CMOS 工艺概述

集成电路技术是通过一系列氧化、刻蚀、掺杂和淀积等工艺过程在半导体衬底(如硅片)上制造晶体管及相应金属连线工艺过程。在制作过程中，要反复进行十几次的图形转换和图形确定步骤。首先在半导体衬底上涂覆光致抗蚀剂，再用预先制备好的掩模版覆盖进行曝光，然后显影光致抗蚀剂形成需要的图形，接着进行刻蚀、掺杂等工艺。

#### 3.6.1. MOS 器件类型

MOS 场效应晶体管根据沟道的导电类型分为 N 沟 MOS 和 P 沟 MOS(即 PMOS FET 和 NMOS FET)。根据形成沟道的工作方式又可将这两种 MOS 晶体管分为增强型(Enhancement)和耗尽型(Depletion)。众所周知，对衬底而言 MOS 管的栅极未加任何电压时，在栅氧化层下漏-源之间的衬底表面无沟道形成，只有在栅极上外加一定的电压才能形成沟道，这种场效应晶体管称为增强型 MOS 管。反之，当栅极未加电压即形成表面沟道的场效应晶体管则称为耗尽型 MOS 管。在实际 MOS 芯片中多采用增强型 MOS 场效应晶体管(但 E/D NMOS 结构中，则采用耗尽型器件制作负载管，用增强型器件制作驱动管)<sup>[3, 21]</sup>。

早期由于工艺制造原因，制造增强型 NMOS 管较为困难，故 MOS 芯片以 PMOS 管为主。随着工艺的发展和改进，而且电子的表面迁移率比空穴的表面迁

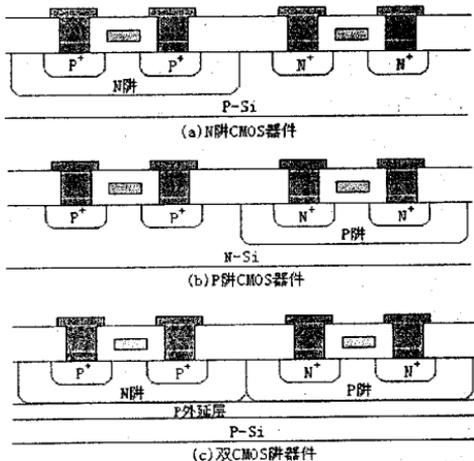


图 3-6-1 三种 CMOS 工艺流程器件

移率高( $\mu_n = (5\sim 3)\mu_p$ ), 故 NMOS 器件的工作速度比 PMOS 器件高。20 世纪 70 年代 PMOS 芯片逐渐为 NMOS 芯片取代。随后, CMOS 器件以近于零的静态功耗显示出更适合制作 VLSI 电路, 加上工艺技术的发展, 致使 CMOS 技术成为当前 VLSI 电路中应用最广泛的技术。其主要优点是集成密度高而功耗低, 工作频率随着工艺技术的改进已接近 TTL 电路<sup>[3,11]</sup>, 但驱动能力尚不如双极型器件, 所以近来又出现了在 IC 的内部逻辑部分采用 CMOS 技术, 而 I/O 缓冲及驱动部分使用双极技术的一种称为 BiCMOS 的工艺技术。

CMOS 技术要求在同一芯片上同时制造两种器件, 即 PMOS FET 和 NMOS FET, 因此在制造工艺上出于厂家的制造背景不同, 出现了三种以硅为衬底的制造 CMOS 芯片的基本方法, 如图 3-6-1 所示。图中(a)为 N 阱硅栅 CMOS 工艺; (b)为 P 阱硅栅 CMOS 工艺; (c)为双阱硅栅 CMOS 工艺。

### 3.6.2. MOS 芯片类型

MOS 芯片有数字、模拟和数 / 模混合三种类型。

早期的 P 沟 MOS 芯片因其工作速度低, 而且需较高的工作电压, 现已被淘汰而由 N 沟 MOS 取代。由于双极 IC 在中、小规模 IC 中占有优势, 故 NMOS 数字 IC 在 LSI 以及 VLSI 中占有优势。随着 MOS 工艺的发展和改进, 为进一步提高电路的性能, 现广泛采用耗尽型 NMOS 器件取代电路中原来用增强型 MOS 器件制作的做有源负载用的负载管(即上拉管), 从而提高了逻辑电压的摆幅和电路的性能。这就是 E/D NMOS IC(E 为增强型的英文缩写字母, 此增强型 NMOS 器件用作驱动管, 即下拉管; D 为耗尽型的英文缩写字母, 以耗尽型 NMOS 器件用作负载管, 即上拉管)。

由于 MOS 器件的输入(栅极与源极间)电路呈容性阻抗, 具有存储信息的功能特性, 因而为进一步提高电路的性能, 降低功耗和提高集成密度, 故在 MOS IC 中(尤其 LSI 和 VLSI IC), 电路结构采用了以时钟控制的动态 MOS IC。目前随着工艺的发展和单元电路的改进, 动态 RAM 在单片集成上已达到兆位级水平。当前 VLSI IC 中 MOS IC 仍占统治地位, 其中动态 NMOS VLSI 工作速度较高, 而 CMOS VLSI 以其低功耗的特点独占鳌头, 而在制造工艺的复杂程度上二者也不相上下。在集成规模进一步提高的发展趋势中, CMOS IC 成为专用集成电路的重要技术。

目前, CMOS 技术已克服了原来采用 NMOS IC 制作模拟电路时存在的突出矛盾(电路的增益低, 需增加电平移动电路等), 例如一个典型的 NMOS 运算放大电路结构, 共需 30 多个 NMOS 晶体管, 而采用 CMOS 技术则仅需 9 只晶体管就可实现, 从而达到可与双极型模拟 IC 相抗衡的水平, 加以采用同一工艺既可实现模拟电路又可实现数字电路, 故在实现数 / 模混合 IC 的领域中, 当为开拓力量。以现代通信设备中所采用的集成电路而言, 差不多 CMOS IC 占 90%以上。随着 CMOS 技术的发展, 除标准 CMOS 结构外, 又出现了动态 CMOS(或 C<sup>2</sup>MOS), D CMOS (Domino CMOS)等。

### 3.6.3. 工艺制造中的考虑因素

工艺制造中还有若干重要的因素需要考虑,如等比例缩小、延迟、噪声、串扰、功耗、寄生效应和成品率等。

#### 1. 等比例缩小

随着工艺技术的进步,人们不断通过缩小版图的器件和连线来缩小芯片尺寸和提高成品率。按比例缩小有两种方法:一种是全比例缩小,即所有器件尺寸以及所有的电源电压都按同一个比例“缩小”;另一种是电压不变的按比例缩小,即保持电源电压不变只缩小器件尺寸。全比例缩小可以提高器件速度、降低功耗和更密集地封装。因此,它可以提高芯片的速度和集成度。但是受工艺设备和半导体物理机制的制约,器件尺寸用简单的等比例缩小是很有限的。第二种方法较为实用,它可以减小芯片面积和门延迟,从而提高芯片的电性能和集成度。但它可能导致功耗提高而引起氧化层断裂的问题。此外,芯片面积的缩小受到芯片周围压焊块面积数量的限制。

#### 2. 寄生效应

电容在集成电路中起着很重要的作用。杂散电容和信号线与地间的电容是两种主要的寄生电容。另外一种寄生电容是 MOS 晶体管的栅与漏或者源之间固有电容,由于它对芯片电路性能的影响要比对地的寄生电容的影响大,因此必须慎重考虑。

#### 3. 延迟

电路的延迟分为门延迟和互连线延迟。这两种延迟的计算都和多晶硅的宽度和长度、氧化层的厚度、金属线的宽度和长度等参数有关。传统集成电路的设计和布图中,互连线延迟没有受到应有的重视。只是到了今天,随着版图特征尺寸的不断减小和芯片面积的不断增大,寄生电容和电阻已经不能忽略。互连线上的 RC 延迟已经成为芯片延迟的一个重要因素。

#### 4. 噪声和串扰

当特征尺寸和信号量值变小时,电路对外界的干扰变得十分敏感,这就产生了吸声。噪声本质上起因于电阻和电容的耦合。小的特征尺寸可以减小节点电容,它有助于改善电路的延迟,但这些节点也变得容易受外界噪声的影响。相邻电路和互连线之间的耦合以及电路同时跳变所产生的感应噪声是内部噪声中最常见的形式。当芯片面积和时钟频率增大,信号的波长和互连线的长度相当时,噪声问题会变得更严重。

串扰是噪声的一种形式,它是由于相邻连线之间耦合电容和耦合电感所引起的。相邻连线间的耦合电容和电感的总量取决于线间的距离、连线离地的距离和它们相邻一起走线的长度。串扰会造成传播延迟增加和逻辑错误。延迟的增加是因为总的连线电容增加而引起连线 RC 延迟的增加。防止两条连线平行走线超过一定的长度可以减小串扰和噪声,另一种减小串扰的方法是在两条平行信号线之间布一条地线。

#### 5. 散热

VLSI 芯片上热的产生和散热是一个重要的问题。芯片上的热源是晶体管,越来越多的晶

体管被组装在一个越来越小的区域上,结果,高集成度芯片上的散热就成为设计时要考虑的一个主要因素。此外,芯片设计时还要防止出现热点,要尽量使整个芯片上的温度均匀。对于 CMOS 电路,我们还必须求得在任何时刻处于工作状态门数的平均百分比,因为在工作状态和不工作状态其热量是不同的。目前,在高性能封装中的散热系统可以很容易处理 25~100W 的散热问题。

### 3.7 小结

本章开始介绍了 SoC 技术的概念,表明微电子学科仍是 SoC 技术发展的主体,但是 SoC 芯片的开拓者必须面向应用对象域。接着简述了亚微米电路的设计特点及相应设计方法策略,指出互连线时延分析的重要性,概述了在版图设计中时钟线时延的估算方法。然后在具体讨论超大规模集成电路的设计要求和设计步骤的基础上,简述全定制、标准单元设计模式、门阵列设计模式、可编程 IC 设计、硬件描述语言等各种设计方法的特点及适用范围,而且从设计全过程出发,讨论逻辑模拟、电路模拟、器件模拟的作用和各种模拟所用的算法。其中还介绍了 BSIM 短沟道器件模型,SPICE 模拟程序, Cadence 和 Pspice 两种常用的 EDA 工具及其层次式设计概念。

### 参考文献

- [3.1] J.Madsen, et al. Embedded system synthesis under memory constraints [J], Proceedings of Codes/CASH'99, 1999
- [3.2] 魏少军. 集成电路设计方法学的几个热点 [J], 电子科技导报, 1998, (1)
- [3.3] 梁宇, 韩奇, 魏同立, 郑汪. SOC 的可测性设计 [J], 固体电子学研究与进展, 2001, 21(3): 246~251
- [3.4] 王阳元. 二十一世纪硅微电子技术发展趋势[J], 集成电路设计, 2000, (2): 1~6
- [3.5] 杨之廉, 申明. 超大规模集成电路设计方法学导论(第二版) [M], 北京: 清华大学出版社, 1999.
- [3.6] S.Prasitjutrakul, W.J.Kubitz. A performance-driven global router for custom VLSI chip design [C], IEEE Trans: Computer-Aided Design, 1992, 11(8): 1044~1051
- [3.7] S.Dhar, M.A.Franklin, D.F.Wang. Reduction of Clock Delays in VLSI Structures [C], Proc. of IEEE International Conference on Computer Design, 1984, 778~783
- [3.8] B.Wu, N.A.Sherwani. Effective Buffer Insertion of Clock Tree for High Speed VLSI Circuits [J], Microelectronics, 1992, 23(7): 291~300
- [3.9] S.B.Akers, J.M.Geyer, D.L.Moberts. IC Mask Layout with A Single Conductor Layer [C], Proc. of 7<sup>th</sup> Design Automation Workshop, 1970, 7~16
- [3.10] D.F.Wann, M.A.Franklin. Asynchronous and Clocked Control Structures for VLSI Based Interconnection Networks [J], IEEE Trans. On Computers, 1983, 32(3): 284~293
- [3.11] J.F.Wakerly. Digital Design: Principles and Practices [M], Prentice Hall, Englewood Cliffs, New Jersey, 1990
- [3.12] Cong J.J, Leung K. Optimal wire sizing under Elmore delay model [C], IEEE Trans: Computer-Aided

- Design, 1995, 14(3): 321~336
- [3.13] Elmore W C. The transient response of damped linear networks with particular regard to wideband amplifiers [J], J.Appl Phys, 1948, 19: 55~63
- [3.14] 洪先龙. 一种以电性能优化为目标的 Steiner 树算法[J], 计算机学报, 1995, 18(4): 266~272
- [3.15] 洪先龙 刘伟平 边计年. 超大规模集成电路计算机辅助设计技术 [M], 国防工业出版社, 1998 年 6 月第 1 版
- [3.16] Nagel L.W. SPICE2: A computer Program to Simulate Semiconductor Circuits [C], Memo No. ERL-M520, 1975, May, University of California, Berkeley
- [3.17] Vladimirescu A, Liu S. The Simulation of MOS Integrated Circuits Using SPICE2 [C], Memo No. ERL-M80/7, 1980, Feb., University of California, Berkeley
- [3.18] Sheu B.J, Scharfetter DL, Ko P.K, Jeng M.C. BSIM: Berkeley Short-Channel IGFET Model for MOS Transistors [J], IEEE J.SSC, 1987, 22: 558~565
- [3.19] Cheng Y H, et al. A Physical and Scalable I-V Model in BSIM3V3 for Analog/Digital Circuit Simulation [J], IEEE Trans. ED, 1997, 44: 277~287
- [3.20] CADENCE Inc. Design Framework User Guide [M] CADENCE Version 9502, 1994,11
- [3.21] L.A.格拉泽, D.W.多贝尔普尔. 超大规模集成电路的设计与分析 [M], 科学出版社, 1991

## 第4章 CMOS 数模混合集成电路设计原理

本章从 LCoS 显示芯片电路设计需要出发, 讨论了数模混合电路中常用的基本单元电路, 其目的是为估算本篇论文所设计的芯片电路性能提供坚实的理论基础, 从根本上保证设计工作的合理性, 同时有利于系统地阐述 LCoS 显示芯片电路的工作原理。

### 4.1 CMOS 集成电路一般特性

由 Wanlass 和 Sah 首先提出的互补 MOS(CMOS)技术是指在同一芯片上创造 NMOS 和 PMOS 管<sup>[4.1]</sup>。与传统 NMOS 电路相比, CMOS 电路的最明显特点是功耗低。特别是现代 CMOS 工艺已经简化, 使现在的 CMOS 和 NMOS 在工艺复杂性上可相比较, 对于相同功能的电路模块, 现在用 CMOS 技术设计制作的集成电路保持了芯片面积不变而依然使功耗微小。CMOS 技术已从 NMOS 的发展中得益, 并作为最重要的 VLSI 技术之一而出现<sup>[4.2]</sup>。

#### 4.1.1 CMOS 集成电路技术

CMOS 反相器是数字电路的最基本单元, 由反相器电路的逻辑“非”功能可以扩展出“或非”、“与非”等基本门, 进而得到各种逻辑电路和时序逻辑电路。

图 4-1-1 示出 CMOS 反相器的工作情况。N 沟 MOS 管(NMOS)在 p 型衬底上形成; P 沟 MOS 管(PMOS)在 n 型衬底上形成, 而 n 型衬底又是在 p 型体硅上形成, 起 NMOS 管衬底的作用(背栅), 称作 N 阱。NMOS 和 PMOS

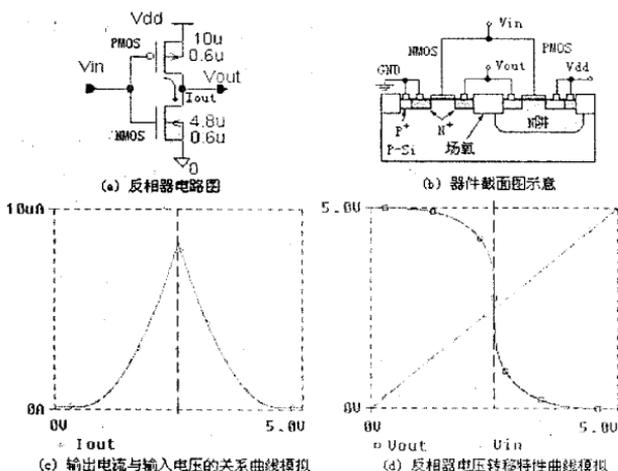


图 4-1-1 反相器电学特性模拟及其器件结构示意图

的栅连起来作为反相器的输入, 反相输出端为 NMOS 和 PMOS 漏极的连接点。其中 NMOS 为下拉开关(也称为驱动管), PMOS 为上拉开关(也称为负载管)。从器件结构及其工作机理上看, MOS 管是一种源漏可互换的对称管, 但是在具体电路中, 源漏端是由电源偏置来划分的。

图 4-1-1(d)示出 CMOS 反相器的输出电压  $V_{out}$  与输入电压  $V_{in}$  的关系。NMOS 和 PMOS 的阈值电压分别为  $V_{Tn}$  和  $V_{Tp}$ 。如果  $V_{in}=0$ ，则 NMOS 断开( $V_{in} < V_{Tn}$ )，而 PMOS 深饱和( $V_{GS} = -V_{DD}$ ，它比  $V_{Tp}$  的值负得很多)。因此， $V_{out}=V_{DD}$ 。

当  $V_{in}$  增加到  $V_{Tn}$  以上时 NMOS 最终导通，而 PMOS 最终截止。当  $V_{in}$  大于  $(V_{DD}-|V_{Tp}|)$  时， $V_{out}=0$ 。由于两管交替导通，所以为全摆幅输出。

可见，由一对互补 MOS 管组成的 CMOS 逻辑电路门的主要特征是，无论在哪一种逻辑状态上( $V_{out}=V_{DD}$  或 0)总有一个 MOS 管截止， $V_{DD}$  和地(或者  $V_{SS}$ )之间流通的电流可忽略。图 4-1-1(c)说明了这种特征，通过反相器的电流( $I_{DD}$ )画作  $V_{in}$  的函数(实线)。只有当两个 MOS 管同时导通(在开关过程中)时 CMOS 电路中才通过很大的电流，而这一瞬间是非常短暂的。以后的讨论中，我们会发现低功耗是 CMOS 的最重要的属性之一。CMOS 的性能好，电路设计容易是另一些引人注目的特征。无论是静态 CMOS(在结构上 NMOS 和 PMOS 成对出现)，或者是一种 MOS 晶体管比另一种 MOS 晶体管多的动态 CMOS，CMOS 结构都给设计者在设计电路中提供灵活性。另外，PMOS 管的衬底 N 阱接  $V_{DD}$ ，NMOS 管的衬底 P 阱接在地上，基本消除了衬底调制效应<sup>[4.3]</sup>。

之所以选择 CMOS 器件来实现 LCOS 显示芯片，也正是考虑到正如上述所讨论到的 CMOS 集成电路所特有的性能优势。

#### 4.1.2 MOS 晶体管中的二级效应<sup>[4.4]</sup>

上述对 CMOS 集成电路的讨论仅根据 MOS 晶体管手算模型(一级效应)，而本篇论文的设计工作是建立在能用于计算机辅助设计的 MOS 晶体管模型之上，不过这并不意味着我们不需要研究 MOS 器件效应及其表述模型。

接下来将对 MOS 器件物理作进一步探讨，因为这些物理效应可能成为一个电路能否工作的原因。为了能够进行 LCOS 显示芯片的 CMOS 电路设计，一方面要懂得这些 MOS 器件效应在什么地方以及如何发生重要作用；另一方面也必须理解 EDA 工具并不是完全精确。即使是最好的 EDA 工具也有内在的应用条件。某些“创造性”工作的一个料得到的结果是，要将程序应用于某些情形，而其特性是程序作者从未想象过的。我们如何知道程序模拟得对不对？所以，我们不仅必须成为能够充分利用模拟工具的专家，更重要的是，必须知道正确答案的范围在哪里，或者有没有违反程序的假设。

##### 1. 长度和宽度的变化

当设计一个 MOS 电路时，最直接受我们控制的两个参数就是器件宽度  $W$  和长度  $L$ 。由于多方面的原因，这些参数的最后值与设计值并不精确吻合。一个明显的原因是制造的公差，这主要由两方面原因引起。一

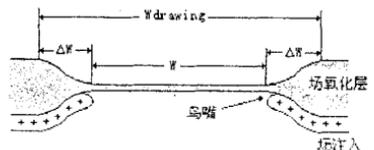


图 4-1-2 “鸟嘴”现象与器件宽度定义

方面是场氧化过程中(有源区)器件边界的物理移动，其结果是通常所谓的“鸟嘴”，如图 4-1-2 所示，其中  $W_{drawing}$  是版图中的设计值， $\Delta W$  是芯片工艺加工过程中的“鸟嘴”现象引起的宽

度减损值,  $W$  才是真正的有效宽度值。

另一方面是当用离子注入来控制表面漏电时发生的。离子注入提供了一种控制器件阈值而几乎不改变其它器件参数的方法。阈值电压和体效应参数都与衬底杂质浓度有关, 当然还有其它因素。离子注入技术使得人们可以有选择地控制  $N_A$ 。由于离子注入是一种低温工艺, 许多材料, 包括光致抗蚀剂, 都可以用作掩蔽注入杂质。场注入以氮化硅区作为注入的掩蔽。在高温的场氧化过程中, 杂质原子将由于浓度梯度而向硅中(以及场氧化层中)扩散。其结果形成了一个侵入有源晶体管区的杂质浓度较高的掺杂带, 由于场区  $N_A$  较大, 除了向有源区正侵蚀之外, 它还使扩散  $n^+$  线侧壁电容增加、击穿电压下降。然而, 不管是什么情况它都使得 MOS 晶体管的有效宽度下降。

另外, 由于氧化层厚度和杂质浓度分布两方面的原因, 在晶体管边缘引起阈电压的连改变化。因此, 在所有器件方程中的  $W$  和  $L$  都应采用经过修正的器件宽度和长度值。

## 2. 迁移率退化

通常引入迁移率时假定它是常数, 同时也要认识到这是一个过于简单化的假设。虽然改变迁移率的物理机理有若干种, 但从器件引出端看进去是三种效应, 第一个是特征迁移率  $\mu_0$ 。它是制造工艺的函数, 与界面电荷密度、衬底杂质浓度, 及硅片表面晶向等有关。特征迁移率与器件温度有很大关系, 而且是器件特性随温度变化的主要原因。迁移率的退化有其它几方面因素。我们把这些因素分解为垂直场迁移率退化效应, 水平场迁移率退化效应, 每个退化效应通常用一个或多个经验参数来表示。

载流子的速度饱和导致水平场迁移率退化。当载流子被加速到很大的水平速度时, 将发生速度饱和。这一效应通常以测量到的饱和速度  $v_{max}$  来表征。尽管  $n$  型硅的  $\mu_0$  比  $p$  型硅的  $\mu_0$  大得多, 但二者的饱和速度是差不多的。在高性能 MOS 器件的情形, 载流子在沟通的大部分是以饱和速度漂移的, 在这种情形中, 短沟道 PMOS 与 NMOS 器件特性的匹配情况比长沟器件好得多。所以, 在一些亚微米工艺中, PMOS 与 NMOS 器件的物理尺寸比较接近, 并不是由于  $p$  沟器件改进了, 而是由于  $n$  沟器件退化了。

## 3. 沟道长度调制

从物理上说, 沟道长度的缩短可以使沟道饱和电流( $i_{DS}$ )增加, 因为反型层末端与漏之间的耗尽区将随其上电压增加而增加, 因此, 虽然反型层末端的饱和电压不变, 但加上电压的距离缩短了。这使得反型层中各处的驱动电场都加大, 因而电流增加。换句话说, 从电学上加大了 MOS 管的有效形状因子, 实则其它所有条件相同时, 短沟器件的微分电导( $di_{DS}/dv_{DS}$ )大于长沟器件。这个效应在实际的模型中往往用解析方程和经验模型像结合起来表述。因此, 引入一些经验因子来保证曲线拟合。在 SPICE 程序中, 替代的情况是<sup>[4,5]</sup>:

$$N_A \longrightarrow NEEFN_A \quad V_{DS} - V_{Dsat} \longrightarrow KAPPA(V_{DS} - V_{Dsat})$$

由此可见, 因为精确性、计算效率, 以及所使用的针对相关物理现象表达式的有限描述能力等因素都交错钱在一起, 电路模拟中的器件模型是个相当复杂的问题。

## 4. 短沟道中的阈值变化

最重要的短沟效应之一是  $V_T$  随沟道缩短而减小。这主要是由于沟道下耗尽区电荷的电力

线横向终止到源和漏区，而不是垂直指向表面。这一关于阈电压的更精确的表达式被用于 SPICE 模拟器中的 BSIM 模型。

## 5. 次开启导电

在器件的手算模型方程中，假定了晶体管的导通是突然发生的，这时源对沟道的势垒减小了  $2\Phi_{FP}$ ，或者说沟道电位减小了  $v_{SB} + 2\Phi_{FP}$ 。这一条件被用来定义  $V_T$ 。在实际器件中，导通不完全是突然的，当电位在  $v_{SB} + \Phi_{FP}$  与  $v_{SB} + 2\Phi_{FP}$  之间时，器件的  $i_{DS}$  与  $v_{DS}$  有一定指数关系，而并非一次效应中的平方关系。

短沟和窄沟器件模型每天都有新发展关于这些效应的更精确的公式肯定还会继续发表。我们必须承认，这些现象确实影响着 VLSI 系统的性能以至功能，因此，在作 LCOS 显示芯片设计之前，讨论那些最重要的、也是最简单的效应才是实际而高效的。

### 4.1.3 COMS 工艺中的自锁效应

对于 n 阱工艺，CMOS 器件结构中有一个固有的从  $V_{DD}$  到地的四层  $p^+/n/p/n^+$  通路，如图 4-1-3 所示，这个通路构成了一对交叉耦合的 pnp 和 npn 双极晶体管，每个晶体管的集电极驱动另一个晶体管的基极，形成了一个正反馈通路，其电路图如图 4-1-4 所示。当然，只要把电源的极性以及 n 型和 p 型反过来，就可以得到相应的 p 阱工艺情形。

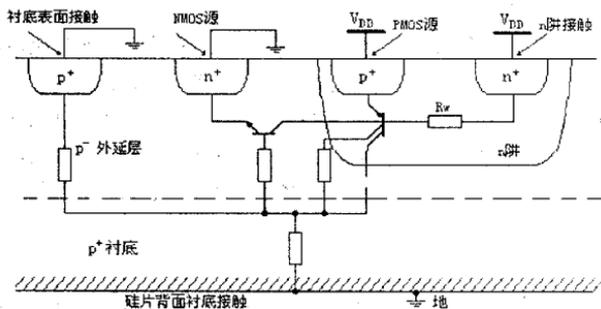


图4-1-3 体CMOS中固有的自锁通路

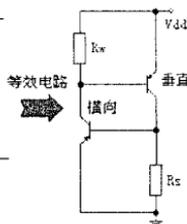


图4-1-4 反馈通路的自锁回路电路图

垂直晶体管电流放大系数  $\beta$  可在 50 到几百的范围；横向晶体管  $\beta$  通常在 0.5 到 10 的范围，且随着  $n^+$  发射极与阱的距离增加而指数下降为零。

如果两个晶体管的电流放大系统以及两个电阻  $R_w$  和  $R_s$  的值足够高，则电路可能被外界的扰动触发进入正反馈状态，两个晶体管的电流都将不断加大直至受到自身限制或使芯片烧毁，这种情况就称之为自锁。对于早期没有定型的 CMOS 工艺，这种效应是一种危险的因素，但在现代的工艺中，通过工艺改进和设计者深入理解电路技术，这一效应完全得到控制。

从电路理论我们知道，要把一个 pnp/npn 晶体管触发自锁状态，触发的干扰必须把器件偏置到反馈回路微分增益大于 1 的状态。因此，防止自锁有两种实现方法：或者是靠阻断干扰，或者是靠衰减回路微分增益使得晶体管即使被干扰导通了，环路微分增益也不会大于 1。

具体地说就是要求在 LCoS 显示芯片设计中严格遵循设计尺寸规则,采用足够多的衬底接触。

#### 4.1.4 MOS 晶体管的衬偏效应

通常,包括 MOS 器件在内的所有器件都做在同一衬底上。因此,所有器件的衬底电压是相等的。然而如图 4-1-5 所示,将几个器件串联起来会导致沿串联方向的源-漏衬底间电压的增加( $V_{sb1}=0, V_{sb2}\neq 0$ )。正常情况下, MOS 管的阈值电压定义为使沟道区源端半导体表面到达强反型所需要的栅压,这实际上是在  $V_{DS}=0V$  的条件下把 MOS 管等效为 MOS 二极管所对应的阈值电压,这时候外加栅压只有三个作用部分:一部分克服平带电压,另一部分降在栅氧化层,还有一部分是降在半导体表面的耗尽层上,当  $V_{GS}>V_T$  时,耗尽层宽度保持常数,载流子由源区进入沟道。可是,当衬底偏压  $V_{sb}(=V_{栅}-V_{衬底})$  增加时,沟道-衬底耗尽层也随着增加,结果导致耗尽层中陷落的载流子浓度的增加。为了保持电中性条件,沟道电荷必须下降。总的效果是衬底电压  $V_{sb}$  与沟道-衬底结的电位相加。这就增加了栅-沟道的压降。综合的结果是提高了开启电压  $V_T$ (即  $V_{T2} > V_{T1}$ )。有效的开启电压可由下式近似:

$$V_T = V_{T0} \pm \gamma(V_{sb})^{1/2}$$

这里,  $V_{T0}$  是  $V_{sb}=0V$  时的开启电压;  $\gamma$  是与衬底掺杂有关的常数;负号适用与 PMOS;  $\gamma$  的典型值为 0.4~1.2。开启电压实际上的提高会导致器件电流变小,从而使电路的工作速度变慢。

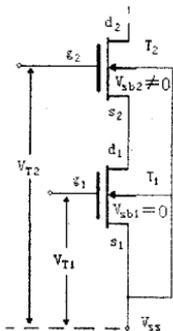


图 4-1-5 串联 MOS 管的衬底偏压效应

## 4.2 数字电路的基本单元研究

数字集成电路,不论其规模大小都是由数字电路的基本单元(一般是由数只晶体管组成的逻辑门)组成的。这些底层的基本单元通过构成基本功能模块(如计数器、乘法器等),进一步形成子电路系统(如通信领域编/译码系统中的信号预测部分、量化部分等),直至最终构成完整的工作系统(如 ADPCM 编/译码系统等)。这也就是“自底向上”(Bottom up)设计思想或设计方法的内涵。“自顶向下”(Top down)的设计方法与其恰好相反,先给出系统的整体框图,通过不断分解的方法逐层细化电路设计,直至底层的基本单元电路。

### 4.2.1 与非门、或非门、非门

图 4-2-1(a)、(b)、(c)、(d)分别为 CMOS 两输入端与非门、或非门、非门(倒相器)以及四输入端与非门的电路图。与门、或门则分别由与非门、或非门加上一级倒相器形成。对于一个四输入的非逻辑  $F = \overline{ABCD}$  来说,用扇入数为 4 的与非门来实现,只需 8 只 MOS 管;而用扇入数为 2 的逻辑门来实现,却需 14 只 MOS 管( $F = \overline{AB + CD}$ )。

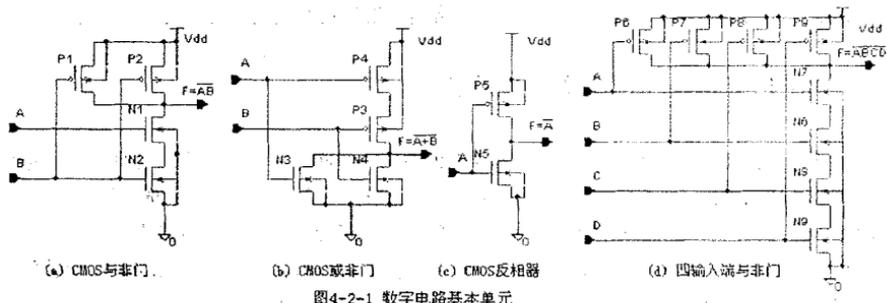


图4-2-1 数字电路基本单元

可见扇入数对逻辑设计及电路的规模化颇有影响。但这一结果并不意味着门的扇入数可以无限增多,因为根据MOS理论,扇入数将对门的等效K值( $K_p$ 和 $K_n$ )产生影响。图4-2-2给出了不同 $\beta$  ( $\beta = K_p/K_n$ )时电路传输特性曲线变化的情况。从图4-2-2可以看出,扇入数通过对 $K_p$ 和 $K_n$ 的作用,将对电路的直流噪声容限产生影响。一般电路实践中,以扇入数不超过4为好。由此可见,即使是在设计的一个很小的步骤上,都要考虑到具体问题可能给整个芯片在利用率或性能方面带来的影响,

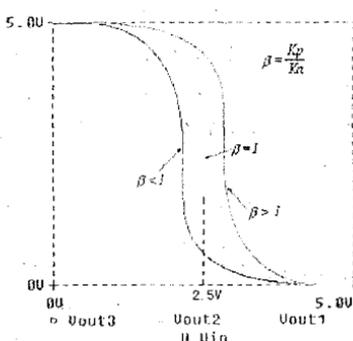


图4-2-2  $\beta$ 对传输特性的影响

### 4.2.2 三态门、传输门

三态门是具有三种输出状态的逻辑门。除了常规的高、低电平输出状态之外,第三种是高阻抗输出状态。图4-2-3即为一个三态倒相器的电路形式。图中间的一对CMOS管(P10、N10)为普通反相器,上、下的那对PMOS(P11)、NMOS(N11)管分别由相位相反的使能信号 $E$ 和 $\bar{E}$ 控制。当使能信号 $E$ 为高电平时,P11、N11同时导通,中间反相器的上、下两端分别与正电源 $V_{DD}$ 和地 $GND$ 接通,整个电路相当于一只普通反相器;当使能信号 $E$ 为低电平时,P11、N11同时截止,中间反相器的上、下两端分别与正电源和地断开,输出端此时处于既不能向外提供电流,又不能向内吸收电流的高阻抗状态。也就是我们常说的第三种状态。若将 $E$ 与 $\bar{E}$ 换接,即上面的PMOS管栅极接 $E$ ,而下面的NMOS管栅极接 $\bar{E}$ 。则该电路成为低电平使能三态门。

传输门由一对CMOS管构成、如图4-2-4所示。下面NMOS管的栅极和上面PMOS管的栅极分别接极性相反的控制信号 $G$ 和 $\bar{G}$ 。当 $G$ 为高电平时,两MOS管同时导通,信号可从传输门的一端传向另一端;当控制端 $G$ 为低电平时。两MOS管同时截止,信号的传输通路被截断。在后面LCoS显示芯片电路中可以看到、由

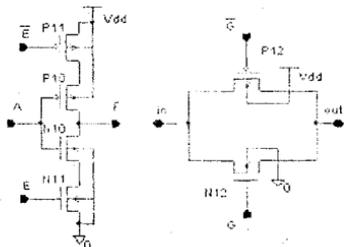


图4-2-3 CMOS三态门 图4-2-4 CMOS传输门

于将传输门与其它简单电路相结合、可以构成许多数字电路的基本单元和基本模块,并使电路形式大为化简,因此目前传输门已被广泛应用于大规模、超大规模数字集成电路的设计中。

### 4.2.3 基本锁存电路

数据锁存可用交叉耦合的反相器共同控制数据通路的传输门来建立,如图 4-2-5 所示。在此电路中传输门 TG1 用来控制数据的存入,而 TG2 是控制反馈环通断。装载信号  $LD$ (Loading Signal)及其反量  $\overline{LD}$  用来控制传输门的导通或关闭。一次只允许两 TG 中的一个导通。当  $LD=1$  时, TG1 导通并允许数据  $D_m$  通过 TG1 进入

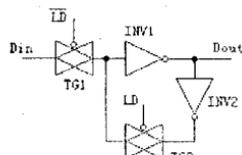


图 4-2-5 锁存器电路图

锁存器送到 INV1 的输入端。在此期间( $LD=1$ ),通过 TG2 的反馈通路被切断。若装载信号  $LD=0$  时, TG1 不通,而 TG2 导通提供反馈通路,此时锁存器处于保持状态。

### 4.2.4 D 触发器

基于传输门并由时钟控制的 D 触发器 (DFF) 如图 4-2-6 所示。当  $CLK=0$  (时钟负半周期) 时,在此期间数据  $D_m$  输入有效,直接通过 TG1 送到 INV1 的输入端;当  $CLK=1$  (时钟正半周期) 时,锁存于 INV1 的数据  $D_m$  通过 INV2 和 TG2 构成的反馈回路保持不变。此时由于 TG1 不通,新的数据不能继续送入,而 INV1 输出的  $\overline{D_m}$  经过 TG3 直接送至 INV3 的输入端,经由 INV3 反相后得到数据 D 的输出;另一路再经反相器 INV4 得到反相数据  $\overline{D_m}$  的输出。由于此电路

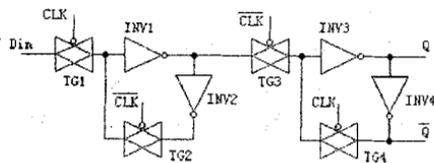


图 4-2-6 基本 D 触发器电路图

是由两级锁存电路级联组成的主从结构,其延迟时间与时钟脉冲的频率有关。

上述 DFF 的一种变形电路如图 4-2-7 所示,此电路具有清零功能。同图 4-2-6 相比,仅增加一个清零(CLEAR)端,并将原来的 INV1 和 INV4 各用一个 NAND 取代,两 NAND 的一个输入端皆接至 CLEAR,正常工作时  $CLEAR=1$ ;当  $CLEAR=0$  时,主锁存电路中的反馈电路使 NAND1 因两输入之一为 0,故输出为 1,自动保持。而从锁存电路在时钟正半周时因 TG3 导通使 NAND1 的输出高电平送至 INV2 的输入,故其输出为低电平,而 NAND2 的输出为高电平。

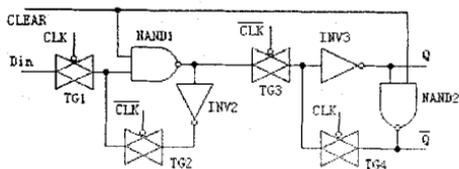


图 4-2-7 带清零功能的 D 触发器

同样,上述 DFF 还可增加置位(SET)功能,这只要将图 4-2-6 中的 INV2 和 INV3 各用一个两输入端的 NAND2 来取代,并将两 NAND2 的一个输入端皆接至 SET 即可。当然实现置位和复位也可采用 NOR2 门来取代 INV。

## 4.2.5 数字电路功耗分析

集成电路的功耗已经与芯片面积、速度等因素一样,成为当今 VLSI 设计者的重要研究课题。因此,在 LCoS 显示芯片设计的早期阶段对功耗做出合理的分析和计算,就能在具体制造前对设计做必要的修改,从而缩短设计周期。功耗分析的另一个目的是为研究功耗最小化方法提供基本的理论依据。但是,要对具体电路的功耗做出快速而准确的计算并不容易。

要分析和比较 CMOS 电路功耗,必须清楚数字电路中功耗产生的原因。对于 CMOS 电路,当输入信号  $V_{in}$  变化时,输出  $V_{out}$  将因充电而上升,接近电源电压  $V_{dd}$ ;或者放电接近地电平。对于静态逻辑,输出随输入改变而变化;对于动态预充电逻辑,输出将在前半个周期充电,等待第二个时钟到来时,输出电压  $V_{out}$  才随输入改变。两种情况下,CMOS 电路的功耗将正比于总的容性负载,但是其输出端有不同的信号变化频率。CMOS 反相器,如图 4-2-8 所示,  $C_L$  是寄生电容和负载电容的总和,包括后接门的输入电容、互连电容和反相器源漏区的电容三种类型的电容。深亚微米工艺中,门的尺寸按比例缩小,互连电容将起主要作用。假设输入信号的翻转概率为  $\alpha$ (也称为信号活性)<sup>[4,6]</sup>,电路的时钟频率为  $f$ ,则电路功耗可粗略地估计为:

$$W = C_L V_{dd}^2 f \alpha \quad (4-2-1)$$

动态充放电功耗在 CMOS 电路中起决定作用,大约占全部功耗的 70%到 90%。因此,低功耗分析研究的主要重点就在于准确地估计信号活性和节点的电容。信号活性  $\alpha$  是功耗估计和分析中最重要的参数。通过电路级的电路仿真获得此参数对于大电路是不现实的。许多研究者提出了各种不同层次的折衷方案。

理想的 CMOS 电路的晶体管改变状态不需要时间,不存在从电源到地的通道。实际上,当输入门的上升/下降时间大于输出的上升/下降时间时,将可能存在从电源到地的短路电流。如果 n 型 MOS 管的开启电压是  $V_{Tn}$ , p 型 MOS 管的开启电压是  $V_{Tp}$ ,则当  $V_{Tn} < V_{in} < V_{dd} - |V_{Tp}|$  成立时,将出现从源到地的短路电流。输入上升/下降时间越长,则短路电流存在的时间越长,平均短路电流越大。为减少总的平均短路电流,通常希望输入和输出的上升/下降时间相间。短路电流的峰值与器件尺寸有关,但平均短路电流却基本上与尺寸无关。当峰值电流增加时,上升/下降时间减小,所以平均电流保持不变。短路电流与电压的关系取决于沟道长度。对于短沟道情况,由于速度饱和,电流是常数,因此,平均功耗与电压成正比( $P=IV$ );对于长沟道没有达到速度饱和的情况,平均电流正比于电源电压,因此功耗与电压的平方成正比。

对于大多数芯片,短路电流功耗占总的动态功耗的 5%~10%。如果电源电压低于两种晶体管的开启电压之和,即  $V_{dd} < V_{Tn} + |V_{Tp}|$ ,则可以消除短路电压,但低电源电压是以降低芯片速度为代价的。

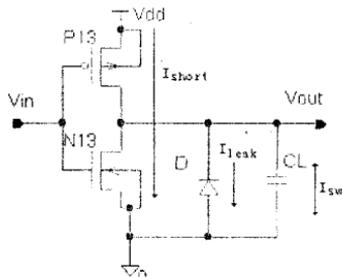


图4-2-8 CMOS反相器功耗分析

漏电流( $I_{leak}$ )功耗主要由制造工艺决定,分两部分:一是 MOS 管中源漏扩散区和体区间形成的 PN 结的反向偏置电流,另一部分是次开启电压下存在的反型电荷形成的次开启电流。次开启电流是电压超过弱反转点但低于开启电压时,载流子扩散形成的电流。

CMOS 工艺中,可以不用静态偏置电压。对于 10~100kHz 的电路,一般使用静态偏置会增加功耗。但对一些复杂电路,适当地使用静态偏置,可以节省面积。尤其是在高频电路中,动态功耗占的比重较大,减小面积和电容可以优化功耗特性。

电路中,动态功耗(包括短路电流和充放电功耗)是主要的。对 CMOS 电路的功耗估计和分析来说,最重要的任务是估计动态功耗。也就是对电路节点活性的预测和分析以及电路节点电容的估计。

### 4.3 数-模(DA)转换器



图 4-3-1 典型信号处理系统框图

在集成工艺发展到超大规模集成电路时,可将许多系统做在同一块芯片上。由于模拟采样技术和 MOS 工艺的出现,使模拟信号处理器研究成为可能。目前数字超大规模集成电路通常都采用 CMOS 工艺,因此 CMOS 工艺更适合将数字技术和模拟技术结合起来。用数字系统处理模拟信号,首先必须将模拟信号转换成相应的数字信号,送到数字处理系统进行处理,再把处理后的数字信号转换成相应的模拟信号输出。从模拟信号到数字信号的转换称为模-数转换;从数字信号到模拟信号的转换称为数-模转换。图 4-3-1 是一个典型的模拟信号处理系统框图。

#### 4.3.1 DA 转换原理分析

DA 转换器工作原理框图如图 4-3-2 所示。输入是  $N$  位数字且  $b_1$ 、 $b_2$ 、 $\dots$ 、 $b_N$  和参考电压  $V_{ref}$ , 输出电压  $V_{out}$  可表示为:

$$V_{out} = KDV_{ref} \quad (4-3-1)$$

式中  $K$  是转换比例因子,数字量  $D$

$$D = \frac{b_1}{2} + \frac{b_2}{2^2} + \frac{b_3}{2^3} + \dots + \frac{b_N}{2^N} = \sum_{i=1}^N b_i 2^{-i} \quad (4-3-2)$$

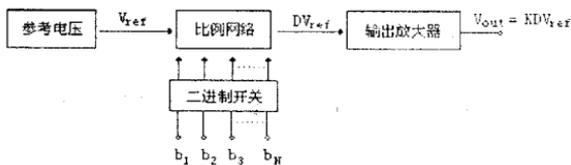


图 4-3-2 D/A 转换器方框图

$N$  是数字量的位数,  $b_i$  取值为 1 或 0, 由输入数字码的状态决定。因此, D/A 转换器的输出为:

$$V_{OUT} = KV_{REF} \sum_{i=1}^N b_i 2^{-i} \quad (4-3-3)$$

DA 转换器可以看作一个译码器, 它将输入的数字码转换成模拟信号, 并以电压或电流的形式输出。一个三位 DA 转换器的输入、输出特性曲线如图 4-3-3 所示。

由图可见, 每一个数字代码通过位权的运算都可以翻译成对应的模拟量。必须指出, 相邻两个数字码转换出来的数值是不连续的, 它们的差值等于 1LSB(一个最低有效位), 这是信息所能分解的最小值, 对于  $N$  位二进制 DA 转换器,  $1LSB = FS / 2^N$  ( $FS$  即 Full Scale, 满刻度)。当  $N$  趋于无穷时, 得到 DA 转换器的理想传输特性, 如图中直线所示。

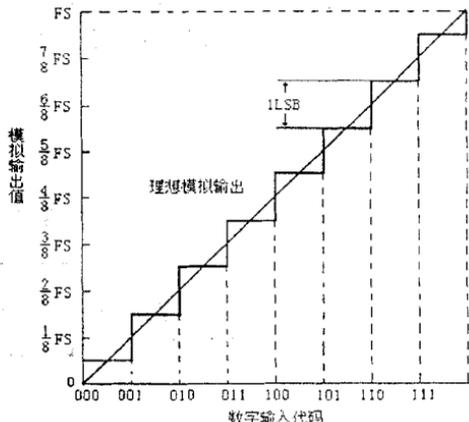


图4-3-3 三位D/A转换器输入-输出特性

DA 转换器的性能分为静态和动态特性两部分。静态特性是一个与时间无关的综合指标, 反映实际模拟输出逼近额定模拟输出的程度, 通常用失调误差、增益误差、非线性误差和单调性等指标从不同的侧面来描述 DA 转换器的输出误差。

失调误差又称漂移误差, 定义为输入为零时的输出值。通常与输入数字代码无关, 由放大器的失调所产生。

增益误差又称比例系数误差, 是指转换器的实际输入-输出特性曲线和理想特性曲线之间的斜率之差, 它与输入数字代码成正比。

非线性误差是指 D/A 转换器各位权偏离理想曲线之差。

静态特性还有分辨率、满值范围、动态范围、信噪比(S/N)等。

动态特性是反映它对输入数字信号变化的响应速度, 主要参数是建立时间。除此而外, 在 DA 转换器的过渡过程中还有一种特殊现象——突跳。突跳现象是当 DA 转换器从一个稳态值过渡到另一个稳态值时, 在输出端可能出现的尖脉冲。为了消除动态误差的影响, 可在 DA 转换器的输出端附加采样-保持电路。

### 4.3.2 DA 转换器的主要技术指标

- 分辨率** 指 DA 转换器产生的最小模拟量变化。一个  $N$  位转换器的分辨率为  $2^{-N}FS$ 。由于该参数是由转换器数字量的位数  $N$  决定, 故常用位数表示, 如 8 位、10 位等。
- 绝对精度** 指输入端加有对应满度数字量时, DA 转换器的理论值与实际输出值之差。该值通常应低于  $\pm 0.5LSB$

3. **线性度** 为每两个相邻数字量对应的模拟量之差。当均为  $2^N$  时, 称理想线性特性。在满度范围内, 偏离理想转换特性的最大值称为非线性误差, 其与满度值之比称为线性度。
4. **建立时间** 是从输入数字量起, 到转换器的输出达到与输入数字量相对应的稳定值所需要的时间。亦称稳定时间或转换时间。除以上参数外, 还有输出值范围、输入逻辑电平、温度系数、电源抑制比、以及功耗等。

下面我们讨论几种 DA 转换器。

### 4.3.3 高速权电阻 DA 转换器

众所周知, 数字量是用代码按数位表示的。对于有权码, 每位代码都有一定的权。为了将数字量转换成模拟量, 必须将每一位的代码按其权的大小转换成相应的模拟量, 然后将代表各位的模拟量相加, 所得的总模拟量就与数字量成

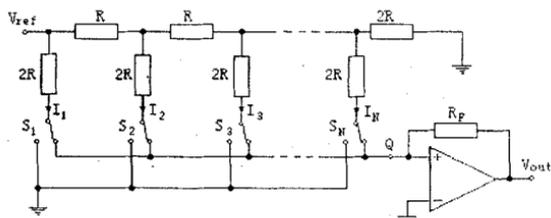


图 4-3-4 R-2R 梯形 D/A 转换器

正比, 从而实现了数字信号到模拟信号的转换。

图 4-3-4 是一种典型实用的权电阻 DA 转换器。它由数码  $b_i$  控制的开关  $S_i$  和电阻构成, 而且整个电阻网络只有  $R$  和  $2R$  两种阻值的电阻, 不管它有多少位。

当  $b_i=1$  时,  $S_i$  接运算放大器的反相器; 当  $b_i=0$  时,  $S_i$  接地。根据运算放大器虚地概念, 不难看出:  $I_1 = \frac{V_{ref}}{2R}$ 。再根据该网络的特点, 从任一纵向  $2R$  电阻向右看的二端网络其等效

电阻都是  $2R$ , 所以各支路电流  $I_1, I_2, \dots, I_N$  满足:

$$I_1 = 2I_2 = 4I_3 = \dots = 2^{N-1}I_N \quad (4-3-4)$$

又总电流:

$$I_o = \sum I_i = \frac{V_{ref}}{R} \sum_{i=1}^N b_i 2^{-i} \quad (4-3-5)$$

运算放大器输出电压为:

$$V_{out} = -R_F I_o = -\frac{R_F V_{ref}}{R} \sum_{i=1}^N b_i 2^{-i} \quad (4-3-6)$$

由该式可见, 输出模拟电压与数字输入量成比例。该电路的优点是电阻值种类只有  $R$  和  $2R$  两种, 且各支路电流间不存在传输时间差, 提高了转换速度, 缺点是电阻数量较多, 不是 CMOS 工艺技术的优势所在。

### 4.3.4 低功耗权电容 DA 转换器

权电容网络 DA 转换器也是一种并行输入的 DA 转换器, 它是利用电容分压原理工作的。

图 4-3-5 是 4 位权电容网络 DA 转换器电路的原理图, 其中  $C_1$ 、 $C_2$ 、 $C_3$ 、 $C_4$  的电容量依次按 2 的乘方倍数递增。开关  $SW_1$ 、 $SW_2$ 、 $SW_3$  和  $SW_4$  的状态分别由输入数字信号  $d_3$ 、 $d_2$ 、 $d_1$  和  $d_0$  控制。当  $d_i=1$  时  $SW_i$  接到参考电压  $V_{ref}$  一边; 而当  $d_i=0$  时  $SW_i$  接地。

转换开始前先令所有的开关 ( $SW_1 \sim SW_4$ 、 $SW_0$ ) 接地, 使全部电容器充分放电。然后断开  $SW_0$ , 将输入信号并行地加到输入端  $d_0 \sim d_3$ 。假定输入信号为  $d_3d_2d_1d_0 = 1000$ , 则  $SW_4$  将  $C_4$  接至  $V_{ref}$  一边, 而  $SW_3$ 、 $SW_2$ 、 $SW_1$  将  $C_3$ 、

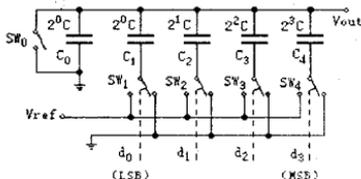


图 4-3-5 权电容网络 DA 转换器

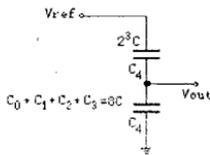


图 4-3-6 输入为 1000 时图 4-3-5 的等效电路

$C_2$ 、 $C_1$  接地, 等效电路可以画成图 4-3-6 的形式。这时  $C_4$  与  $(C_3+C_2+C_1+C_0)$  构成了一个电容分压器, 输出电压为:

$$V_{out} = \frac{d_4 C_4}{C_4 + C_3 + C_2 + C_1 + C_0} V = \frac{d_4 C_4}{C_t} V_{ref} \quad (4-3-7)$$

式中的  $C_t$  表示全部电容器电容量的总和。

根据同样的道理, 可以得到输入数字信号为任何状态时输出模拟电压的一般表达式

$$\begin{aligned} V_{out} &= \frac{d_3 C_4 + d_2 C_3 + d_1 C_2 + d_0 C_1}{C_t} V_{ref} \\ &= \frac{C(d_3 2^3 + d_2 2^2 + d_1 2^1 + d_0 2^0)}{2^4 C} V_{ref} \\ &= \frac{V_{ref}}{2^4} (d_3 2^3 + d_2 2^2 + d_1 2^1 + d_0 2^0) \end{aligned} \quad (4-3-8)$$

(4-3-8) 式表明, 输出的模拟电压与输入的数字量成正比。通过上面的分析还可以看到权电容网络 DA 转换器的几个重要特点:

第一, 输出电压的精度只与各个电容器电容量比例有关, 而与它们电容量的绝对值无关。

第二, 输出电压  $V_{out}$  的稳态值不受开关内阻及参考电压源内阻的影响, 因而降低了对开关电路及参考电压源的要求。

第三, 稳态下权电容网络不消耗功率。

限制权电容 DA 转换器使用位数  $N$  的两个因素是电容器的精度和所需面积。其精度仅依赖于电容比和寄生参量。对于 MOS 工艺, 等值电容比的精度可达到 0.1% 或更好些。如果所有电容比达到这样的精度, 图 4-3-5 所示转换器的分辨率可做到 10 位。然而, 这意味着在 MSB 和 LSB 之间的电容比将达到 512:1, 从硅片面积的观点来看这是不合适的。

权电容 DA 转换器同样可采用级联组合方式。4-3-7(a) 给出了一个 13 位, 且参考电压为双极性的 DA 转换器。图中 1.016pF 电容器用作 64:1 的分割器。利用该分割器扩大了后 6 位。其等效电路如图 4-3-7(b) 所示。图中两个电压源  $V_R$  和  $V_L$  由开关状态决定。

级联工作方式对电容衰减器的精度要求足够高。如果分割器的电容量偏离所需要的比例,

则将引起增益误差和非线性误差。

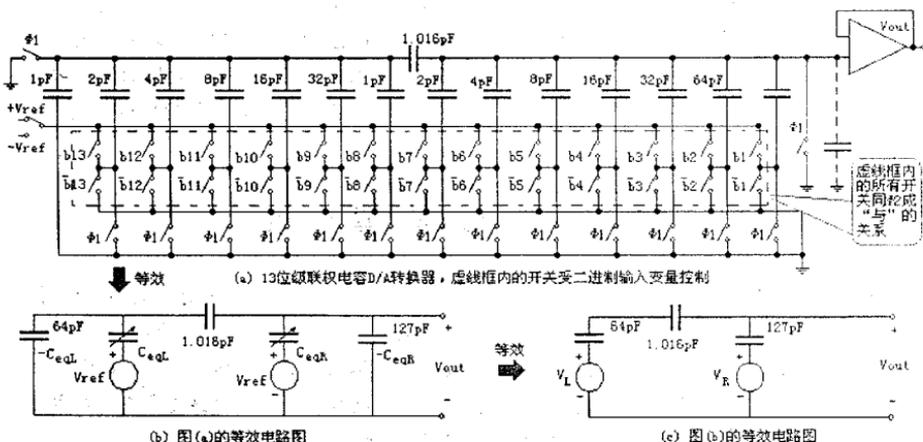


图4-3-7 级联电容D/A转换器

### 4.3.5 其它组合式DA转换器

利用前面介绍过的DA转换器进行组合，可以得到高于单独使用时的分辨率。图4-3-8是一个M位电阻串和K位二进制电容网络组合的D/A转换器，其分辨率为 $N=M+K$ 位。图中 $M=4$ ， $K=8$ 。电阻串中第一个电阻至第 $2^M$ 个电阻提供 $2^M$ 个参考电压，二进制电容网络 $C_1 \sim C_K$ ，把每个参考电压细分为 $2^K$ 个电平。这种DA转换器因为只有一种阻值的电阻，故不存在电阻失配问题。电容器网络只需满足K位电容比的精度要求便可实现K+M位的转换。电阻串不需要预充电，转换速度比电容阵列速度快，但芯片占用面积较大。因此在总位数中分配M和K的数值时，应在芯片面积和转换速度之间进行折衷考虑。

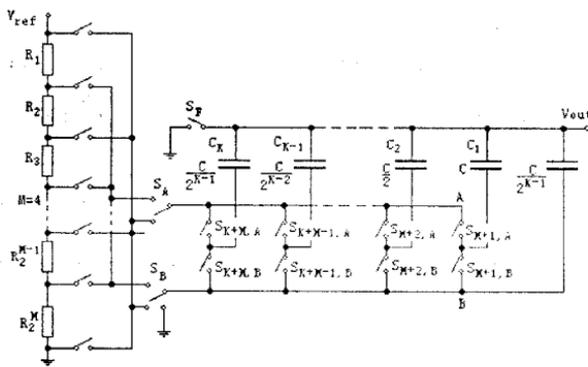


图4-3-8 组合D/A转换器，高4位用电阻串，低8位用权电容网络

### 4.3.6 模-数(AD)转换器

AD转换器是用来将模拟输入信号转换为对应的二进制数字量代码。因为模拟信号在时

间上和幅值上均是连续的,而数字代码是离散量,所以进行转换时必须在一系列选定的瞬间对输入模拟信号采样,然后再把这些采样值变成幅值上也是离散的数字量,这个过程称为量化。通常 AD 转换过程由四步来完成,即采样、保持、量化和编码,这些步骤往往合并进行,例如采样和保持是利用同一个电路连续进行,且化和编码在转换过程中也是同时完成的。实现 AD 转换器的方法很多,主要有串联型、并联型、逐次逼近式和高性能 AD 转换器。

## 4.4 模拟电路基本单元研究

模拟集成电路中,由于 MOS 晶体管在失调、跨导、噪声、负载能力等方面的固有弱点。长期以来始终占据着绝对市场的是双极型模拟集成电路。随着电路规模的不断增大和系统集成(SoC)的要求, MOS 器件面积小、功耗低的优点显得越来越重要。另一方面,数模混合技术的问世也对 MOS 模拟电路提出了需求。因此目前全 MOS 模拟集成电路技术正引人注目地发展着,模拟集成电路制作工艺方面的弱点逐步得到克服。

在开始讨论各种模拟电路基本单元之前,我们简单地介绍一下 MOS 晶体管的小信号性能。在 MOS 模拟电路中,一般 MOS 晶体管均工作于饱和区。因为饱和区的跨导比非饱和区的跨导大得多,在饱和区 MOS 晶体管的伏安特性方程(以 NMOS 为例)为:

$$I = \left(\frac{\mu C_{ox}}{2}\right) \frac{W}{L} (V_{GS} - V_T)^2 \quad (4-4-1)$$

考虑到沟道调制效应对伏安特性的影响,方程修正为:

$$I = \left[\left(\frac{\mu C_{ox}}{2}\right) \frac{W}{L} (V_{GS} - V_T)^2\right] (1 + \lambda V_{DS}) \quad (4-4-2)$$

其中,  $\lambda$  为修正因子。

在 MOS 模拟电路中跨导是一个很重要的参数。由式(4-4-1)可以得到 MOS 晶体管在饱和区的跨导为:

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} \Big|_{V_{DS}} = \mu C_{ox} \left(\frac{W}{L}\right) (V_{GS} - V_T) \quad (4-4-3)$$

或写成:

$$g_m = \sqrt{2\mu C_{ox} \left(\frac{W}{L}\right) I_{DS}} = \frac{2I_{DS}}{V_{GS} - V_T} \quad (4-4-4)$$

在 CMOS 模拟集成电路中,由于 MOS 晶体管的物理效应对集成电路有一定的影响。由此在设计中要考虑到这些因素。比如体效应、亚阈值特性、短沟道效应、噪声性能、静电反馈效应、电荷限制效应等等。在这里我们不做进一步讨论,主要介绍 CMOS 模拟开关、差分放大器、有源负载、运算放大器等。

### 4.4.1 模拟开关

由于 MOS 晶体管的源与漏之间的导电状态是由栅电势控制的,所以它能够作为电子模

拟开关工作。当 PMOS 的栅电势处于低电位时沟道导电，开关接通。当栅电势为高电位时沟道不导电，开关断开。图 4-4-1 示出了一个典型的 PMOS 晶体管开关，这种开关连接方式可以对电容器 C 上的模拟电压  $V_{IN}$  进行采样。

在电容器通过电阻型沟道充电至输入电压时，充电瞬态特性的指数型尾部控制着 MOS 开关的开关时间。这个瞬态特性的时间常数由小信号沟道电导决定，即由在漏-源电压  $V_D$  趋于零时，沟道电流  $I_D$  对  $V_D$  的偏导数决定：

$$g_D = \frac{\partial I_D}{\partial V_D} = \beta(V_G - V_T) \quad (4-4-5)$$

小信号沟道电阻  $r_D$  是  $g_D$  的倒数，图 4-4-2 中给出了它与源电势的函数关系曲线。显然，在最高信号电平下瞬态稳定时间将最大，因为开关电阻在此条件下最高。因而，用幅度不太接近截止极限的信号来工作可能是有利的。

如果采用图 4-4-3 所示的 CMOS 传输门，信号范围和充电瞬态特性都可得到改善。PMOS 管和 NMOS 管的小信号电阻互补，故整个开关电阻均匀地低于单沟器件的开关电阻值，信号可扩展到整个电源电压的范围。然而，CMOS 管栅需要互补的控制信号，当需要在单沟开关和互补沟道开关之间做出选择时，必须把由这种因素增加的复杂性考虑进去。

MOS 晶体管开关带有各种寄生电容，特别是栅与沟道之间由栅氧化物形成的电容以及扩散区形成的端点与衬底之间的耗尽区电容。它们与电压高度相关，且难以控制其绝对值，对于亚微米几何尺寸的晶体管，电容的典型值在 0.01pF 量级。

另一个应该考虑的寄生成份是“关”态漏电流，它可能通过薄栅氧化层，通过晶体管沟道或者通过源和漏端下面的耗尽区。除了寄生沟道电导情况而外，还是以最小尺寸为宜，对此，在 300K 下，漏电流分量的典型值为 0.1pA 至 0.01pA 数量级。

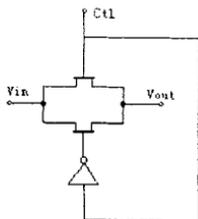


图 4-4-3 CMOS 传输门典型小尺寸器件的等效小信号开关电阻与源电压的关系

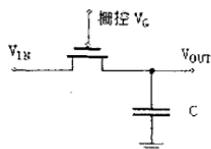


图 4-4-1 PMOS 晶体管连接成对电容器 C 充放电的开关电路

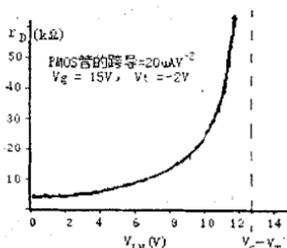


图 4-4-2 沟道电阻  $r_D$  与源电压的关系

## 4.4.2 电容器

集成电路电容的数值由下式给出：

$$C = \frac{\epsilon_{ox} A}{\tau_{ox}} = C_{ox} A \quad (4-4-6)$$

$\epsilon_{\text{ox}}$  是二氧化硅的介电常数(约  $3.45 \times 10^{-5} \text{pF}/\mu\text{m}^2$ ),  $\tau_{\text{ox}}$  是氧化层的厚度,  $A$  是电容的面积, 从上式看出, 电容的值和面积  $A$  及氧化层厚度  $\tau_{\text{ox}}$  有关, 因此, 两个电容比值精度的误差是由面积的比或氧化层之比的误差造成的。如果误差是由于氧化层厚度的均匀度线性变化造成的, 那么采用公用重心的几何图形结构可以避免这种影响。与面积有关的误差是因为我们不能精确确定集成电路上电容的尺寸造成的, 影响误差的因素包括制版、构成电容极板材料的非均匀性腐蚀和其他因素。

可见与分立 MOS 电容器不同, 集成 MOS 电容器的优点是: 尽管电容的绝对数值可以有变化, 电容的比值却能够做到非常精确。而且, 在其绝对数值随时间和温度的变化的范围内, 其比值将保持不变。这一重要性质是在 MOS LSI 中采用开关电容技术实现高精度滤波的基础, 也是在 LCOS 显示芯片中采用电容网络作数模转换器的理论依据。

### 4.4.3 CMOS 差分放大器

差分放大器是一种很有用的放大电路, 这种电路非常适合于集成电路工艺。

我们知道, 任何一个模拟信号都可以被分解成一个差模信号  $V_D$  和一个共模信号  $V_C$ , 这种关系可由下面的关系式来说明, 式中的  $V_{g1}$  和  $V_{g2}$  可为差分电路任意的两个输入信号:

$$V_{g1} = \frac{V_D + V_C}{2} \quad V_{g2} = -\frac{V_D}{2} + V_C \quad (4-4-7)$$

由上述关系可求得  $V_D$  和  $V_C$  的表达式为:

$$V_D = V_{g1} + V_{g2} \quad V_C = \frac{V_{g1} + V_{g2}}{2} \quad (4-4-8)$$

差分放大器的任务就是要放大  $V_{g1}$ 、 $V_{g2}$  信号的差值, 而对共模信号  $V_C$  的放大则愈小愈好。差分放大器的主要特性可由它的差模增益和共模增益来描述。差模增益与共模增益之比值称为共模抑制比(CMRR)。在理想情况下, CMRR 值应为无穷大, 这意味着共模增益为零(或尽可能的小); 差分放大器的另一个特性是共模信号的大小(即变化范围); 还有一个重要特性是失调, 所谓失调是指当差分放大器的差分电压或差分电流为零时, 差分放大器的输出值不一定为零, 如果要使输出电压为零, 则差分放大器的输入端就要接入一个补偿电压, 称为输入失调电压。同样, 为使输出电压为零, 差分放大器两输入电流之差也不可能为零, 而需补偿电流, 称输入失调电流。

图 4-4-4 表示了 NMOS 差分放大器。差分对管  $M1$ 、 $M2$  的源极相连, 且接恒流源  $I_o$ 。放大器的跨导可定义为单位输入电压的变化所引起的输出电流的变化。由 4-4-4 式可以推导出图中所示差分放大器的跨导为:

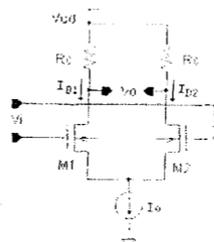


图 4-4-4 NMOS 差分放大器

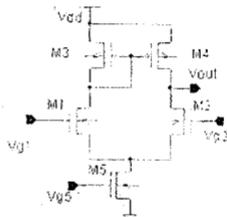


图 4-4-5 电流镜负载差分放大器

$$g_m = \sqrt{2KI} \quad (4-4-9)$$

其中,  $K$  为一与  $T_1$ 、 $T_2$  几何尺寸和工艺参数有关的常数:

$$K = 2\mu C_{ox} \left(\frac{W}{L}\right) \quad (4-4-10)$$

还可直接写出 CMOS 差分放大器的大信号电压增益为:

$$A_v = -g_m R'_c = -\sqrt{2KI} R'_c \quad (R'_c = R_c // r_{DS}) \quad (4-4-11)$$

图 4-4-5 电路是非常有用的一种差分放大器电路, 在模拟集成电路中获得了广泛应用, 常用于 CMOS 运放的第一级。这一放大器的负载为电流镜形式(镜像电流源结构)。这种电路的特点是不需要外接元件, 可将双端(对称)输入的差动信号转换成单端输出。输出电压或输出电流可由 M2 和 M4 管的漏极而获得, 其工作情况是: 输入差模电压  $V_D$  的一半加于 M1 管的栅-源两极之间, 另一半加于 M2 管的栅-源之间, 其大小相等、方向相反, 其结果使一管的电流增加(如 M1 的  $I_{D1}$  增加), 另一管的电流减小(M2 的电流  $I_{D2}$  减小), 且增加量与减小量相等, 由于 M3 与 M4 是镜像电流源负载, 故能将 M1 管的电流变化转移到 M2 的输出端, 最后使电路输出电流的变化量增加了一倍, 使电路的输出与双端输出一样。

这种电路的小信号差模电压增益为<sup>[4,8]</sup>:

$$A_{vdd} = \frac{V_{out}}{V_D} = \frac{1}{2} \left( g_{m1} + \frac{g_{m1}g_{m3}}{g_{ds1} + g_{m3} + g_{ds3}} \right) \left( \frac{1}{g_{ds2} + g_{ds4}} \right) \quad (4-4-12)$$

如果设定 M3 和 M4 是对称匹配的, 则  $g_{m3} = g_{m4}$ , 且因为  $g_{m3}$  比  $g_{ds1}$ 、 $g_{ds2}$  大得多, 在此条件下式(4-4-11)可简化为:

$$A_{vdd} \approx \frac{g_{m1}}{g_{ds2} + g_{ds4}} \quad (4-4-13)$$

利用式(4-4-1)~(4-4-4)所给定的参数关系, 代入式(4-4-12), 则  $A_{vdd}$  公式变为:

$$A_{vdd} \approx \frac{2\sqrt{KI_{DSS}} \frac{W_1}{L_1}}{(\lambda_2 + \lambda_4)I_{DSS}} = \frac{2}{\lambda_2 + \lambda_4} \sqrt{\frac{KW_1}{I_{DSS}L_1}} \quad (4-4-14)$$

由式(4-4-14)可见,  $A_{vdd}$  正比于 M5 的电流  $\sqrt{I_{DSS}}$ 。

在输入共模电压范围内的共模电压信号能被差分放大器以相同的增益放大, 对超出此范围的共模信号, 差分放大器不能正常工作。如果 M1 和 M2 的栅极相连, 然后输入一个电压信号。当输入信号增大时,  $I_{D1}$  变大,  $V_{DG1}$  变小。当  $V_{DG1} = -V_{T1}$  时, M1 工作在饱和区的边缘上(临界值), 此时的  $V_{G1}$  就是最大的输入共模电压。 $V_{G1}$  超过这个值, M1 便进入非饱和区。

$$\text{即: } V_{DG1} = V_{DD} - V_{SD3} - V_{G1} = V_{DD} - V_{DG3} - V_{G1} = V_{DD} - \left(\frac{2I_{DSS}}{\beta_3}\right)^{\frac{1}{2}} - |V_{T3}| - V_{G1} \quad (4-4-15)$$

上式中, 如果  $V_{DG1} = -V_{T1}$ , 则得到最大的输入电压  $V_{G1}(MAX)$ :

$$V_{G1}(MAX) = V_{DD} - \left(\frac{2I_{DSS}}{\beta_3}\right)^{\frac{1}{2}} - |V_{T3}| + V_{T1} \quad (4-4-16)$$

当  $V_{G1}$  接近于 GND(零电位)时, M1 管将工作在饱和区中靠近截止区。因此, 在 M5 不再

处于饱和时, 更要注意  $V_{G1}$  和  $V_{g5}$  的关系。可解出 M5 漏极与栅极间的电压为:

$$V_{DG5} = V_{G1} - V_{GS1} - V_{g5} \quad (4-4-17)$$

当  $V_{DG5} = -V_{T5}$  时得到  $V_{G1}(MIN)$ :

$$V_{G1}(MIN) = V_{g5} + \left(\frac{2I_{DS5}}{\beta_1}\right)^{\frac{1}{2}} + V_{T1} - V_{T5} \quad (4-4-18)$$

图 4-4-5 所示差放电路输出大信号的摆幅极限也是我们应该研究的。其摆幅极限应保持在 M2 和 M4 二者均为饱和的基础上求得。当  $V_{G1}$  大于  $V_{G2}$  时, 输出电压  $V_{OUT}$  增长, M4 的漏-栅极电压为:

$$V_{DG4} = V_{DD} - V_{SD3} - V_{OUT} = V_{DD} - V_{SG3} - V_{OUT} \quad (4-4-19)$$

当  $V_{DG4} = -|V_{T4}|$  时, M4 处于饱和区的边缘上, 可求得最大输出电压的表达式:

$$\begin{aligned} V_{OUT}(MAX) &= V_{DD} - \left(\frac{I_{DS3}}{\beta_3}\right)^{\frac{1}{2}} - |V_{T3}| + |V_{T4}| \\ &\approx V_{DD} - \left|\frac{2I_{DS5}}{\beta_3}\right|^{\frac{1}{2}} \end{aligned} \quad (4-4-20)$$

当 M2 处于饱和边缘时, 我们可以确定最小输出电压为:

$$V_{OUT}(MIN) = V_{G2} - V_{T2} \quad (4-4-21)$$

从式(4-4-13)到(4-4-18)可见, 要得到较大的共模输入电压范围和较大的输出电压范围, 就要增大 M1~M4 的 W/L 值, 减小  $V_{g5}$ 。

#### 4.4.4 CMOS 有源负载增益级

在集成的 MOS 放大器中, 从器件的性能、结构、工艺等方面因素考虑, 往往采用有源负载。图 4-4-6 是经常采用的 CMOS 有源负载形式。N 沟 M1 管作放大器, P 沟 M2 管作负载管。信号输出端为 M1, M2 管漏极相连之处。由 MOS 管的小信号模型, 可画出图



图4-4-6 CMOS 互补有源负载

4-4-6 的等效电路, 故电压增益为: 
$$K_v = -\frac{g_{m1}}{g_{D1} + g_{D2}} \approx -\sqrt{\frac{4K}{I_D}} \quad (4-4-22)$$

式中,  $g_{D1}$ ,  $g_{D2}$  为 T<sub>1</sub>, T<sub>2</sub> 管的漏极输出电导。

可见因为 MOS 管的跨导仅与电流平方根成正比, 随着工作电流小的上升电压增益以电流平方根的关系下降。因此 CMOS 增益管在饱和区范围内。减小漏极电流能增大电压增益。

#### 4.4.5 CMOS 运算放大器

在模拟电路的设计中, 最重要的电路之一就是运算放大器(简称为 OPA)。它的主要作用是提供足够的增益。利用外加的反馈电路, 运算放大器可实现模拟信号的多种处理功能, 诸如放大、微分、积分、求和、对数等运算。

图 4-4-7 表示了典型的 CMOS 运算放大器的简化图。电路主要由两级放大器组成，第一级中 PMOS 管 T1、T2 为差分输入对；NMOS 管 T3、T4 组成基本恒流源，作 T1、T2 管的有源负载；T7 管提供这一级的偏置电流。第二级中 NMOS 管 T5 为共源反相放大。T9 为其有源负载。在通常高阻抗负载情况下，可直接从 T5 管源极输出。米勒电容 C1 是作为频率补偿而引入的。在输出与电容之间的源极跟随器 T6 起缓冲作用，可避免输出信号在高频处通过 C1 的直馈效应。T8 管为 T6 管提供恒流偏置。不同用途的 OPA，其参量要求的重点也不一样。对于单片 OPA，应对其参量作较全面的要求，以便适应多种用途。当设计和制作片内 OPA 时，就没有必要全面要求；否则将不必要地增加芯片面积和工艺难度，致使重点参量水平下降<sup>[4.9]</sup>。

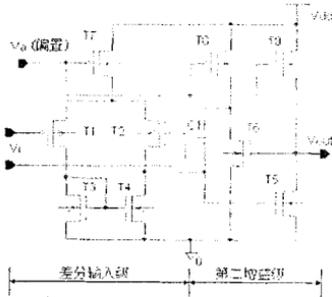


图 4-4-7 CMOS 运放的简化图

## 4.5 小结

本章从电路设计需要出发，首先介绍 CMOS 集成电路芯片的主要器件物理特性和工作原理，随后概述了数字电路、数-模混合电路、模拟电路中的常用基本电路单元。其目的是为以后的 LCoS 芯片电路设计提供可行的理论依据，同时为估算电路的性能建立一定的基础。其中，用近似的方法进行推导关于 CMOS 晶体管的各种性能特性和内部几何物理参数关系，实际上，在 Cadence 的模拟器——HSPICE 中比较精确的器件模型是十分复杂的，作为手算分析模型却简单得多，但不影响我们寻找到结论所在的范围。

## 参考文献

- [4.1] F.M.Wanlass, C.T.Sah. Nanowatt Logic Using Field-Effect MOS Triodes [J]. ISSCC Tech Dig., 1963(32)
- [4.2] J.Y.Chen, CMOS Devices and Technology for VLSI [Z]. Prentice Hall, Englewood Cliffs, NJ, 1989
- [4.3] West N, Eshraghian K. Principles of CMOS VLSI Design—A System Perspective. 2<sup>nd</sup>
- [4.4] L.A.格拉泽, D.W.多贝尔普尔. 超大规模集成电路的设计与分析[Z]. 科学出版社, 1991: 72-80
- [4.5] A.Vladimirescu, S.Liu. The Simulation of MOS Integrated Circuits using SPICE Memo. UCB/ERL University of California, Berkeley, October, 1990
- [4.6] Najm F.N. Transition density: a new measure of activity in digital circuits [J]. IEEE TransComp-Aided Des Integ Circ Syst, 1992, 12(2): 310-323
- [4.7] 秦世才 贾香鸾 模拟集成电子学[Z]. 天津科学技术出版社 1996, 23-24
- [4.8] 汪庆宝 宿昌厚等 超大规模集成电路设计技术——从电路到芯片[Z]. 电子工业出版社, 1996: 159-165
- [4.9] 韩雁(编著) 专用集成电路设计技术基础[Z]. 电子科技大学出版社, 2000, 33-34

## 第5章 近眼型彩色 LCoS 显示器设计

什么是理想的便携式显示器?体积小,重量轻,功耗低,具有几乎充满视野的、大而明亮的高清晰度图像,这种显示器正是本章研究工作追寻的目标——近眼型彩色 LCoS 显示器。

### 5.1 彩色 LCoS 显示系统结构与性能

信息显示是将那些人们不能感觉到其形态的信息内容,按需要显示成能直接感觉到的形态,而图像显示是将信息显示成视觉能感觉到的图像形态,多数情况下是将原本是图像的信息为了传输与处理方便而变成电信号,再经显示系统的电光变换,重现成图像。

#### 5.1.1 彩色 LCoS 显示系统结构

一般说来,显示系统由许多部分(或称为子系统)构成的,被显示的图像及各种物理量(如温度、力、速度等)经光电传感器(如摄像管或其它传感器)将信息转换成不同形式的电量,这些电量经放大、处理后传输给显示系统,在显示器件的屏上再现出平面图像。所采用的显示器件可能是 CRT 及其它平板显示器件。

图像在 LCoS 屏上显示的过程是:首先显示控制器采用顺序采样的方式使图像进行数字化,将图像表示成行、列规则排列的象素阵列,每个象素具有大小相等,位置固定和排列整齐的特点,同时每个象素都具有一定的灰度值。然后按顺序将这些数值存入存储器中,存储器的地址号和图像象素的行、列坐标位置一一对应。显示时按扫描线的要求从存储器中读出,用以刷新 LCoS 屏幕,在屏幕上得到稳定的图像,就可以直观地显示图像在显示屏幕上。另外,可以采用空间混色法或者时间混色法合成彩色图像。

本篇论文把微型彩色 LCoS 显示器设计为四部分: LCoS 芯片体系(包括液晶盒),显示控制器,光学系统,时序光源(如图 5-1-1 所示)<sup>[5.1]</sup>。后三部分为 LCoS 显示芯片的伺服结构,其中显示控制器把需要显示的数字式或模拟式信号转换成与 LCoS 芯片显示模式相匹配的时序 VGA 串行数字信号,时序光源提供红绿蓝三基色时序脉冲光,光学系统则用来放大图像。

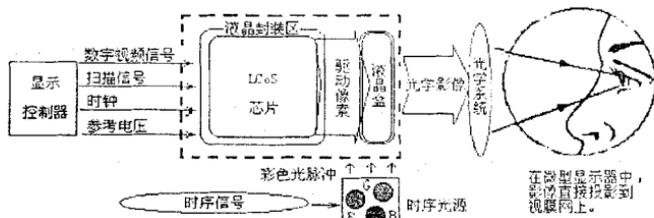


图5-1-1 LCoS微型显示器整机系统结构图

### 5.1.2 视频图像显示对 LCoS 显示器的要求

视频图像是有灰度层次的彩色、活动图像，它具有适应人眼视觉特性、信息容量大和实时显示的特点。要用 LCoS 显示技术将电视画面重现为人们喜爱的清晰、逼真的图像，LCoS 显示屏须具有哪些基本条件呢？

首先，显示屏必须具有较大的像素容量。一幅 4:3 模式显示的电视画面应有  $(4/3) \times 625^2 \approx 39$  万个像素，实际上不失真地显示一幅图像，显示平面至少应有 3 条/mm 的分辨率、 $200 \times 200 = 4$  万个像素。要显示图像只能用矩阵型显示板，但受交叉效应的制约，简单矩阵显示板的行数受到限制，因此，当显示分辨率高的图像时，必须采用结构更复杂的有源矩阵显示板。

第二、显示的图像应具有足够的亮度、对比度和一定的灰度层次。液晶单元的阈值非线性特征使它不同于一般 CRT 的灰度调制，因此，只有采用外光源照射，同时采用更加复杂的驱动方式，才能得到电视图像要求的亮度、对比度与灰度。

	显示扫描模式	场频	帧周期	行扫描周期	行回扫周期	视频图像显示质量
常规 CRT	隔行扫描	50Hz	40ms	54 $\mu$ s	10 $\mu$ s	存在行闪烁
平板显示器	逐行扫描	50Hz	20ms	< 32 $\mu$ s	无	无闪烁显示

第三，采用有源矩阵驱动液晶像素工作方式，从而实现活动的电视画面显示。表 5-5-1 比较了传统 CRT 隔行扫描显示与逐行扫描显示基本参数的差异。

要彼此独立地对矩阵液晶显示器的每一个像素寻址，且在整个帧周期内使该像素的电压保持不变，即实现近似 100% 占空比寻址，最好的途径是给每个像素提供一个开关，即采用有源矩阵驱动液晶像素工作方式。如此，随着扫描线的寻址时间可延长到一个帧周期，这就放宽了对液晶响应时间的要求，但仍要求液晶的响应时间在一帧周期之内。提高响应速度的途径可选择响应速度更快的液晶材料，如粘度小的液晶材料或减小液晶盒间隙。

第四，彩色化要求。显示器件发展的技术方向和市场需要，要求黑白显示向彩色显示过渡。液晶显示本身并不能产生彩色光，必须借助液晶材料的双折射、宾主效应等才能得到多色显示，而采用全色外光源入射配置精细排列滤光片的显示屏，或者时序外光源等结构，能使显示屏具有全色显示的本领。

### 5.1.3 主要显示性能指标设计

1. **显示图像规模大小** 显示系统图像规模大小有两层意义：一是显示屏幕的物理尺寸；二是指显示图像分辨率，它由一帧画面的像素数来描述，像素阵列越大图像越清晰，一屏所能显示的内容就越多，但对于存储器件及其容量要求就越多，LCoS 显示芯片的性能要求亦越高，实际使用的有 QVGA、SQVGA、VGA 和 XGA 等几种 LCoS 显示芯片。
2. **灰度** 人的眼睛和大脑的反映是图像处理结果的最后感受器官，在视网膜上有一种边缘增强效应(马赫效应)，使眼睛能分辨大约 40 级灰度<sup>[5-2]</sup>。一般高性能的图像显示终端经

常选取 64 到 256 个灰度级。但在实际应用中并非像素的灰度等级划分得越细越有利, 而是根据不同应用的要求取一个合适的数值。在实际的图像显示终端之中, 灰度等级的不同要求表示一个像素所需的存储单元数目不同, 以黑白显示为例要求 64 级灰度, 则表示一个像素所需的存储单元数最少为 6 位(bit), 灰度等级越多则刷新存储器的存储容量越多, 所需的控制线路亦相应需要增加。在不同领域的图像显示中均有一个比较合适的最大灰度。例如遥感图像规定的最大灰度数为 256 级(8 位二进制)。医学图像用 2048 级(相当 11 位二进制)

3. **彩色显示** 人眼对于灰度的分辨能力较差, 而对于彩色的识别能力却较强, 一般图像显示终端希望提供彩色显示能力, 而且在图像增强技术中采用了伪彩色技术, 它是将灰度转为彩色的变换, 进行彩色显示可以增强人们对于物体的感受能力。
4. **刷新频率** 为了能观察到随时间而变化的图像即需要进行动态显示。故希望能有较高的刷新率。大多数情况刷新频率取为 50Hz。只有在器件速度有困难时、才会适当地降低这个频率, 但不得低于 30Hz。
5. **场序彩色化 LCoS 显示器主要显示性能指标** 鉴于本篇论文为微型显示彩色化设计了一种新颖的场序彩色方式, 这将对外围伺服电路和 LCoS 显示芯片电路提出新的功能要求, 为了提高本次设计的成功率, 我们采用比较普的显示性能指标(见表 5-1-2), 这样一方面不会因为内外电路设计难度的大幅度增加, 而转移本篇论文的注视点, 另一方面若这种场序彩色方式能成功实现, 就能直接运用。

表 5-1-2 场序彩色化 LCoS 显示性能参数 (逐行扫描模式)

主要规格指标	显示类型	硅基有源矩阵液晶彩色显示
	像素数目	640×480 (307,200)
	像素尺寸	12μm
	有效显示开口率	87 %
	基色灰度	4 位 16 级, 4096 (4K)色深
电学性能指标	驱动模式	公共电极场反转低压驱动模式
	功耗	10mW (最坏情况)
	输入信号格式	全数字式
	工作电压	5 V
液晶材料 显示性能指标	场频	750 Hz
	行频	330 KHz
	显示模式	反射型, 常白模式, 快速 TN 液晶材料
	对比度	> 50 : 1
	视角	160°
尺寸规格	响应速度 (10% - 90%)	1.8ms 从亮态变为暗态, 4.4ms 从暗态变为亮态
	液晶工作电压	1 ~ 4 V
	像素矩阵	7.68 mm × 5.76 mm
	像素矩阵和周边驱动电路	9.32 mm × 6.10 mm
使用环境温度	微显芯片尺寸	12.00 mm × 9.00 mm
	微显示器重量	~ 0.3 g
	工作温度	0°C ~ 45°C
	保存温度	-20°C ~ 75°C

## 5.2 场序彩色化设计

彩色视觉是人眼的一种明视觉功能。通常采用三个基本参量：亮度、色调和饱和度确切地表示某一彩色光。其中，亮度是光作用于人眼时所引起的明亮程度的感觉；色调反映了颜色的类别；饱和度是指彩色光所呈现彩色的深浅程度。色调和饱和度又合称色度，它既说明彩色光的颜色类别，又说明颜色的深浅程度。应当指出，虽然不同波长的单色光会引起不同的彩色感觉，但相同的彩色感觉却可以来源于不同的光谱成分组合。事实上，几乎自然界中所有彩色都能由三种基本彩色光混合配出，这就是对彩色显示有重要意义的三基色原理。

### 5.2.1 彩色化模式选择分析

按照三基色原理，大自然中几乎所有颜色都可以用红、绿、蓝基色按不同比例混合得到。根据人的视觉生理功能，常用的相加混色方法有以下三种<sup>[5.1]</sup>。

第一种方法是空间混色法(见图 5-2-1(a))。这种方法利用了人眼空间细节分辨率差的生理特性，将处于同一平面的三种基色光靠近，只要三个基色光点足够小且充分近，人眼在离开一定距离处观看，感到的是三

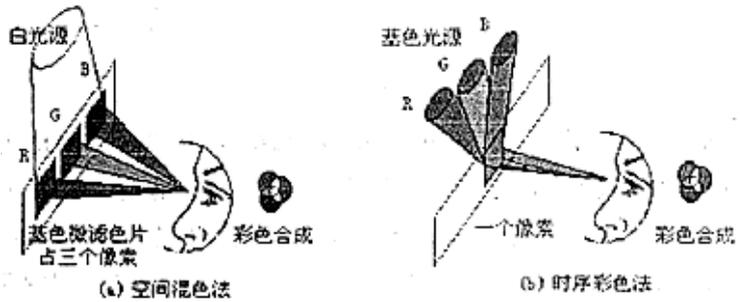


图 5-2-1 彩色合成法

种基色光混合后所具有的颜色。空间混色法在实际应用中有两种变形，一种正如 TFT-LCD 屏那样，利用空间彩色滤色片，把每个彩色像素分成三个子像素，每个子像素覆盖红、绿、蓝基色滤色片。这种混色方式牺牲了全色显示屏的空间分辨率，特别是在作单色显示，如一幅红色图像尤其明显，因为仅有 1/3 的像素呈现红色，显示器只用了全部有效显示面积的 1/3。就是说，一块实际上有 76800 像素的 QVGA 多晶硅显示器，只有 25600 的分辨率。另一种是使用三块微型显示屏，分别调制红、绿、蓝光源，然后再运用光学系统合成一幅彩色图像。后一种方法常见于不计空间体积的豪华型投影产品。然而，微型显示器要求空间尺寸非常小，显然不适用于任何一种空间混色法。

第二种方法是时序彩色法(见图 5-2-1(b))。所谓时序彩色是一种产生全色显示的时间混色法，即将三基色按一定比例轮流投射到同一屏幕上，由于人眼的视觉惰性，只要交替速度足够快，产生的彩色视觉与三基色直接混合时一样。这是顺序制彩色电视图像显示的基础。从图 5-2-1(b)中可以看到，时序彩色法具有最高的显示面积利用率，但要求作为光阀的液晶响应速度必须较快，驱动电路工作频率较高。我们运用单晶硅片作为 LCoS 的基底，并辅以最新的快速响应液晶材料，使得 LCoS 微型显示器的时序彩色化得以实现。

还有一种方法是生理混色法。这种方法利用两只眼睛分别观看两个不同颜色的同一景象，

以获得混色效果,比如双眼分别注视红色和绿色则产生黄色的感觉。但这种彩色化方法设计烦琐,实用性不强,一般不采用。

## 5.2.2 实现 LCoS 显示的场序彩色化

根据以上分析,本论文设计的近眼型微型 LCoS 显示器采用时序混色法实现彩色化,具体称谓是场序彩色化(Field Sequential Color)。实际上采用类似图 5-2-1(b)所示的彩色合成方法来实现 LCoS 显示彩色化。在该设计中由红、绿、蓝三基色组成外光源,在一定频率的时钟信号驱动下,配合 LCoS 芯片电路运作,依次产生红色、绿色、蓝色光脉冲,照射到 LCoS 显示芯片上。然后,利用人眼视觉惰性将反射光合成彩色光。特别是时序彩色模式不使用 RGB 微滤色膜,非常有利于提高显示分辨率,且免去了制作微滤色膜的复杂工艺,但要求采用快速响应的液晶材料和脉冲光源。

对人的视觉神经而言,在视觉惰性时间内,显示亮度几乎与光脉冲照射时间成正比关系,图像动态显示的临界闪烁频率 $f_c$ 可由下式计算<sup>[5.1]</sup>:

$$f_c = a/g B_m + b \quad (5-2-1)$$

对于视频动态显示取: $a = 9.6$ ,  $b = 26.6$ , 当 $B_m = 100$  nt 时, $f_c = 45.8$  Hz。因此我们采用 50 Hz 的帧刷新频率。按照场序彩色模式,每幅图像由三场基色图像轮流显示合成,单基色光脉冲频率则是 150Hz,也就是说每场基色图像显示时间约 6.7ms。我们设计该场周期由三个时间段组成,如图 5 所示,它们依次为:

- (1) 一场图像信号写满显示芯片所需时间;
- (2) 液晶材料响应时间;
- (3) 光脉冲照射时间。

按照上述原理,要保证 LCoS 显示芯片末行像素电极有足够时间驱动液晶显示,时

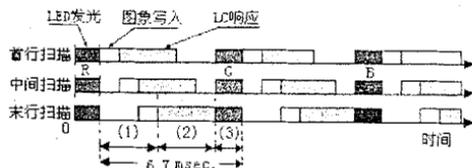


图 5-2-2 驱动时间分配

间段(1)应当尽量小。因此,每行图像写入芯片的时间设计成:  $2.3\mu\text{s}$ , 写完一场基色图像需  $480 \times 2.3\mu\text{s} = 1.1\text{ms}$ 。即时间段(2)可取值约 5.5ms,而一般快速 TN 液晶的响应时间可以达到  $3.5\text{ms}$ <sup>[5.3]</sup>,那么剩余大约 2.1ms 分配给脉冲光源。

比照图 5-2-2 不难认识到,实现彩色化的时序关系要求脉冲光源的开关响应时间不能超过 5.5ms。即,若脉冲光建立时间超过该值时,将缩短时间段(3),从而降低显示亮度;若脉冲光熄灭时间超过该值时,则产生色串扰现象。

本篇文章的研究对象是近眼(Near-to-Eyes)显示系统,可采用开关响应时间小于  $1\mu\text{s}$  的 LED 作脉冲光源;对于大屏幕高亮度投影显示系统,切实可行的方法是使用彩轮或旋转棱镜等方式产生快速脉冲光源<sup>[5.4]</sup>。总之,合理地选取脉冲光源则可充分保证时段(3)取得最优值。我们的研究工作考虑到液晶材料选择范围等其它综合因素,最终设计时段(3)取值 1.1ms。

### 5.2.3 时序光源色彩设计

前面讨论的场序彩色化原理指出,近眼 LCoS 显示器的色坐标系主要由时序光源的三基色性能影响,换句话说就是选择合适的三基色光谱范围。

传统液晶显示器采用白色冷阴极荧光灯(Cold cathode type fluorescent lamp)作为光源,而这里需要能进行红绿蓝快速连续变换的光源,因此采用发光二极管(LED)作近眼 LCoS 显示器的发光源。LED 的响应时间为几个微秒,用作时序光源时比冷阴极荧光灯有更强的优势。

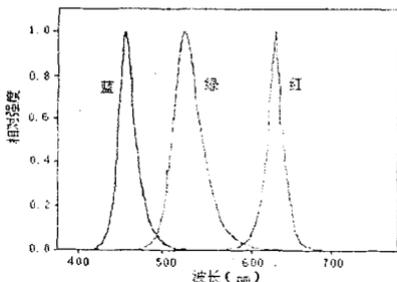


图 5-2-3 LED 基色光源光谱分布

本篇论文选择作为三基色光源的彩色发光二极管的光谱如图 5-2-3 所示,主要规格特性如表 5.2.1 所列。

基色源	型号	驱动电压 (V)	光效率 (mW/20mA)	光亮度 (cd/m <sup>2</sup> )	波长 (nm)	制造商
红色	R-3000	<1.8	NA	3	660	Stanley Electric Co.
绿色	NSPG500	3.5~4.0	2	6	526	Nichia Chemical Co.
蓝色	NSPB500	3.6~4.0	3	2	470	

## 5.3 反射式快速响应液晶工作模式设计

LCoS 液晶显示器用混合液晶选用哪些液晶组分,要按以下的次序来决定:

整机性能  $\Rightarrow$  屏特性  $\Rightarrow$  液晶物理性能  $\Rightarrow$  液晶组分

当确定整机性能之后,可以通过模拟计算近似求出从屏特性到液晶物理性能的所有物理参数,然后根据算出液晶的物理参数,通过实验来合成能满足要求的液晶组分,或者寻找相匹配的液晶产品。

### 5.3.1 反射式液晶光学特性分析

常规反射式液晶显示器采用两个偏振器,一个在前面,另一个在背面,反射时光束要两次透射过液晶层。因此实际上它是遵循透射式液晶盒工作原理,这自然会引起亮度损失,而且还要增加材料耗费与生产成本。本篇论文设计的 LCoS 液晶显示器的光路配置却极其简单,如图 5-3-1

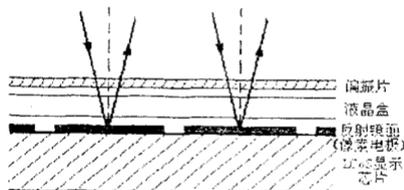


图 5-3-1 LCoS 液晶盒的光学配置

所示。它只由一个输入偏振片(或者 PBS 产生偏振光)、液晶盒和反射镜组成。按照传统的观点,这种简洁结构的显示器色散太大,而且所要求的盒厚度太薄,以致不实用。然而,随着新型液晶材料的开发和液晶物理理论的发展,图 5-3-1 结构的反射式液晶盒已经成为现实。下面采用参量空间法分析反射式液晶盒的工作模式<sup>[5.5]</sup>。

定义参量空间的参数是液晶盒厚度和双折射的乘积  $d\Delta n$ 、液晶扭曲角  $\varphi$  和偏振片角度与入射光处指向矢的夹角  $\alpha$ 。这三个参数基本决定了液晶器件的光学性质。液晶材料的弹性常数  $K_{11}$ 、 $K_{22}$ 、 $K_{33}$  和介电常数  $\epsilon_{\perp}$ 、 $\epsilon_{\parallel}$  与动态响应紧密相关,他们不包括在参量空间中,参量空间是由在  $(\varphi, d\Delta n, \alpha)$  空间中不同电压下,一系列透射或反射率等高线图组成,其中一个参数固定。这个方法是建立在有效变分指向矢计算基础上<sup>[5.6]</sup>,并利用 Berreman's  $4 \times 4$  矩阵方法计算光学性质<sup>[5.7]</sup>。

图 5-3-2 演示了反射式 TN 液晶扭曲角  $\varphi$  从  $60^\circ$  变化到  $90^\circ$  时,反射率与  $(d\Delta n, \alpha)$  的关系参量空间。随着  $\varphi$  向  $90^\circ$  变化, A 点极大值  $(d\Delta n)_1$  和 B 点极小值  $(d\Delta n)_2$  逐渐靠拢重合,因此  $d\Delta n$  在  $(d\Delta n)_1$  和  $(d\Delta n)_2$  之间取值都能得到最大反射率。按照液晶物理理论,如果采用 A 点作静态工作点,可以得到最大的液晶盒厚度和较低的工作电压。但是较大的  $d\Delta n$  值一般色散太大,所以我们应该按照参量空间图优化  $(\varphi, d\Delta n, \alpha)$ 。

图 5-3-3 是采用 Merck 公司 LC-A 型液晶  $(\Delta n=0.201)$  得到的反射光谱图<sup>[5.8]</sup>,其中参量空间  $(70^\circ, 1.0, 30^\circ)$ 。比照 LED 基色光源光谱分布(见图 5-2-3),经参量空间法优化后的 LCOS 液晶盒对 450nm~650nm 范围的入射光具有比较一致的反射率(90%左右)。图 5-3-4 是三基色光源反射率与工作电压的关系曲线。在工作电压 1.2V~5.0V 的范围以内,三基色的反射率一致。

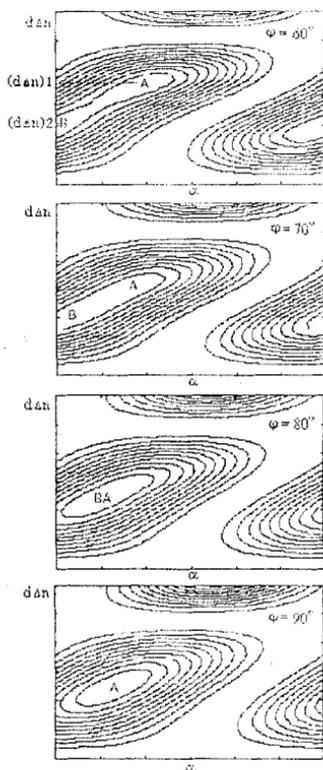


图 5-3-2 TN 液晶在不同扭曲角度时的参量空间图

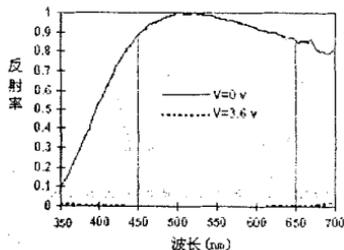


图 5-3-3 反射率光谱分布曲线

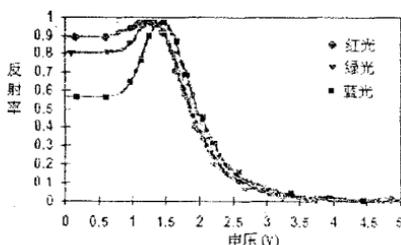


图 5-3-4 反射率与工作电压的关系曲线

### 5.3.2 液晶电光特性分析

关于液晶的电光效应的响应速度 $\tau$ , 据杰克曼(E. Jakeman)等人的研究, 认为无论是哪一种电光效应, 都可以按流体变形看待, 并用下面的近似公式表示<sup>[5,9]</sup>:

$$\tau = \frac{\eta_i}{\epsilon_0 \Delta \epsilon E^2 - k_{ii} q^2} \quad (5.3.1)$$

式中,  $\eta_i$  和  $k_{ii}$  是流体适当的粘度参数和弹性参数;  $\Delta \epsilon$  是介电各向异性参数;  $E$  是外加电场的强度;  $q$  是变形的波矢量(wave vector)。

图 5-3-5 是具体的响应特性的实例, 表示了 TN 型电光效应液晶盒的响应特性。一般, 上升响应时间 $\tau_r$  的定义为: 施加电场下产生的电光现象达到稳定值的 90% 所需要的时间。下降响应时间 $\tau_d$  定义为: 停止施加电场之后, 电光现象减少到稳定值的 90% 时所需的时间。

对于 TN 型液晶的电光效应, 若液晶盒的厚度为  $d$ , 则波矢量  $q$  可近似用  $\pi/d$  表示, 可从式(5.3.1)分别求出<sup>[5,9][5,10]</sup>:

$$\tau_r = \frac{\eta_i d^2}{\epsilon_0 \Delta \epsilon V^2 - k_{ii} \pi^2} \quad \tau_d = \frac{\eta_i d^2}{k_{ii} \pi^2} \quad (5.3.2)$$

式中,  $V$  是施加的电压。对于胆甾型液晶的电光现象, 若螺距  $p_0$  比液晶盒的厚度  $d$  短时, 则波矢量可用  $q = \pi/p_0$  表示。因此, 胆甾型电光现象的响应速度 $\tau_r$  和  $\tau_d$  为<sup>[5,9]</sup>:

$$\tau_r = \frac{\eta_i}{\epsilon_0 \Delta \epsilon E^2 - k_{ii} \frac{\pi^2}{p_0}} \quad \tau_d = \frac{\eta_i p_0^2}{k_{ii} \pi^2} \quad (5.3.3)$$

式(5.3.2)、(5.3.3)中的粘度参数 $\eta_i$ 和弹性参数 $k_{ii}$ , 当然由于电光现象的类型不同而异。在使用向列型液晶和近晶型液晶的情况下, 要使上升响应快, 最好使用介电各向异性 $\Delta \epsilon$ 大、粘度系数 $\eta_i$ 和弹性模数 $k_{ii}$ 小的液晶。而要使下降响应快, 则必须使用粘度系数 $\eta_i$ 小, 而弹性模数 $k_{ii}$ 大的液晶。在使用胆甾型液晶盒的情况下, 其响应速度与液晶盒厚度无关, 仅与螺距长度 $p_0$ 有关。常规各种电光效应普通液晶材料的 $\eta_i$ 和 $k_{ii}$ 以及大致的响应速度 $\tau_r$ 和 $\tau_d$ 归纳在表 5-3-1 中<sup>[5,10]</sup>。

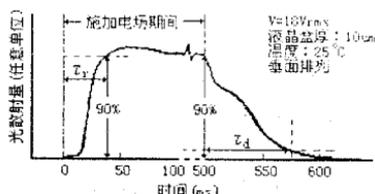


图 5-3-5 在施加电场时 TN 液晶盒的光强度随时间的变化

光电效应	$\Delta \epsilon$	参数		响应时间(ms)	
		$k_{ii}$	$\eta_i$	$\tau_r$	$\tau_d$
TN 效应	正	$k_{13} + ((k_{33} - 2k_{22})/4)$	$\sim \eta_1$	20~80	80~150
GH 效应	正	$\sim k_{11}$	$\sim \eta_1$	70~150	90~200
	负	$\sim k_{33}$	$\sim \eta_2$	100~200	150~300
ECB 效应	正	$\sim k_{11}$	$\sim \eta_1$	10~30	30~100
	负	$\sim k_{33}$	$\sim \eta_2$	20~50	50~200
PC 效应	正	$\sim K_{22}$	$\sim \eta_2$	10~40	60~200
DS 效应	负	$k$	$\eta$	10~50	30~150

### 5.3.3 液晶材料选择

从图 5-2-2 很清楚地看到,由于颜色是顺序出现的,为避免色串扰每场基色图像必须快速切换,要求液晶响应速度最慢也要达到帧频的 1/3(约 18.7ms 左右),而要达到优良的场序彩色显示质量,响应时间应为 3ms 左右。确切的速度要求还取决于(并影响到)照明光脉冲的建立时间。作为一个可行系统,我们采用响应时间小于 3ms 的液晶材料。

随着铁电液晶材料、快速响应 TN 模式液晶的问世,如表面双稳态铁电液晶显示器(SSFLCD)的响应速度为几十微秒量级,能很好地满足以上要求。MicroTech 公司就是采用了 FLC 封装的 LCoS 显示器<sup>[5.11]</sup>。这些材料在提供所要求的快速响应的同时,也带来许多实际困难。铁电液晶存在灰度级、对准和稳定性方面的困难,这些困难还导致了其它的负担。在向列相液晶显示模式中,最有可能满足这一要求的是 OCB(Optically Compensated Bend)模式。理论计算和实验都表明,OCB 模式可以实现 2ms 的响应速度。因此,我们倾向于使用向列相效应(TN)液晶。

图 5-3-5 的电光曲线说明显示模式可分为常黑显示和常白显示。前者在功耗(驱动电压)、对比度的视角相依性方面有利;后者在亮度(最大对比度)、黑度、屏间隙余度等有利。可是在前者的情况下,要确定间隙大小、满足光反射量为最小的条件。取间隙最小值时,耗电和对比度的视角相依性小,比较有利;取光反射量最小值时,屏间隙和余度可取得大一些,减少旋光干涉影响,比较有利。这样,根据屏的特性选择来决定光学设计,进而决定液晶参数。

电光响应曲线的不对称性也是选择场序彩色 LCoS 用液晶时需考虑的重要因素。驱动电压由低到高的开启时间比驱动电压由高到低的关断时间短得多。在开启瞬间,液晶被驱动,液晶分子按照所施加的电场进行排列。在关断瞬间,液晶由驱动态转向自然的零场态。在场序显示中,红、绿、蓝基色子帧图像轮流显示,为获得饱和色,一种色不得泄漏到另一种色中。为确保色的分离,我们选择快的开启时间对应于变黑的驱动。这样,设计采用常白型液晶工作模式。

为了得到快速响应,液晶盒的间隙必须薄。间隙越薄,相同电压下得到的电场越大。前面图 5-3-1 已说明在 LCoS 液晶盒中,光线经过盒间隙两次,即光程是透射盒的两倍。因此,为了获得相同的双折射, $\Delta n d$  应减半。根据前面参量空间法的优化,我们采用 Merck 公司的 LC-A 型液晶材料( $\Delta n = 0.201$ ),设计盒间隙为  $2.5\mu\text{m}$ 。这样的盒厚比常用的  $4\sim 6\mu\text{m}$  的盒厚要薄得多。薄的盒间隙要求制作时十分小心,以使间隙厚度公差成比例地减小。本篇论文利用刻蚀钝化层形成支持垫的方法来维持良好的盒间隙。相对薄的盒厚度与向列相液晶效应相结合;达到了快速切换的目标。

由于标准 CMOS 的 5V 工作电压限制,希望液晶驱动电压( $V_{90}$ )低于 4V 以下。液晶阈值电压也要低,为此要求液晶弹性常数比值小,介电各向异性要大。其次,屏漏电流与亮度降低相关,为此要求液晶电阻率为  $10^{12}\Omega\text{cm}$ ,此外还要求有良好的取向剂材料。且驱动电压低和漏电流小又关系到降低屏的功耗。

Model	LC-A	BDH-TL202
$V_{th}$	1.07(V)	2.00(V)
$V_{90}$	3.98(V)	3.09(V)
$T_{on}$	1.8(ms)	3.2(ms)
$T_{off}$	4.4(ms)	8.0(ms)

本篇论文设计的彩色 LCoS 显示器采用德国 Merck 液晶公司专为时序彩色显示模式生产的快速 TN 液晶<sup>[5,12]</sup>, 其液晶材料的电光特性见表 5-3-2。表中型号为 LC-A 的液晶材料的上升时间和下降时间, 完全满足我们设计的场序彩色化模式。而且由于  $V_{th}$  和  $V_{90}$  较低, 适合于使用 5V 电压的标准 CMOS 显示芯片所驱动。

## 5.4 LCoS 芯片低压显示模式设计

LCoS 显示芯片将显示驱动矩阵和周边驱动电路集成在一起, 是一块多功能、多结构的片上系统, 也正是因为同一芯片上集成了多个单元电路, 与由分离 IC 驱动器、TFT 显示矩阵板组合的显示系统相比, LCoS 显示芯片可以在同样的工艺技术条件下, 通过对各单元系统扬长避短的设计, 实现更高性能的系统指标。

### 5.4.1 常规驱动液晶显示模式

图 5-4-1 是常用于透过式视频显示的 TN 型液晶材料的 T-V 特性曲线示意。从图中液晶的透过率随驱动电压的变化曲线可知, 近 5V 的驱动电压足以使该类液晶从白(灰度 1)过度到黑(灰度 8), 但在实际如 TFT-LCD 的运用中, 数据驱动采用 12V 左右的电压。究其原因, 数据驱动电路通常是比较复杂的, 它必须完成串行-并行的转换和提供适当的模拟电压给数据线, 并且提供给液晶盒的电压必须在时间平均上接近零, 尽量减少直流成分, 以防液晶老化变坏。

为此, 在以往的液晶盒有源驱动模式中, 一般把公共电极作为参考零电平, 如图 5-4-2 所示, 则加到每个象素上的电压极性相对于公共电极电压极性相反。目前有四种驱动方式:

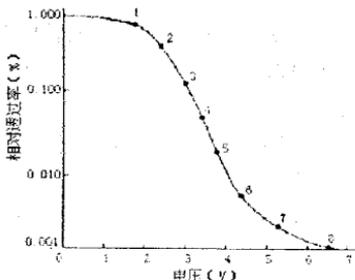


图 5-4-1 液晶材料的典型光电特性示意

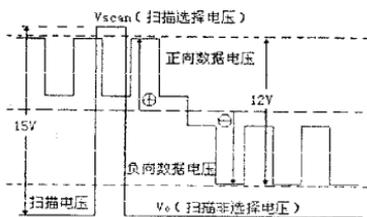


图 5-4-2 常规有源矩阵驱动电压方案

- (1) 场反转, 即一场中所有的数据电压极性相同, 但相对于公共电极电压前一场与后一场极性相反。
- (2) 行反转, 一场中相邻行的数据电压相对于公共电极电压极性相反。
- (3) 列反转, 一场中相邻列的数据电压相对于公共电极电压极性相反。
- (4) 点反转, 一场中相邻像素的数据电压相对于公共电极电压极性相反。

显然, 采用亚微米工艺制造中压器件(10V~30V)的成本是非常昂贵的。因此, 有必要研制出一种低压驱动方法<sup>[5.1]</sup>。我们分析发现上述四种反转驱动方法都是以公共电极电位恒定为前提, 由于液晶的电学特性导致需要中压驱动电路。为此本篇论文设计了一种公共电极电位场

反转低压驱动液晶工作模式。

### 5.4.2 象素单元电路电压自举现象分析

在叙述公共电位场反转模式之前,有必要讨论象素单元电路工作细节。

图 5-4-3 是象素单元的等效电路图,电容 C 为单元液晶象素等效电容与单元存储电容之和。电容 C 的 A 端接公共电极  $V_{com}$ , B 端接 NMOS 的源极。NMOS 管对其负载电容 C 的充放电工作原理分析如下:

情况 1, 假设 NMOS 导通前电容 C 内无电荷,  $V_{com}=0V$ 。当扫描线变为 5V 时 NMOS 导通, 数据线对电容 C 充电使得  $V_B \approx 4V$ , 则电容 C 上的压降:  $\Delta V = V_B - V_A = V_B - V_{com} \approx 4V$ ; 进行场反转后  $V_{com}$  从 0V 变到 5V, 此时 NMOS 处于截止状态, 电容 C 的 B 端将随着 A 端的电位升高 5V, 这就是所谓的电压自举现象, 结果:  $V_B = V_A + \Delta V = V_{com} + \Delta C \approx 9V$ 。

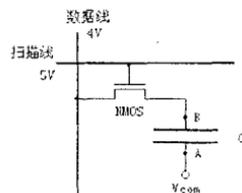


图 5-4-3 象素单元等效电路

情况 2, 假设进行场反转前电容 C 内无电荷, 此时 NMOS 处于截止状态, 当  $V_{com}$  从 5V 变到 0V, 电容 C 的 B 端将随着 A 端的电位降低 5V, 结果:  $V_B = -5V$ , 这也是所谓的电压自举现象。

对于情况 1, 使用 5V 的栅电压能否在有效扫描时间内再次导通 NMOS 管?

在电学上 NMOS 管作为一种电压控制的开关器件, 当栅-源电压  $V_{gs}$  等于开启电压  $V_t$ , 并且源-漏间存在电压  $V_{ds}$  时, 由于源-漏电压和栅-衬底电压而分别产生的电场水平和垂直分量的作用, 沿着沟道就出现了导电, 该器件开始导通。当  $V_{ds}$  大于  $V_{gs} - V_t$  时, 即如情况 1, 沟道不再伸展到漏极, 如图 5-4-4 所示沟道将处于夹断状态。这种情况下, 导电是由于正漏极电压作用下电子的漂移机理所至。电子离开沟道后注入到漏区耗尽层中, 接着向漏区加速。这时沟道电流受栅极电压控制, 几乎与漏极电压无关。可以说此时器件工作在“饱和”状态下。然而, 我们是采用标准 5V-CMOS 工艺设计芯片, 而此时电压自举使得象素单元中 NMOS 的漏极电压远超出 5V 的安全工作条件。实际上, 当漏极电压太高时, 会发生称为雪崩击穿或穿通的非正常导电情况, 此时, 栅极电压已不能对漏极电流进行控制。

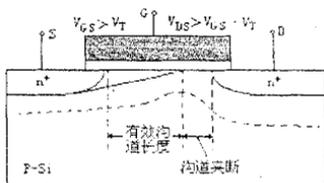


图 5-4-4 NMOS 器件工作原理示意

对于情况 2, 由于 NMOS 的衬底电位  $V_B$  接地, 当的其源极变为负电位时, NMOS 将不能正常工作, 出现自锁效应直至烧毁芯片。

针对上述情况, 我们采取的避免象素单元电路中电压自举现象的方法如是, 在  $V_{com}$  从 0V 反转到 5V 之前导通 NMOS, 泄放电容 C 上的残余电荷, 使得  $V_B \approx 0V$ ; 而  $V_{com}$  从 5V 反转到 0V 之前同样导通 NMOS, 使电容 C 充电接近到 5V。这个充放电过程可以在相当于 1 行的扫描周期(2.3 $\mu$ s)内完成。

### 5.4.3 公共电位场反转显示模式设计

如图 5-4-5 所示,我们设计出一种公共电压  $V_{com}$  场反转驱动方法,相邻两场的  $V_{com}$  极性相反,即  $V_{com}$  在 0V 和 5V 两电位上变换;相应的是,相邻的两场数据电压信号也要做“求补”运

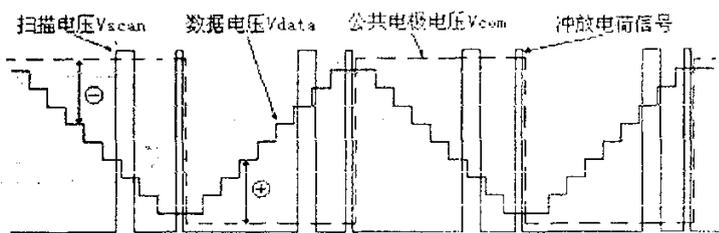


图 5-4-5 低压驱动显示方法示意

算,以保证与公共电位  $V_{com}$  的相对值不变,从而既实现液晶材料的交流驱动,又保持数据典雅的正确性。为此本篇论文为 LCoS 芯片电路设计了两个专用电路单元。其一是在数据驱动电路中专门设计的反转电路,以期完成数据信号能随着  $V_{com}$  场反转同步翻转,保证液晶承受的相对电压值不失真。其二是辅助清屏电路,配合公共电极电位的变换,完成每帧图像扫描前像素存储电容充放电功能,这样可以大幅度降低扫描电压。

实际上电路信号中,  $V_{com}$  最大值为 5V, 扫描电压为 5V, 考虑到 NMOS 管中  $V_t$  的影响, 数据电压最大值为 4V。可见,公共电位场反转显示模式设计能够使 LCoS 在低电压(符合标准 5V-CMOS 工作条件)下驱动液晶材料工作。

在常规驱动液晶显示模式中,与行、列、点反转模式相比,场反转可使像素内的横向电场最小化,但它也比其它几种极性转换模式更能产生闪烁。因为存储电容中的残余电荷量在所有寄生导电机构中所占比重最大,随着极性的变化将大幅度加剧闪烁。但我们的电路设计中采用不连续时序光脉冲,在像素电压发生“跃变”时,光脉冲控制信号为低电平(无光照);而在像素电压平稳后,光脉冲信号变为高电平(有光照)。因此可以根本避免像素电极上信号电平更换时产生的闪烁现象。

## 5.5 LCoS 显示芯片工作机理及其电路结构

LCoS 显示器具备小尺寸和高显示分辨率的双重特性。表面上, LCoS 屏采用了传统 LCD 的液晶盒的结构,但又有别于后者。液晶盒构造上的最明显区别是: LCoS 技术把液晶材料封装在单晶硅材质的 LCoS 芯片与透明玻璃之间,而非传统 LCD 使用的两片透明平板硬质基底。通常把视频转换电路、行扫描驱动电路和像素矩阵制作在硅基底上,而 ITO 膜用作公共电极,液晶材料则工作在固定频率的交流信号下。LCoS 设计成快速响应光阀,通过调制每个像素对入射光的反射程度,实现有灰度的图像显示。

### 5.5.1 器件物理结构简介

我们采用  $0.6\mu\text{m}$  的 n 阱三层金属 CMOS 工艺设计的 LCoS 器件物理结构剖面如图 5-5-1

所示。图中支撑垫的高度将根据所采用液晶模式及入射光波长来确定液晶盒厚；最后得到 87% 的开口率；其芯片对角线约 0.55 英寸<sup>[5.13]</sup>。

如图示意，LCoS 芯片是一种“夹心结构”——单晶硅基底片和镀有 ITO 膜的玻璃片“夹”（封装）一层液晶材料。我们把视频转换电路、行扫描驱动电路和象素矩阵制作在硅基底上，而 ITO 膜用作公共电极，液晶材料则工作在固定频率的交流信号下(场反转模式)。LCoS 设计成快速响应光阀，通过调制每个象素对入射光(来自时序光源)的反射程度(灰度)实现图像显示。

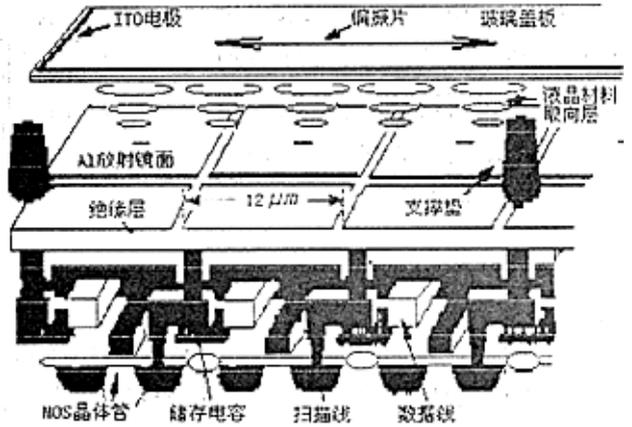


图 5-5-1 LCoS 芯片剖面图

图 5-5-1 中反射式象素电极遮住了

NMOS 晶体管的有源部分，从而挡住了入射光线，降低了 NMOS 晶体管源极 PN 结上产生的光生漏电流；可防止因此而引起的图像对比度退化。

### 5.5.2 芯片电路结构及其工作原理

根据前面显示性能的要求，图 5-5-2 示意了整个 LCoS 芯片的电路结构功能图，可划分为行扫描驱动器，列数据驱动器，和显示象素矩阵(有源 NMOS 矩阵)。为了降低芯片工作频率，不仅把列数据驱动器分为电学结构完全一致的上下两组，分别驱动奇偶数据线，而且采用多组数据输入方式。另外，这种电路结构可以使芯片面积最小<sup>[5.14]</sup>。

串行输入的 4 位 8 组数字视频信号分成两个 4 组 4 位数字视频信号，分别在上下两组串入并出移位寄存器作用下，依次存入锁存器 1。锁存器 1 在读入数据前，把所存数据写入锁存器 2，然后锁存器 1 在读入数据时，锁存器 2 同时向数模转换器(DAC)写出数据，这两组锁存器实现边读入边写出的功能。锁存器 2 存满一行后在读出信号作用下，配合行扫描信号，同时输入到各列的数模转换器(DAC)，则每列的 4 位数字信号同步转换成一个模拟电压信号作用到象素上，而整体效应则是串行数字视频信号转化成并行模拟视频信号，逐行写入有源象素矩阵，驱动 NMOS 矩阵工作；在行扫描驱动电路中，行扫描信号通过另一组移位寄存器作用，产生与列信号同步的逐行扫描信号，其后的缓冲驱动器用于提高扫描信号的驱动能力，减少信号在每行扫描传输中的传播延迟，从而可避免作为负载的 NMOS

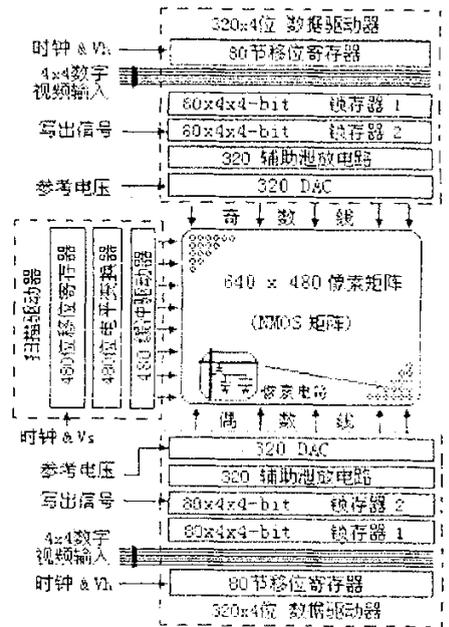


图 5-5-2 LCoS 显示芯片电路结构图

晶体管开启电压不足。其间的电平变换器配合数据驱动器中的泄放电路完成对象素矩阵的清零功能。

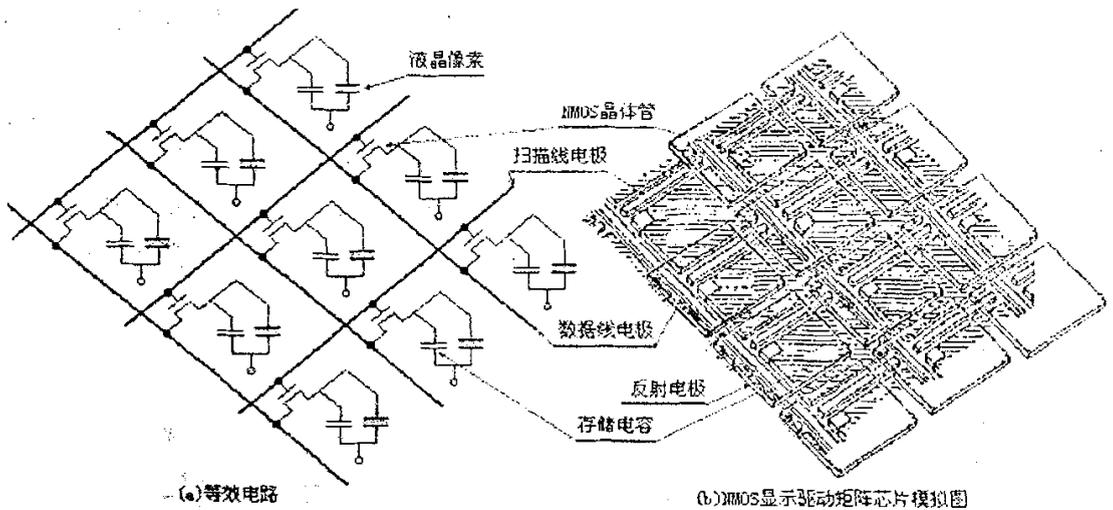


图5-5-3 NMOS有源寻址矩阵芯片模拟图形及其等效电路

有源NMOS寻址矩阵芯片模拟图形及其等效电路示于图5-5-3。NMOS寻址矩阵的大致结构如图5-5-3(b)所示。扫描电极母线与信号电极母线互相垂直，交叉部分放置NMOS晶体管。反射式像素电极位于NMOS上方，呈规则矩阵。为了获得良好的漫反射表面，采用CMP技术处理像素电极沉积面，以求得到平滑的沉积衬底。NMOS晶体管以及扫描和信号电极母线采用常规的大规模集成电路工艺制备，包括光刻、掺杂、扩散和沉积等。像素电极和上玻璃基片的公共电极都要经过适当的表面摩擦处理，使充入液晶后，液晶分子能均匀排列。这是液晶材料显示特性所要求的。

液晶像素接地表示它一端与上玻璃基片内表面的公共电极相连(上玻璃基片没有画出)。存储电容上的接地符号表示它的一端是硅(Si)衬底。每个像素单元上有一个并联的存储电容，它的作用在于补充像素电容以延长电荷存储时间。存储电容的作用是增加液晶像素的介电弛豫时间，直至显著地长于1帧周期。这样做可以得到两个重要的好处。首先，从液晶层得到饱和亮度所需的外加寻址电压明显地降低。其次，亮度在整个1帧周期内保持基本不变，因此，其平均亮度比没有电容的要高。

在进行场反转(上盖板公共电极转换电极极性)之前，图5-3-2中的充放电电路辅助NMOS驱动矩阵充放电存储电容上的电荷，避免上盖板公共电极转换极性时存储电容产生电压自举现象。

寻址时，NMOS晶体管因为栅极受到来自扫描电极母线的电压而自上而

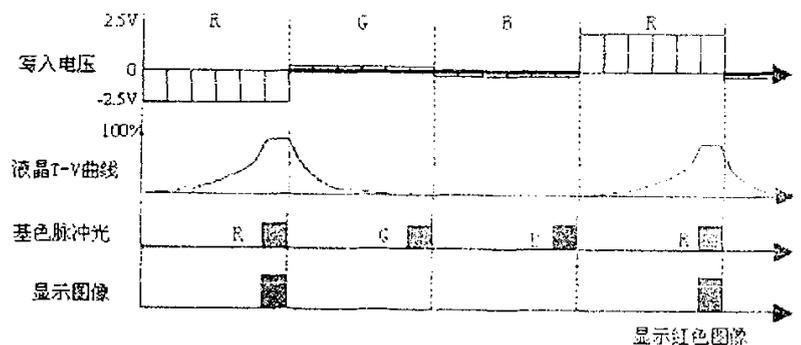


图5-5-4 时序彩色化过程示意

下逐行地依次导通,与此同时,图像信号经信号电极母线作用在这些 NMOS 晶体管的源极上。被寻址象素的存储电容将充电,电压与输入的模拟图像信号的电平相当。存储电容上的信号将保持一帧时间,同时液晶分子将扭转透光,并呈现出与存储电容上的信号电压相对应为灰度。

实际信号处理方式如图 5-5-4 所示。在显示芯片上每场基色图像将被刷新 6 次,基色光源光脉冲宽度的设计值等于每次刷新的时间(约 1.1ms),并且与最后一次刷新同步。结果,液晶材料的响应时间将是  $1.1\text{ms} \times 4 = 4.4\text{ms}$ ,每基色的时间占空比为 1/18,远优于常规 STN 模式的占空比<sup>[5.15]</sup>。假如使用响应时间为微秒级的铁电液晶,显然可以大幅度提高亮度。

### 5.5.3 象素驱动电路工作方式

图 5-5-5 画出了单个象素的电路结构。NMOS 晶体管的源极和漏极分别与数据线电极和象素电极相连,栅极与扫描

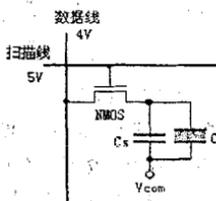


图 5-5-5 单像素电路结构

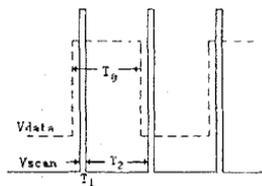


图 5-5-6 驱动信号波形示意

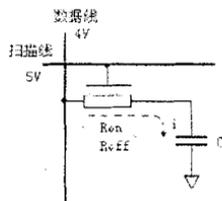


图 5-5-7 像素等效 RC 电路

电极相连。每个象素单元驱动信号的时间图形如图 5-5-6 所示。在图中,  $V_G$  和  $V_D$  是扫描线和数据线的信号,分别加到 NMOS 的栅极和源极上。NMOS 在  $V_{scan}$  高电平期间  $T_1$  导通,把数据线的图像信号  $V_{data}$  写入象素电极,  $V_{scan}$  在低电平期间  $T_2$  变为断开,保持象素电极的信号。因为液晶需要交流驱动,所以数据线的图像信号  $V_{data}$  定期(场周期  $T_0$ )与上盖板公共电极  $V_{com}$  互动交流反转。

在考察 NMOS 应具备的性能之前,我们讨论一下脉冲电路原理<sup>[5.16]</sup>。在电阻和电容串联的电路中加脉冲电压  $E$  时,仅电容部分的电压  $V$  发生变化。

$$V = E \left( 1 - \exp\left(-\frac{t}{\tau}\right) \right) \quad (5.5.1)$$

另外为了在选通时间  $T_1$  内写入 99% 以上,  $V > 0.99 E$  (5.5.2)

由(5.5.1)、(5.5.2)式得:  $T_1 > \tau(-\lg 0.01) \approx 4.6\tau$  (5.5.3)

为控制在非选通时间  $T_2$  内图像信号的遗漏在 5% 以内,  $V < 0.05 E$  (5.5.4)

由(5.5.3)、(5.5.4)式得:  $T_2 < \tau(-\lg 0.95) \approx \tau/19.5$  (5.5.5)

图 5-5-7 是最简单的象素 RC 等效电路。 $R_{ON}$ 、 $R_{OFF}$  分别为 NMOS 导通电阻和断开电阻,  $C_{LC}$  为液晶的电容。在选通时间  $T_1$  通过 NMOS 把 99% 的图像信号写入的条件用下式表示:

$$4.6\tau_{on} = 4.6R_{on} C_{LC} < T_1 \quad (\text{当 } \tau_{on} = R_{on} C_{LC} \text{ 时}) \quad (5.5.6)$$

另外,在非选通期间  $T_2$ ,若通过 NMOS 使图像信号从数据线遗漏,就要产生交叉效应。为把图像信号的遗漏控制在 5% 以内的条件,用下式表示:

$$\tau_{\text{off}}/19.5 = R_{\text{off}} C_{\text{LC}}/19.5 < T_2 \quad (\text{当 } \tau_{\text{off}} = R_{\text{off}} C_{\text{LC}} \text{ 时}) \quad (5.5.7)$$

上一节中的场序彩色化要求  $T_1 = 2.3\mu\text{s}$ ,  $T_2 = 1.1\text{ms}$ 。作为典型的例子假定  $C_{\text{LC}}$  的大小为  $0.2\text{pF}$ , 则由(5.5.6)、(5.5.7)式有:

$$R_{\text{on}} < 250\text{K}\Omega \quad R_{\text{off}} > 1.1 \times 10^{11}\Omega$$

导通和断开比需要 6 位数以上。考虑到 NMOS 晶体管对温度依存性, 为此有时需要 7 位数的导通和断开比。

在 NMOS 晶体管导通状态下,  $V_{\text{DS}}$  很小, 而  $V_{\text{GS}}$  很大。因此可以假定 NMOS 器件处于线性区。假定沟道长度调制效应可忽略不计, 由第 4 章第 2 节, 若:

$V_{\text{GS}} - V_{\text{T}} > V_{\text{DS}} > 0$ , 则漏极电流由下式结出:

$$I_{\text{D}} = \frac{K'W}{2L} (2(V_{\text{GS}} - V_{\text{T}})V_{\text{DS}} - V_{\text{DS}}^2) \quad (5.5.8)$$

假设不存在失调电压, 当  $V_{\text{GS}} > V_{\text{T}}$  时, 则大信号沟道

$$\text{电阻为: } R_{\text{ON}} = \frac{1}{\partial I_{\text{D}} / \partial V_{\text{DS}}} = \frac{1}{(K'W/L)(V_{\text{GS}} - V_{\text{T}} - V_{\text{DS}})} \quad (5.5.9)$$

对于小的  $V_{\text{DS}}$  值, 以  $W/L$  为参变量, 将  $R_{\text{ON}}$  作为  $V_{\text{GS}}/V_{\text{T}}$  的函数曲线示于图 5-5-8 中<sup>[5.17]</sup>。

当 NMOS 晶体管断开时,  $V_{\text{GS}}$  小于或等于  $V_{\text{T}}$ , 器件总在截止区, 理论上的  $R_{\text{OFF}}$  为无限大。实际上,  $R_{\text{OFF}}$  的典型值约为  $10^{12}\Omega$ 。由于该值如此之大, 从漏极到衬底的漏电流, 以及从源极到衬底的漏电流就是两个比  $R_{\text{OFF}}$  更重要的参数。一般, 这两个漏电流在室温条件下约为  $1\text{pA}$ , 且室温每升高  $10^\circ\text{C}$ , 漏电流增加一倍。因此, 设计者只能得到  $10^{11}\Omega$  量级的  $R_{\text{OFF}}$  值。

### 5.5.4 周边驱动电路工作原理

图 5-5-9 中的扫描驱动电路由水平移位寄存器和扫描缓冲驱动器组成。水平移位寄存器是一个单相输入的 480 位移位寄存器, 它与水平移位脉冲  $\text{CK}_2$  同步, 依次扫描第一行到第 480 行。图中, 移位寄存器扫描到第  $i$  行时, 通过该行扫描缓冲驱动器的作用, 象素矩阵中与第  $i$  条扫描电极连接的 640 个 NMOS 晶体管导通。因为是逐行扫描, 这时其它扫描电极皆为地电位, 其余的 NMOS 皆截止。随着水平移位脉冲的作用, 被选取的扫描电极将依次改变。

从 5.4 节知道 LCOS 芯片的数据驱动电路应具有如下的功能:

- (1) 输入的图像数字信号是串行模式, 为适应逐行显示的要求, 电路必须将图像信号由串行形式变换为并行形式。
- (2) 为了适应液晶电视的亮度调制特点, 把多位图像数字信号变换成相应电平的模拟信号, 电路应有数字-模拟变换能力。

因此, LCOS 芯片的数据驱动器是一种串行图像变换电路, 它由移位寄存器, 采样保持二级锁存器, 数-模转换电路组成。移位寄存器构成了水平扫描器, 随着扫描的进行把图像信号按每个象素进行采样并将对应的图像信号暂时存储在锁存器中。

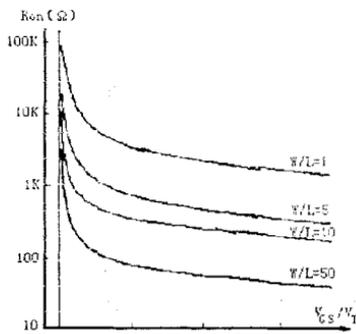


图 5-5-8 NMOS 以  $W/L$  为变量的  $R_{\text{on}}$  特性

数据驱动器的电路波形时序图设计如图 5-5-10 所示。垂直移位寄存器是一单相输入的多位移位寄存器,它的工作状态由移位脉冲  $CK_1$  控制,任意时刻,移位寄存器只有在某一位上产生正脉冲并作用于相应列的第一级锁存器(LATCH1),该列的 LATCH1 导通,其它信号采样 LATCH1 均截止。

于是,由移位脉冲  $CK_1$  同步控制,从左到右依次开启采样 LATCH1,输入的第一行点顺序图像数据将按逐一取样,存入各列的 LATCH1。

当第一行图像信号被存储后,在行回扫描时间内,由行写出脉冲  $Wr$  同步写入第二级锁存器(LATCH2),接下来第二行

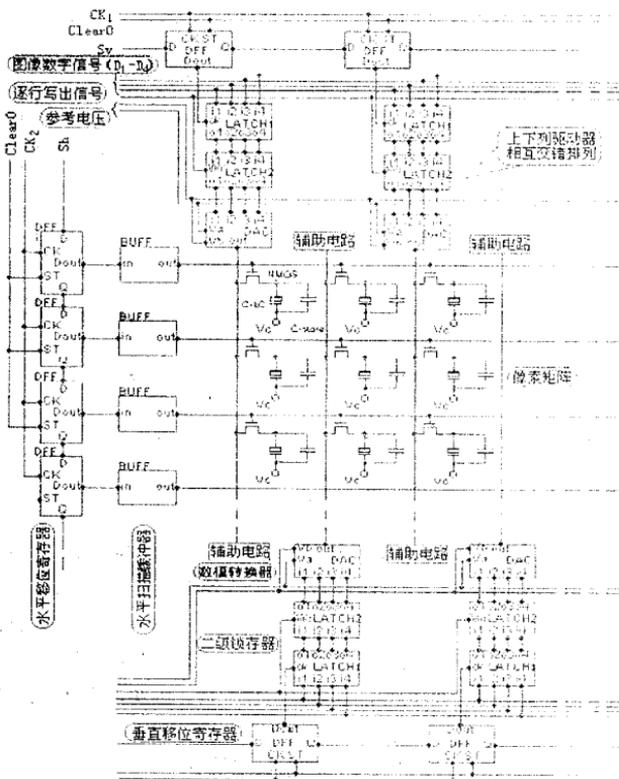


图 5-5-9 LCOS 显示芯片电路结构框图

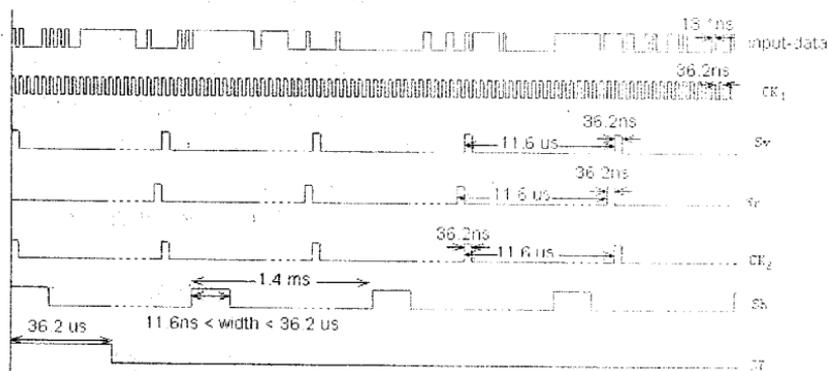


图 5-5-10 数据驱动波形设计

图像数据逐一存入 LATCH1; 而在相同时间内,  $Wr$  使所有 LATCH2 向数-模转换器(DAC)写入

数据; 这些数字量将被 DAC 即时转换成模拟量输入像素矩阵中的数据母线, 在下一个  $Vr$  信号到来时, 第二行图像数据写入 LATCH2, 接着第三行图像数据逐一存入 LATCH1。相应的是, 当某行图像模拟量写入像素矩阵时, 在一个行周期内, 除正被寻址的该扫描行外, 其它行的所有 NMOS 管处于截止状态,  $C_s$  被充电后, 在帧周期内存贮在这些像素电容上的电荷基本不变, 像素的灰度也就保持不变, 直到下一帧图像到来为止。DAC 上的电荷在行回扫时间内放电完毕, 而后在行扫描正程再次充电存入下一行图像信号, 重复上述过程, 直到第 480 行, 完成了液晶屏上  $480 \times 640$  个像素的驱动。每一帧重复上述过程, 图像刷写一次, 而在一帧时间内, 像素上信号电压占空比为 100%。

### 5.5.5 公共电极驱动设计

从物理结构上看, LCoS 液晶盒的公共电极是一层的透明导电膜, 这层膜附着(蒸镀、溅射)在上玻璃基板表面, 隔着液晶层与像素电极对应。因此可以把 LCoS 液晶盒等效为电容器。按照 5.4 节对公共电极场反转模式的设计, 图 5-5-11 是公共电极驱动示意, 图 5-5-12 是相应的驱动波形图。公共电极驱动器制作在硅基底上, 通过导电材料与上盖板的透明导电膜相连, 这个工艺在封装液晶盒的流程中完成。

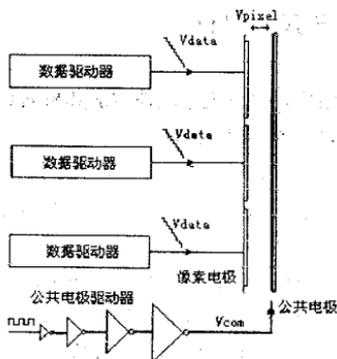


图5-5-11 液晶盒公共电极驱动示意

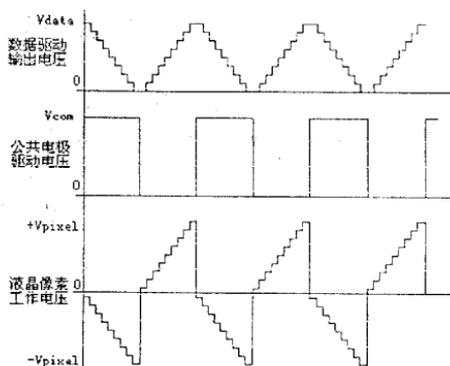


图5-5-12 公共电极驱动波形设计示意

LCoS 液晶盒用的透明导电膜采用掺杂氧化锡的氧化铟膜(ITO)。与其它膜比较, ITO 膜是具有最佳导电性的透明电极材料, 具有足以实用的化学稳定性和热稳定性, 而且可以进行微米级的图形加工。因此在各种品级的 LCD 显示器中使用 ITO 膜做电极。在 LCoS 设计中, 当把液晶盒等效为电容器时, 要减小充放电时间, 则须采用电阻率较小的 ITO 透明导电膜, 通过 RC 延长模拟表明, 其电阻率在  $10\Omega/\square$  左右符合要求<sup>[5,18]</sup>。

### 5.5.6 场序光源控制电路设计

场序光源电路图如图 5-5-13 所示, RGB 三基色分别由三个发光二极管产生, 控制它们的

波形时序图设计如图 5-5-14 所示。为了根本避免光源驱动信号与 LCoS 写入信号不同步时发生的色串扰现象, 增加发光限制信号, 并使其与每个基色的驱动信号相“与”来控制 LED 的点亮时间。结果准确地保证每帧基色图像将有最大显示时间 1.1ms 左右, 显示占空比约 1:18。

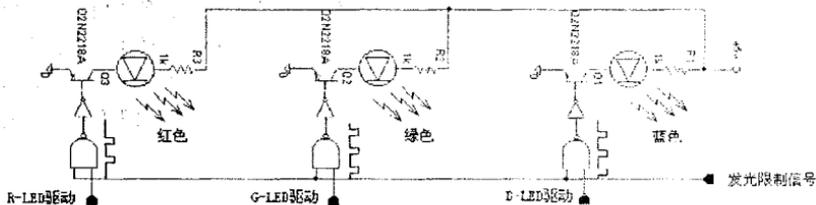


图 5-5-13 场序光源电路图

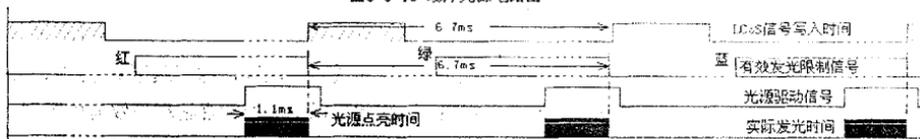


图 5-5-14 场序光源波形图

## 5.6 像素边缘效应与尺寸设计

从理论上讲, 要提高一张有限大小相片的图像清晰度, 可以无止境地增加其像素数目, 相对来说就是不断缩小单个像素的尺寸。但客观条件限制了我们的想法。

其一, 由于人眼生理特性的构造, 过细的像素将会超出了人眼的分辨率, 对于人-机界面用的信息图形显示器是没有实用价值的。特别是物体形态的区别主要表现在不同的彩色及灰度, 亮度及彩色的变化反映了图像中包含的信息。

其二, 随着像素尺寸的缩小, 在液晶像素电极施加电压后, 液晶指向矢不再局限于加电压的像素范围内, 而向邻近像素区域外扩展, 因而, 邻近像素中央和边缘附近的指向矢偏转角出现差别, 这就是像素的边缘效应。显然, 边缘效应的出现会影响显示清晰度。

其三, 当像素尺寸小于一定值后, 如第 1 章图 1-2-2 所示, 显示开口率将急剧下降, 而光学衍射现象也会增强, 从而大幅度降低显示质量。

在 LCoS 技术显示分辨率的设计中, 最大的一个矛盾就是既要不断缩小小芯片面积来降低成本, 又要保持甚至提高显示亮度和分辨率。譬如我们把显示芯片的对角线固定为 0.95 英寸, 而显示分辨率从 XGA(1024×768)变化到 SXGA(1280×1024)以至 UXGA(1600×1200), 相应地像素尺寸则从 12μm 减小到 10μm 直至 7μm。随着像素电极尺寸及其间距的减小, 每个像素边缘的电场效应变得越来越显著, 首先边缘区域的液晶分子不再随电场规整扭转, 其次相邻像素间的电场相互干扰。结果一方面降低了显示亮度和对比度, 另一方面由于像素间不规则排列液晶分子的区域相对增加导致了显示分辨率下降。

迄今对液晶显示器的工作原理和特性参数进行理论研究时, 都是把像素电极近似为无限

大平板,然后再计算象素区域内指向矢分布<sup>[5.6][5.19][5.20]</sup>。实际上显示区域是由按一定间距隔开的象素矩阵组成,其指向矢分布要比无限大平板复杂的多。

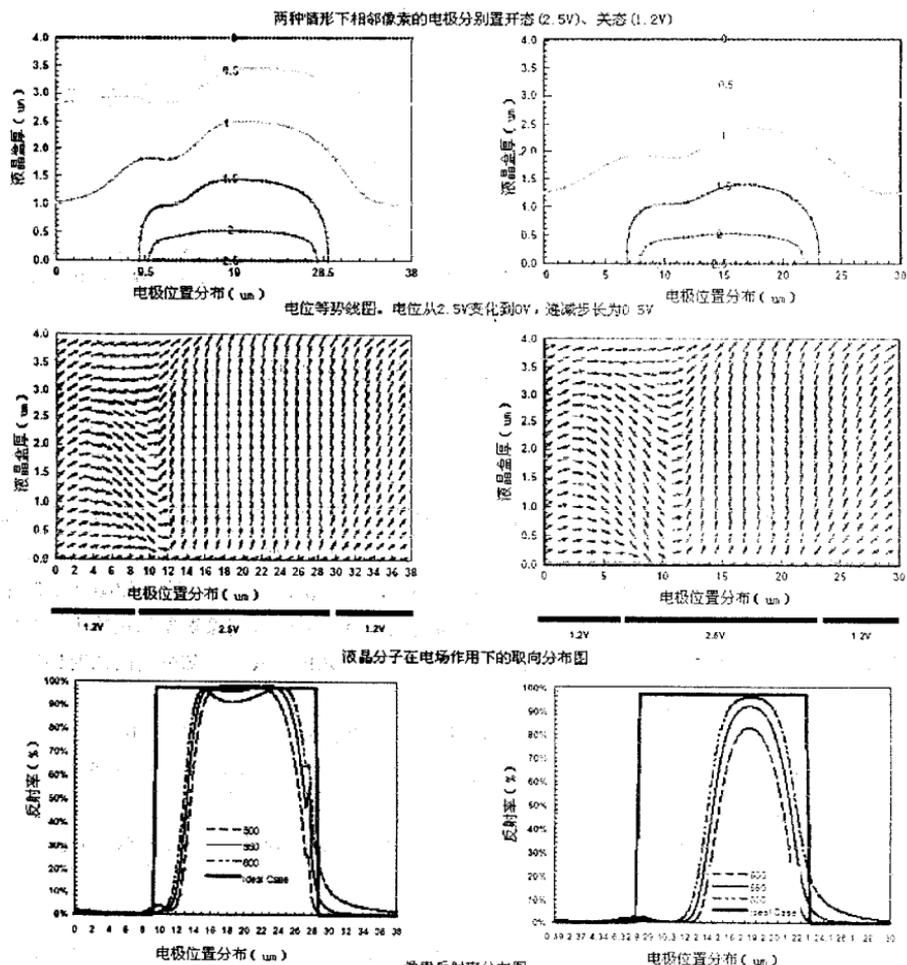


图5-6-1 XGA像素(19μm)模拟结果

图5-6-2 SXGA像素(15μm)模拟结果

针对这个问题,国内一些学者基于 ECB 型液晶的工作模式建立了一些理论模型,对 TN 型液晶材料也有参考价值<sup>[5.21]</sup>。但我们发现美国 S-vision 公司从器件入手,在这方面作过深入细致的研究,他们模拟了象素尺寸分别为 19μm 和 15μm,液晶盒厚 4μm,取向 45°的情况。图 5-6-1 和图 5-6-2 是我们对其资料的引用。比较这两个图不难发现随着象素尺寸的减小,电极有效反射尺寸也明显减小。

另外,在分析大量相关资料和实验结果的过程中,我们同时发现 LCoS 显示对比度将随

着像素尺寸的减少而降低,而且列反转驱动模式比场反转模式变化严重。图 5-6-3 是不同像素尺寸与相应对比度的关系模拟曲线<sup>[5.22]</sup>。一些液晶专家解释为在列反转驱动模式中,相邻两列像素电极间的电位差别比在场反转模式中更大,因此液晶像素边缘电场效应更严重。

在下节显示芯片面积分配讨论中,我们将指明像素尺寸与单位晶片能制作的显示芯片数目有直接的关系,并计算出不显示分辨率的 LCoS 显示芯片的面积,从而能够进一步估计毛芯片数目和生产成本。总之,综合了生产成本以及不同 LCoS 研制机构的经验,本论文设计的盒厚  $2\mu\text{m}$  的液晶像素单元尺寸采用  $12\mu\text{m}$  的截距。

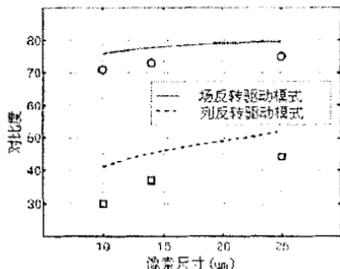


图5-6-3 像素尺寸与对比度之间的模拟结果

## 5.7 功耗分析与面积分配

### 5.7.1 功耗分析

功率损耗是制约集成电路的一个重要因素,而 CMOS 电路的主要特点就是低功耗。表面上看,我们为 LCoS 彩色显示设计的时序彩色模式,其帧频为普通 VGA 显示的 3 倍,似乎功耗会增加许多倍。实际并非如此。在实际电路结构中,我们设计了行锁存器,如图 5-5-2 中虚线所示。这样,可以采用逐行写入方式,把每场的图像信号输入到象素显示矩阵中。纵向数据驱动器中的视频串-并转换移位寄存器的工作频率约 25MHz,其它大部分电路的时钟频率不超过 750KHz。LCoS 芯片的功耗包括三部分:

- (1) 静态功耗  $P_S$ : 由反向漏电流造成的直流功耗, CMOS 电路一般可以忽略不计。
- (2) 动态功耗  $P_D$ : 主要指逐行写入图像信号时,每行扫描线驱动功耗,和每行象素(电容)充放电产生的交流功耗。
- (3) 场反转功耗  $P_F$ : 场反转前清屏功耗,以及上盖板电极作周期性电场反转需要的功耗。

综合以上三项功耗,总的功耗:

$$P = P_S + P_D + P_F \approx P_D + P_F \quad (5.7.1)$$

可采用数字电路瞬态功耗估算公式<sup>[5.23]</sup>:  $P = C_L f_c V_{DD}^2$  (5.7.2)

这里,每行扫描线电极驱动的总栅电容  $C_g = 640 \times 20 \text{ fF} = 12.8 \text{ pF}$

每个象素的电容量  $C_p$  约  $0.2 \text{ pF}$ ,

每行象素的电容量  $C_{row} = 640 \times C_p = 128 \text{ pF}$ ,

每屏象素的电容量  $C_{panel} = 480 \times C_{row} = 61.44 \text{ nF}$ ,

另外,已知逐行写入频率 750KHz,清屏频率 150Hz,场反转频率 150Hz,  $V_{DD} = 5\text{V}$ ,把这些值连同(5.7.2)式代入(5.7.1)式,得到 LCoS 芯片的功耗估计值:

$$P = (C_{row} + C_g) f_{行} V_{DD}^2 + 3(C_{panel} f_{场} V_{DD}^2) \approx 3.3 \text{ mW}$$

可见, LCoS 显示器的确属于低功耗器件。

### 5.7.2 芯片散热考虑

在简单数字电路设计中很少考虑到芯片的散热, 因为低速芯片的功耗一般很小, 在正常的自然散热条件下, 芯片的温升不会太大。随着芯片速率的不断提高, 单个芯片的功耗也逐渐变大, 就需要考虑使用适当的散热措施来加快芯片表面热的释放, 使芯片工作在正常温度范围之内。

通常条件下, 热量的传递包括三种方式: 传导、对流和辐射。传导是指直接接触的物体之间热量由温度高的一方向温度较低的另一方的传递; 对流是借助流体的流动传递热量; 而辐射无需借助任何媒介, 是发热体直接向周围空间释放热量。与电路计算中最基本的欧姆定律类似, 散热的计算有一个最基本的公式:

$$\text{温差} = \text{热阻} \times \text{功耗} \quad (5.7.3)$$

芯片与周围空气之间的热释放“阻力”称热阻, 用芯片的功耗来代表芯片与空气之间“热流”的大小, 这样热流由芯片流向空气时由于热阻的存在, 在芯片和空气之间就产生了温差, 就像电流流过电阻会产生电压降一样。从 LCoS 芯片的功耗分析中我们知道:

- (1) 设计 LCoS 微显液晶盒功耗: 20mW(考虑到 LED 光源的热辐射);
- (2) 液晶材料稳定工作最高温度: 85°C;
- (3) 环境温度(最高): 55°C;

计算芯片与周围空气之间的热阻, 则:

$$R \times 20\text{mW} = 85^\circ\text{C} - 55^\circ\text{C}$$

得到:  $R = 1.5^\circ\text{C}/\text{mW}$ , 即当热阻小于  $1.5^\circ\text{C}/\text{mW}$  时就能保证液晶盒温度不会超过 85°C。静止空气的热阻约为  $1^\circ\text{C}/\text{mW}$ , 因此, 不用任何辅助散热装置就能保证 LCoS 微显液晶盒正常工作。

### 5.7.3 面积分配

表 5-7-1 列出了 LCoS 显示器从 QVGA 到 SVGA 不同显示分辨率的芯片尺寸, 并估算出针对单个 6 英寸晶片  $0.6\mu\text{m}$ -CMOS 工艺所能制造的显示芯片数目。前面 5.6 节确定了像素单元的尺寸为: 单元截距  $12\mu\text{m}$ , 显示矩阵设计为  $640 \times 480$ (VGA) 的像素矩阵, 则 LCoS 微显显示器的有效显示面积:  $7.68\text{mm} \times 5.76\text{mm}$ , 列数据驱动器长约 1.0mm, 行扫描驱动器

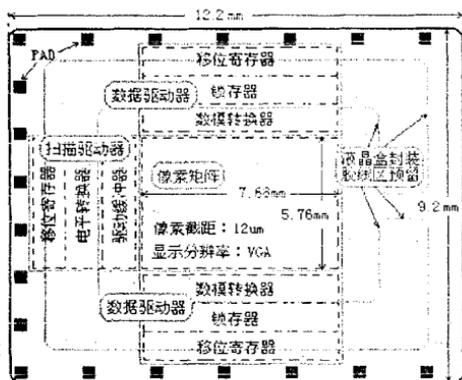


图 5-7-1 LCoS 显示芯片面积分配示意图

长约 0.6mm。

通常, LCoS 液晶盒封装工艺技术要求为密封胶线保留 0.8mm 的宽度, 并且显示矩阵距离胶线边缘应大于 0.5mm; 另一方面, 上玻璃板与下显示芯片贴合时, 工艺精度要求±0.5mm 的偏差, 即如表 5-7-1 对周边裕度左边的尺寸设计中, 在显示芯片上保留了 1mm 的宽度; 另外, 每个显示芯片还设计了 0.2mm 的宽度用于分割芯片时的刀具空间。总之, 需要在显示矩阵之外预留封装区和分割区, 同时, 可把周边驱动电路布置在密封胶区。最后, 如图 5-7-1 所

表 5-7-1 用 6 英寸晶片生产不同分辨率 LCOS 显示芯片的毛芯片数估算(0.6μm 工艺)

分辨率	QVGA (320 × 240)		SQVGA (400 × 300)		VGA (640 × 480)		SVGA (800 × 600)		
像素单元	12μm	10μm	12μm	10μm	12μm	10μm	12μm	10μm	
显示矩阵 (mm <sup>2</sup> )	3.84 × 2.88	3.2 × 2.4	4.8 × 3.6	4 × 3	7.68 × 5.76	6.4 × 4.8	9.6 × 7.2	8 × 6	
周边裕度 (mm)	右	1.5	1.5	1.5	1.5	1.5	1.5	1.5	
	左	1.5 + 1.0 + 0.36	1.5 + 1.0 + 0.4	1.5 + 1.0 + 0.4	1.5 + 1.0 + 0.4	1.5 + 1.0 + 0.32	1.5 + 1.0 + 0.4	1.5 + 1.0 + 0.4	1.5 + 1.0 + 0.4
	上	1.5 + 0.06	1.5 + 0.05	1.5 + 0.1	1.5	1.5 + 0.12	1.5 + 0.1	1.5	1.5
	下	1.5 + 0.06	1.5 + 0.05	1.5 + 0.1	1.5	1.5 + 0.12	1.5 + 0.1	1.5	1.5
芯片尺寸 (mm <sup>2</sup> )	8.2 × 6	7.6 × 5.5	9.2 × 6.8	8.4 × 6	12 × 9	10.8 × 8	14 × 10.2	12.4 × 9	
芯片单元 (mm <sup>2</sup> )	8.4 × 6.2	7.8 × 5.7	9.4 × 7.0	8.6 × 6.0	12.2 × 9.2	11 × 8.2	14.2 × 10.4	12.6 × 9.2	
毛芯片数	277	330	214	280	116	149	84	112	

$$\text{毛芯片数计算公式 } N_{\text{chip}} = \frac{\pi \left( \frac{D}{2} - \sqrt{A} \right)^2}{A}, \text{ 其中: } D=15\text{mm}(6'), A \text{ 为显示芯片面积}^{[5.24]}$$

示, 整个 LCoS 显示芯片尺寸为: 12.2mm × 9.2 mm, 对角线约 0.6 英寸。按照毛芯片数计算公式, 可在 6 英寸地单晶硅上最大制作 116 个 LCoS 芯片。这个结果与 16M 的 DRAM 相当。

## 5.8 LCoS 显示芯片光学特性分析

前面章节已设计完成显示芯片的电路结构, 接着需要考虑光学性能设计, 其中最重要的两个参数: 对比度和亮度。用于投影显示系统的 LCoS 液晶盒要求对比度不低于 200:1, 而用于头盔显示的 LCoS 液晶盒由于所处结构对环境光线有良好遮蔽作用, 对比度只要求不低于 20:1[16]。对比度主要与所使用的液晶材料相关, 我们采用的 Merck 快速 TN 液晶具有 200:1 的对比度。亮度的极限值等于光源亮度, 实际不可能无限提高光源亮度, 则像素电极对光源的反射率变成重要参数。

20 世纪 60 年代初, PBeckmann 等人对微小面积的表面光学特性进行过系统的分析与研究<sup>[5.25][5.26]</sup>, 当一束光射至镜表面时, 受微观表面不平度的调制, 反射光分成镜反射光和漫反射光, 忽略材料的光吸收率影响, 并且通常表面不平度均呈高斯型分布, 则镜反射率  $\rho$  和漫反射率  $\rho^*$  可表示为:

$$\rho = \rho_0 \exp\left[-16\pi^2\left(\frac{R_q}{\lambda}\right)^2\right] \quad \rho' = \rho'_0 \exp\left(\frac{2\pi R_q}{\lambda}\right)^2 \quad (5.8.1)$$

其中,  $\rho_0$  是理想光滑面的反射率,  $\rho'_0$  是理想光滑面的漫反射率,  $\lambda$  是入射光波长,  $R_q$  为表面轮廓高度的均方根偏差。但实际评价镜面粗糙度时, 容易测量且广泛采用的粗糙度参量是算术平均值  $R_a$ , 对于大多数高斯对称分布的表面结构,  $R_a$  与  $R_q$  的关系为:

$$R_a \approx \sqrt{\frac{2}{\pi}} R_q \quad (5.8.2)$$

把(5.8.3)式代入(5.8.1)式, 得  $\rho$  与  $R_a$  的近似关系式:

$$\rho \approx \rho_0 \exp\left[-8\pi^3\left(\frac{R_a}{\lambda}\right)^2\right] \quad (5.8.3)$$

图 5-8-1 展示了用铝(Al)金属制作的镜面反射率与入射波长及表面粗糙度的实际测量值和理论拟合曲线<sup>[5.27]</sup>。可见, 理论算法和实际测量值都表明随着粗糙度的减小, 反射率将大幅度提高, 而且, 随着沉积金属铝的温度升高, 得到的金属铝表面粗糙度反而增大。

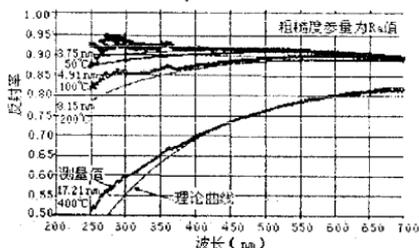


图 5-8-1 金属铝表面粗糙度与其反射率的关系曲线

为了获得高反射率的镜面, LCoS 微显芯片上的像素电极应当制作得即平整又光滑。IC 工艺称形成平坦绝缘层的技术为整平工艺。在 LCoS 微显芯片制作工艺中将引入整平工艺来提高反射率。虽然制作像素反射面已到了 LCoS 芯片的后期工序, 但在前期制作每层金属时, 首先在芯片上覆盖一层平坦的绝缘材料, 然后沉积金属膜, 金属膜通过穿孔与下面的电路连接, 如此循环工艺可保证第 3 层金属膜既是电极又是反射镜面。现代 IC 工艺有多种整平工艺, 如旋转喷涂绝缘填充物(SOG), 化学气相沉积绝缘层, 化学机械抛光(CMP)等工艺。通常用平整度 DOP 衡量整平效果, 平整度 DOP 定义为<sup>[5.28]</sup>:

$$DOP = 1 - \frac{t_{after}}{t_{before}} \quad (5.8.4)$$

其中  $t_{after}$  为整平后器件表面高度差;  $t_{before}$  为整平前器件表面高度差。

一般旋转喷涂整平法的 DOP 值 18%~35%<sup>[5.29]</sup>, 而 CMP 工艺的 DOP 值约 95%<sup>[5.30]</sup>以上。O'Hara 等人曾在 174 x 176 像素矩阵的 LCoS 微显上使用 CMP 工艺整平反射面, 得到 98.7% 的 DOP 值<sup>[5.31]</sup>。

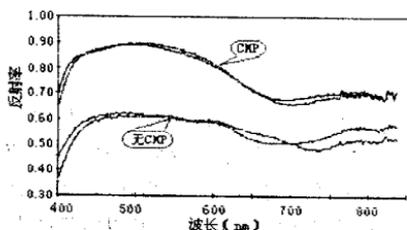


图 5-8-2 CMP 工艺对铝电极反射率的影响

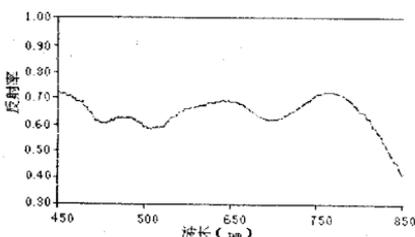


图 5-8-3 LCoS 微显液晶面板反射光谱曲线

图 5-8-2 反映了在制作金属铝电极过程中<sup>[5,28]</sup>, 采用 CMP 工艺后, 在相同入射光谱下电极表面反射率变化的比较。图 5-8-3 是三五公司的 J.H.Morrissy 等人<sup>[5,32]</sup>运用 CMP 工艺制作的 LCoS 芯片封装液晶后的反射率与入射光波长的关系曲线。

然而, 当初在 IC 工艺中建立 CMP 技术是为了填平复杂电路提高平面光刻精度, 以及防止电荷尖端积累效应等, 从而改善电路性能。这些优势都为 LCoS 芯片制作所运用, 且有助于制作反射镜面, 可见, 用 IC 技术设计制作 LCoS 显示芯片合情合理。

## 5.9 显示控制器

LCoS 显示控制器的主要作用就是把视频/图像数字信号转换成 LCoS 显示器能显示的数据格式。因为 LCoS 显示器与其它平板显示器一样, 仅支持逐行扫描格式的数据输入, 且分辨率也是固定不变。因此, 必须将不同扫描格式的图像数据经过转换电路对画面像素数日进行变换, 使之与 LCoS 显示器显示规格相适合。

### 5.9.1 显示控制器结构

与本篇论文设计的彩色 LCoS 显示器相匹配的显示控制器结构宽图如图 5-9-1 所示。图中视频解码器可采用 PHILIPS 的 SAA7111A 或 SAMSUNG 的 KSO127。这两种解码器都能自动识别输入视频信号的制式, 然后解码输出 24bit RGB 或 16bit YUV 数字信号, 同时输出 Hsync、Vsync、Blank 及采样时钟。

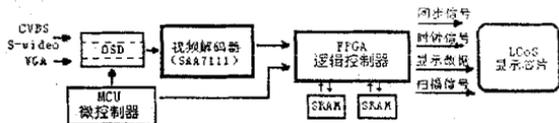


图 5-9-1 FPGA 作显示控制器典型应用框图

这里的显示控制系统采用 PHILIPS 最新推出的视频 A/D 芯片 SA7111, 将从 CCD 输出的 PAL 制式的全电视信号转换为数字信号; 对于 VGA 信号, 可以采用 Motorola 的 MC44251 等芯片进行视频信号的 A/D 变换。然后由 FPGA 对该 8 位数字信号进行采样, 产生 LCoS 显示器需要的时序彩色 VGA 信号。

### 5.9.2 FPGA 的逻辑设计要点

场序彩色显示方式的数据变换主要是对存储器的读写操作, 实现存储器的寻址和读写, 采用 FPGA 设计逻辑控制器是非常合适的。FPGA 是一类新型用户可编程器件, 集成度高、逻辑实现能力强、设计灵活性好。它们除了具有 ASIC 的特点之外, 还具有以下几个优点:

- (1) FPGA 芯片的规模也越来越大, 其单片逻辑门数已达到上百万门, 可以实现系统集成。
- (2) FPGA 芯片在出厂之前都做过百分之百的测试, 不需要设计人员承担投片风险和费用。

设计人员只需在自己的实验室里就可以通过相关的软硬件环境来完成芯片的最终功能设计。所以,节省了许多潜在的花费。

如图 5-9-2 所示, FPGA 的基本结构通常包含三类可编程资源:可编程逻辑功能块(CLB)、可编程输入输出块和可编程互连资源。可编程逻辑功能块(CLB)是实现用户功能的基本单元,它们通常规则地排成一个阵列,散布于整个芯片;可编程输入输出块是芯片在逻辑上与外部封装腿的接口,常围绕着阵列排列于芯片四周;可编程内部互连包括各种长度的连接线段和一些可编程连接开关,它们将各个可编程逻辑块或输入输出块连接起来,构成特定功能的电路。我们采用 Xilinx 公司 TQ144 封装的 XC4006E

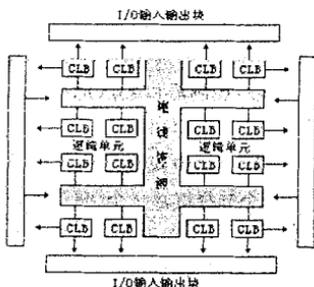


图 5-9-2 FPGA 结构示意图

作逻辑控制器。XC4006E 具有 4-12K 系统门, 608 个逻辑单元, 256 个可配置逻辑功能块<sup>[5.33]</sup>。

图 5-9-3 为采用 XC4006 设计逻辑控制器内部电路的结构框图。采用两个存储器组, 交替存储先后场的数据, 写地址发生器和读地址发生器交换对两组存储器寻址。

地址发生器由计数器和一部分 D 触发器、逻辑门组成。主要具有场延迟功能和地址发生功能。由于所采图像位 640×480(LCoS 显示器为 VGA 分辨率), 而 SA7111 中的输出信号为 720×625, 因此需要对 SA7111 信号进行行延迟和场延迟。

在图像数字量存入存储器时, 由于 PAL 制的全电视信号为奇、偶场分离, 可以利用奇偶信号 RES1 作为地址线, 在内存中合成一幅完整的 VGA 分辨率图像。

LCoS 芯片是按行和列有序扫描方式实现显示的, 需要准确的扫描时序控制信号才能很好的工作。行扫描移位时钟由行同步信号产生, 列扫描时钟要与行同步信号同步。所以行和场的同步信号是设计扫描时序控制电路的依据。

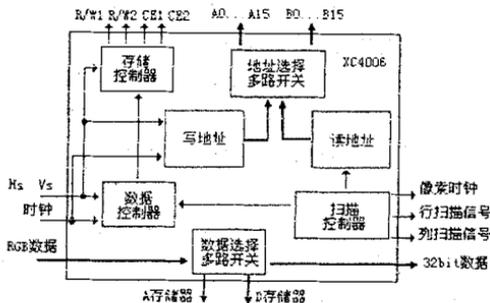


图 5-9-3 逻辑控制器内部电路结构框图

因此, LCoS 显示控制器由 FPGA 和两组 SRAM 组成。该部分电路主要功能是实现数据变换和彩色场序。FPGA 接收 R、G、B 数字, 采用一种数据变换的算法将 R、G、B 数据由 8 位变为 32 位, 再存入一组 SRAM, 同时将存在另一组 SRAM 中的上一帧图像读出送入 LCD 屏。两组 SRAM 交替读写操作, 读写场序由 FPGA 直接控制。FPGA 的另一个功能是产生 LCD 屏所需要的子场行同步、场同步、行写入、LED 控制、点时钟(像素时钟)等信号。

### 5.9.3 字符叠加功能设计

所谓字符叠加(OSD)功能是指在显示图像信号的时候, 屏幕上能同时显示其它信息。譬如,

当人们调谐画面时，在屏幕上给出那些包括图像亮度、对比度、色度和音量大小的提示。

目前已经有可供选用的 OSD 专用芯片，如 NEC 的 uPD6450、uPD6461A、ZILOG 公司的 Z90255 等，uPD6450 采用 13×10mm 的 SOP 封装，输入的视频信号为复合电视信号(对于 VGA 方式的输入信号可采用 uPD6461A)。uPD6450 需要主控 MCU 来配置和操作，而 Z90255 把 OSD 显示控制器和 ZILOG 公司的 Z8CPU 集成在一起，使用起来更为方便，只是 Z90255 采用 SDIP 封装，体积太大，不宜用在头盔显示系统。

实际设计中我们采用三键结构，一个选择键，一个“+”键，一个“-”键。置于手持式控制器的一侧，观看者可以用右手拇指凭直觉操纵三个键来调整画面。

主控 CPU 采用 89C2051 来完成 SAA7111WP 和 uPD6450 的配置和实时控制。89C2051 有 15 个 I/O 口线可供使用，如图 9-5-4 所示。

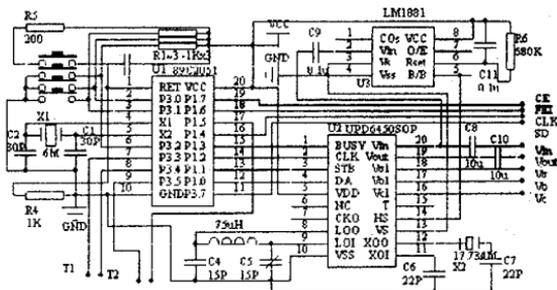


图 9-5-4 OSD 电路原理图

其中 4 条口线用于配置 uPD6450，4 条口线用于配置 SAA7111，两条用于音量控制，两条用于节能工作模式。节能工作模式是通过监测 SAA7111 第 30 脚的场同步脉冲，如果 20 秒内视频信号不出现，主控 CPU 应切断光源及主电路供电以减少功耗，在视频信号出现时应自动唤醒使电路处于工作状态。

系统接收的视频信号是 CVBS(复合视频信号)。输入的视频信号先经过模拟视频信号的处理，转变为数字的 R、G、B 信号。模拟视频信号的处理首先是字符叠加。视频信号同时输入同步分离和 OSD 电路。同步分离电路分离出视频信号中的行、场同步信号。OSD 电路根据行、场同步信号，在视频信号中叠加入彩色的字符和图形信号。经过字符叠加的视频信号经视频解码和 A/D 转换变为 R、G、B 数字信号输出。

以 FPGA 为核心构成的 LCoS 显示控制器，不需要增加额外的硬件资源，具有集成度高，功耗低的优势，可以说与新型的 LCoS 显示器配置在一起时，正是相得益彰。特别是 FPGA 可进行编程来适应不同显示模式的 LCoS 显示器。

## 5.10 光学组件

近年，关于反射式 LCD 光学结构的报道和研究已经非常多了<sup>[5,34]</sup>。图 5-10-1 给出了众所周知的准轴(on-axis)方案，这是一种非常紧凑的结构，从封装角度来看很有吸引力。从光源发出的光，经偏振光束分离器(polarizing beam splitter, 简称 PBS)

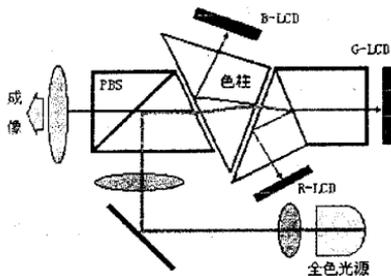


图 5-10-1 反射式 LCD 光学系统原理图(单色)

起偏后射到色柱(color cube)和微型 LCD, 由色柱将偏振光分成三基色。光学系统的极限对比度由棱镜和玻璃中应变双折射的薄膜设计决定。Aurora 公司设计的反射式 LCD 用 PBS 光学系统可以产生 400:1 以上的对比度。

按照本篇论文设计的场序彩色模式, 可以进一步简化上述光学系统, 即省去色柱, 而用三基色光源替代白光源, 用组合棱镜替代工艺复杂的 PBS 光学系统, 如图 5-10-2 所示。红、绿、蓝三基色组成外光源, 在一定频率的时钟信号驱动下, 配合 LCoS 芯片电路运作, 依次产生红色、绿色、蓝色光脉冲, 照射到 LCoS 显示芯片上。然后, 利用人眼的特性将反射光合成彩色光。时序彩色模式不使用 RGB 微滤色膜, 非常有利于提高显示分辨率, 且免去了制作微滤色膜的复杂工艺。

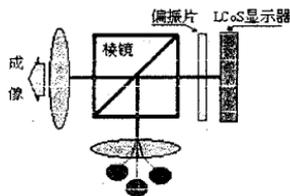


图 5-10-2 场序彩色 LCoS 光学系统原理图 (彩色)

## 5.11 小结

我们在本章首先确定了 LCoS 作为非自发光反射式液晶显示器应具备的显示性能参数和系统结构, 同时提出一种新的场序彩色模式。然后利用参数空间法优化了单偏振片反射式液晶盒的光学特征, 特别设计出一种新的低压驱动电路来实现场序彩色功能, 而且进一步提出了电路子单元的结构。另外, 从芯片整体角度分析了 LCoS 显示芯片的功耗、散热、面积分配, 光学性能等基本问题及其相应解决策略。实际上, 本章从系统功能、器件结构、电学特性、光学特性等方面对彩色 LCoS 显示器作了多次层划分和讨论, 并针对各方面给出详细设计方案, 其中还简单介绍了显示控制器和光学组件, 这些结果将影响并指导着第八章的芯片版图设计。

## 参考文献

- [5.1] 代永平, 孙钟林, 耿卫东. 彩色 LCoS 微型显示器设计[J]. 半导体技术, 2001, 26(10): 37~39
- [5.2] 俞斯乐, 郭福云. 电视原理(第四版)[Z]. 国防工业出版社, 1994
- [5.3] M.Wand, Chronocolor FLC Devices for High Resolution Projection Displays[C], Projection Displays TV, SPIE Proceedings 3296, Ming Wu, Ed., 1998: 13~18
- [5.4] Jeffrey A. Shimizu. Single Panel Reflective LCD Optics [J]. Information Display, 2000, 12(3): 18~21
- [5.5] Cheng H, Gao H, Zhou F. Dynamic parameter space method to represent the operation modes of liquid crystal displays [J]. J. Appl. Phys., 1999, 86(11): 5935~5937
- [5.6] Sugimura A, Luckhurst G R, Zhong-can O-Y. Director deformation of a twisted chiral nematic liquid crystal cell with weak anchoring boundaries [J]. Phys. Rev., 1995, E52(1): 681~689
- [5.7] Berreman D W. Optics in stratified and anisotropic media: 4×4-matrix formulation [J]. J. Opt. Soc. Am., 1972, 62(4): 502~510

- [5.8] F.H.Yu, et al. A new TN-ECB mode reflective liquid crystal display with large cell gap and low operating voltage [J]. Proc. Of ESSDERC'99, 1999: 708-711,
- [5.9] E.Jakeman, E.P.Raynes. Phys.Lett. [J], 1972: 39A, 69
- [5.10] 松本正一, 角田市良[日]. 液晶的最新技术——物性·材料·应用[Z], 化学工业出版社, 1991
- [5.11] M.D.Wand, W.N.Thurmes, R.T.Vohra, K.M.More. Advances in Ferroelectric Liquid Crystal for Microdisplay Applications [J], SID DIGEST, 50(3): 87-90
- [5.12] S.Nakajima, Y.Sugiyama, H.Ichinose, H.Numata, S.Naemura. Novel Liquid -Crystal Materials with High Birefringence and Low Rotational -Viscosity for the Field-Sequential Color TN-LCDs[J]. SID'00 Digest, 2000, 31(1): 242-245
- [5.13] 代永平, 孙钟林, 耿卫东. 彩色LCoS微型显示器设计[J], 半导体技术, 2001, 26(10): 37-39
- [5.14] 代永平, 耿卫东, 孙钟林. 硅基液晶显示器(LCoS)核心——显示系统芯片的设计分析[J], 光电子技术, 2001, 21(1): 79-88
- [5.15] C.Hosokawa. Full-Color Organic EL Display [J], SID Digest, 1998, 1(4): 7-10
- [5.16] 周守昌. 电路原理(下册) [Z], 高等教育出版社, 1999
- [5.17] 代永平, 孙钟林, 王隆望. 用CADENCE实现LCoS显示芯片设计[J], CADENCE中国通讯, 2002, 1: 15-18
- [5.18] [日本]金子英二 著, 刘维民, 田辉 译. 液晶电视显示技术, 江苏科学技术出版社, 无锡, 1990
- [5.19] Kinugawa K, et al. 1986 SID Int. Symp. Digest, 1986, 122
- [5.20] Kotod K, et al. J. Appl. Phys. 1987, 26, L1784
- [5.21] 杨国琛, 王存道. 液晶显示屏像素的边缘效应及像素密度的理论上限[J], 液晶与显示 1996, 11(2): 111-117
- [5.22] H.C.Huang, D.D.Huang, J.Chen. Optical Modeling of Small Pixels in Reflective Mixed Mode Twisted Nematic Cells [J], 99'Digest, 1999, 30(1): 18-22
- [5.23] Jan M.Rabaey. Digital Integration Circuits [Z] 清华大学出版社-PRENTICE HALL, 1999
- [5.24] Technology Associates. Semiconductor Technology Handbook. 1982: 70-100
- [5.25] Beckmann P, Rodenstock G, Thum G. An Optical Instrument for Measuring the Surface Roughness in Production Control [J], CIRP, 1984, 33: 403-406
- [5.26] Gu C, Peiponen K E, Silvennoinen R, et al. A Simple Proximity Sensor for Metal Surface Quality Monitoring [J], Precision Engineering, 1994, 16(3 ): 219-222
- [5.27] Paul Moore, Philip Cacharelis, Jerry Frazee, David Chung, Rick Luttrell, Russell Flack. A reflective-mode EEPROM-based silicon light-valve technology [J], J.SID, 1999, 7(2): 87
- [5.28] Paul Moore, Philip Cacharelis, Jerry Frazee, David Chung, Rick Luttrell, Russell Flack. A reflective-mode EEPROM-based silicon light-valve technology[J] SID'99 Digest, 1999, 7(2): 87-90
- [5.29] B.Merriman, J.Craig, A.Nader, et al, Properties of thin film polyimide films [J], Proc. 39<sup>th</sup> ECC, 1989, 5
- [5.30] A.O'Hara, J.R.Hannayh, I.Underwood, et al, Mirror Quality and Efficiency Improvements of Reflective Spatial Light Modulators Using Dielectric Coatings and Chemical Mechanical Polishing [J], Appl Opt, 1993, 32(28): 5549-5556
- [5.31] R.DeJule. Advances in CMP [J], semiconductor International, 1996, 19 (12): 88-96
- [5.32] J.H.Morrissy, M.Pfeiffer, D.Schott, H.Vithana. Reflective Microdisplays for Projection or Virtual-View Applications [J] SID'99 Digest, 1999, 30(1): 180-184
- [5.33] 耿卫东, 夏敏, 代永平, 孙钟林. 采用LCoS芯片的头盔显示系统视频接口电路的方案设计[J], 光电子技术, 2001, 21(3): 155-164
- [5.34] F.Salo, Y.Yagi, K.Hanihara. High Resolution and Bright LCD Projector with Reflective LCD Panels [J], SID'97 Digest, 1997, 22(3)

## 第6章 投影显示用单色 LCoS 显示芯片研制

正如本篇论文在绪论一章中论及的那样, LCoS 技术上的许多优点使它很适用于高清晰度显示器, 其应用产品被广大消费者和业内人士看好, 市场潜力无限<sup>[6.1]</sup>。Philips 公司认为 LCoS 是一种基于常规 CMOS 硅加工工艺的反射技术, 具有低投资、低制作成本、高分辨能力及高开口率等突出的优点。实际上, LCoS 将是 HDTV 的背投影技术发展的重要方向之一。前一章本篇论文设计了近眼型场序彩色 LCoS 显示器系统, 同时我们注意到 LCoS 显示芯片仍是彩色投影机的核心, 因此, 本篇论文还研制了用于三片式彩色投影机的高集成化 LCoS 显示芯片, 采用 0.6 $\mu\text{m}$ -四层金属-双电源 CMOS 工艺设计和制作的, 其空间分辨率为 800 $\times$ 600 像素(目前已由首钢日电成功流片)。

### 6.1 单色 LCoS 显示系统结构与性能

前一章已经从工作原理上指出, LCoS 投影系统和传统的 TFT-LCD 投影仪都是作为光源调制器件来控制投影图像, 达到大屏幕显示目的。与其它透射式显示系统相比, LCoS 显示器是一种反射式光调制器, 利用标准 CMOS 工艺制造, 把像素的驱动电路和显示矩阵一并集成在硅片上, 通过使用电极镜面来反射入射光, 因此驱动电路不会影响到入射光的截面积, 从而大大提高开口率, 使得图像平滑而连续, 这对于自然物像与电视的显示来说是十分重要。反射式投影可以得到比透射式投影更大的亮度, 栅格效应也大大减小而不可觉察<sup>[6.2]</sup>。

#### 6.1.1 LCoS 投影显示系统光学结构

实际上, LCoS 投影系统是一个由许多部分组成的复杂光学系统。其中, LCOS 液晶盒的光学特性和光学引擎(Optical Engine)性能都将决定着整个系统的主要特性和投影性能。

在 LCoS 液晶盒中, 有源矩阵电路提供每个像素的一个电极和共用透明电极 ITO 之间的电压, 液晶层夹在像素电极与公共电极之间, 其基本光学结构如图 6-1-1 所示, 其中, 金属像素电极同时充当反射镜的角色。入射的 S-线偏振光经 PBS 反射后照射到 LCoS 液晶片上, 有源矩阵电路根据图像信息对每个像素施加不同的电压, 由于液晶的

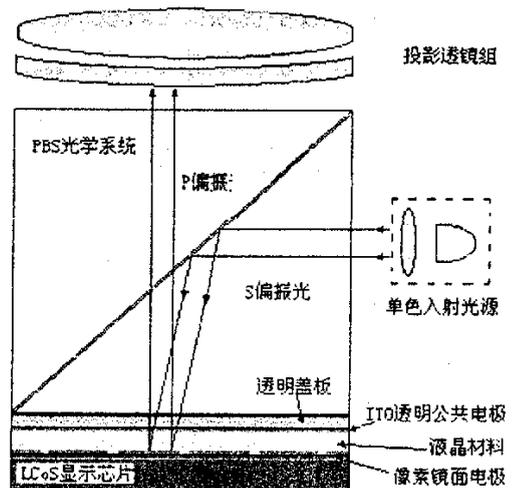


图 6-1-1 LCoS 投影显示系统结构示意图

电光效应,部分反射光转变成携带图像信息的P-偏振光,通过象素镜面阵列反射后透过PBS光学系统,然后放大投影在屏幕上或者直接投影到观察者的视网膜上<sup>[6.2]</sup>。

另外,投影用LCoS显示芯片要求更多的温度处理和正确的光屏蔽(light shielding)等功能。机械结构必须具有足够精确性,以维持三个液晶屏上的相应子象素能相互对准。通常LCoS投影放大显示倍数约20倍~60倍,要求LCoS象素上缺陷尺寸放大后小于0.2mm~0.5mm。

## 6.1.2 LCoS 投影显示系统电路结构

本篇论文设计的三片式投影显示系统采用空间混色法实现彩色化。分别用三片LCoS显示芯片控制红绿蓝三基色图形,然后通过光学系统实现空间混色。

图6-1-2示出了本篇论文设计的投影用单色LCoS显示器系统功能电路框图。三片LCoS显示芯片支持逐行扫描格式的数据输入,且分辨率也是固定不变的。AL300用来将不同格式和不同分辨率的视频/图形数字信号转换成LCoS显示器能显示的数据格式,并由外部微处理器实现模式编程设置及控制<sup>[6.3]</sup>。图中TV视频解码器可采用PHILIPS的SAA7111A或SAMSUNG的KSO127。这两种解码器都能自动识别输入视频信号的制式,然后解码输出24bit RGB或12bit

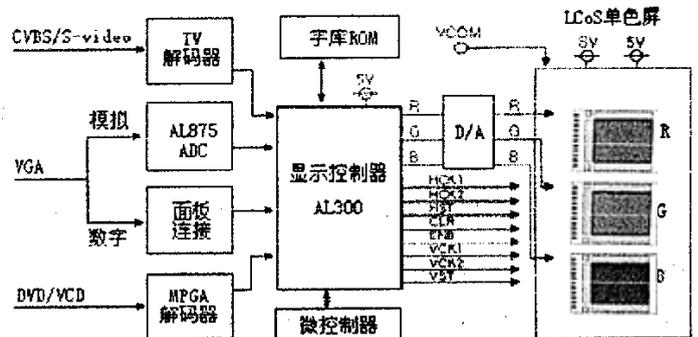


图6-1-2 LCoS单色显示器系统功能电路框图

YUV数字信号,同时输出Hsync、Vsync、Blank及采样时钟。

来自PC的模拟R、G、B图形信号经AL875输入到AL300。VCD/DVD信号可用MPGA解码器与AL300连接。AL300同时支持单象素/时钟和双象素/时钟两种显示模式。输出接口包括:24-bit RGB奇象素数据、24-bit RGB偶象素数据、显示允许、显示时钟、奇象素数时钟、偶象素数时钟、行同步和场同步等信号,具体显示模式可编程控制。

D/A将彩色数字视频信号转换成红、绿、蓝三基色模拟信号分别输入三块LCoS显示屏。三块LCoS显示屏分别调制红、绿、蓝三基色光源,通过空间混色方式实现彩色化。

## 6.1.3 液晶工作模式

在彩色LCoS显示器的设计中,本篇论文已采用参量空间法详细分析了反射式液晶盒的工作模式。投影用单色LCoS显示器也应该具有较好的光反射性能,在CMOS兼容电压下实现有效的转换。由于在投影机中使用的同样是窄带红、绿、蓝光,通常不考虑波长的离散性。针对这些要求,将优先选用带有偏振波束分离器(PBS)的常白型(NW)工作模式<sup>[6.4]</sup>。

前一章已指出普通常白型模式有ECB、TN-ECB、MTN和SCTN等模式。所有这些LCD模式均能用扭曲角 $\varphi$ 、延迟度 $d\Delta n$ 和偏振角 $\alpha$ 这三个参数来表征。通过 $(\varphi, d\Delta n, \alpha)$ 参数空间,

我们可以用 100% 反射系数来定义一系列 LCD 模式，这些模式被称为混合扭曲向列型和双折射(MTB)模式。MTB 模式的优点是综合了扭曲向列型和双折射的光调制作用，因此，可以在低电压下实现高对比度显示<sup>[6.5]</sup>。

在液晶盒封装代工生产线，我们将采用 MTB 模式液晶材料封装 LCoS 液晶盒，图 6-1-3 是制作有与实际 LCoS 显示器一样反射镜面的试验液晶盒，在红、绿、蓝光照射下的反射率与电压的关系曲线。在  $V_{rms}=4.5V$  处，红、绿、蓝光的对比度分别为 270:1，190:1 和 150:1。对于白光照明的典型对比度为 200:1。

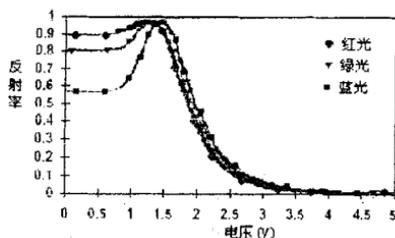


图 6-1-3 反射率与工作电压的关系曲线

#### 6.1.4 主要显示性能指标

根据上述显示系统外围伺服电路工作模式和所选择的液晶材料，下面将从系统级角度讨论一种用于投影显示系统的单色 LCoS 显示芯片的设计，与前一章的场序彩色方式相比，对 LCoS 显示芯片电路提出完全不同的功能要求。见表 6-1-1 所示。

表 6-1-1 投影用单色 LCoS 显示性能参数 (逐行扫描模式)		
主要规格指标	显示类型	硅基有源矩阵液晶单色显示
	像素数目	800×600 (480,000)
	像素尺寸	16 $\mu$ m
	有效显示开口率	92 %
	灰度	8 位 256 级
电学性能指标	驱动模式	公共电极电位固定
	功耗	100mW
	视频输入信号格式	模拟式
	工作电压	5 V, 8 V (双电源)
	场频	50 Hz
液晶材料显示性能指标	行频	30 KHz
	显示模式	反射型, 常白模式, MTB 液晶材料
	对比度	> 100 : 1
	视角	160°
	响应速度 (10% - 90%)	10ms 从亮态变为暗态, 20ms 从暗态变为亮态
尺寸规格	液晶工作电压	1 ~ 4.5 V
	像素矩阵	7.68 mm × 5.76 mm
	像素矩阵和周边驱动电路	9.32 mm × 6.10 mm
	微显芯片尺寸	17.00 mm × 12.24 mm
使用环境温度	微显示器重量	~ 0.5 g
	工作温度	0°C ~ 55°C
	保存温度	-20°C ~ 75°C

本章研究工作的目的不仅仅进行 LCoS 显示芯片的原理设计、计算机辅助仿真，而且进一步“物化”，即在单晶片上完成工艺实现。为了提高本次设计的成功率，我们采用投影显示

系统中主流产品的显示性能指标(见表 6-1-1), 这样一方面不会因为内外电路设计难度的大幅度增加而影响“物化”过程, 另一方面若这种模拟式单色显示方式能成功实现, 就可直接与主流产品接轨。

## 6.2 单色 LCoS 显示芯片工作模式及其电路结构

与前一章彩色 LCoS 显示芯片的工作原理类似, 图 6-2-1 示意了整个 LCoS 芯片的电路结构功能图。总体上芯片电路可划分为行扫描驱动器, 列数据驱动器, 和显示像素矩阵。为了降低芯片工作频率, 同时利于周边驱动电路布局布线, 本篇论文把列数据驱动器分为电学结构完全一致的上下两组, 分别驱动奇偶数据线。显然, 芯片面积分配模式与彩色 LCoS 显示芯片相同, 可参考前一章的相关叙述。

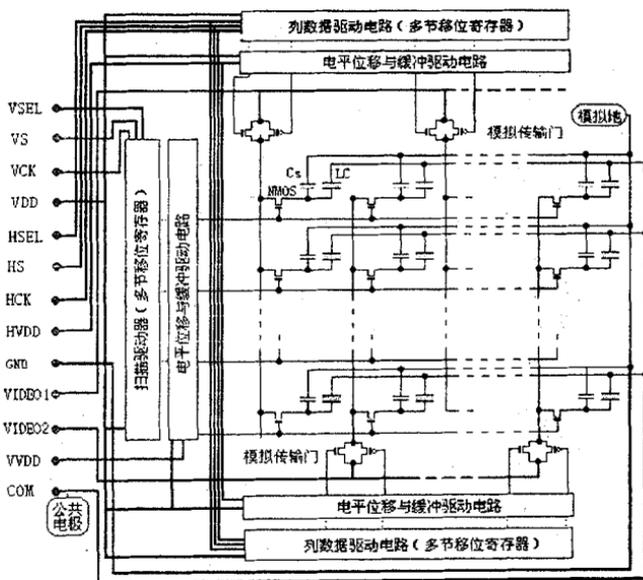


图 6-2-1 单色 LCoS 显示芯片电路结构框图

### 6.2.1 显示芯片电路功能系统设计

不同于彩色 LCoS 显示芯片中采用的逐行寻址, 单色 LCoS 显示芯片采用逐点寻址方式。扫描驱动器位于芯片左边, 它有 600 个驱动单元, 依照帧触发时钟 VS 和扫描时钟脉冲 VCK 同步控制, 它们从第一行到最后一个行依次驱动。另一方面, 上下列数据驱动器各由一个双向

可选择的400节移位寄存器和一组模拟传输门组成。移位寄存器在信号时钟脉冲HS和像素时钟脉冲HCK的控制下,从左到右依次将信号输入400个模拟传输门,控制其对视频模拟信号的导通时间。结果以恒定的间隔取样于连续的单色视频图像信号,并直接输入相应的视频信号电极线,从而作用到正被选取的扫描行的像素电极上。

单色LCoS显示芯片采用视频信号电极逐场反转模式,即每过一帧时间,它改变一次视频信号RGB的极性,于是视频信号成为周期性改变的交流电压,从而可以防止液晶材料的电化学退化。

总的说来,投影用单色LCoS显示芯片的电路结构应具备下列特点:

- 1) 数字信号输入 I/O 端口配置防静电电路。
- 2) 脉冲信号要做波形整理。
- 3) 液晶材料的电光特性要求高压驱动,因此使用双电源。
- 4) 芯片面积较大(对角线约 0.83 英寸),需采用多级链时钟驱动电路增强时钟信号驱动能力。
- 5) 行、列驱动器均能控制数据传输方向,以配合不同的光学成像。
- 6) 采用结构简洁而稳定触发器构成多节移位寄存器。

### 6.2.2 显示芯片工作频率与功耗分析

从前面彩色 LCoS 显示芯片的设计中我们知道,二维寻址平板显示器有三个基本工作频率参数:场频( $F_f$ ),行频( $F_r$ )和像素频率( $F_p$ )。场频是指显示图像的刷新频率,令显示分辨率  $N_c \times N_r$ , 视频数据输入模式系数  $a$ , 则  $F_p$ ,  $F_r$  和  $F_f$  有如下关系式:

$$F_r = F_f \cdot N_r \quad F_p = a \cdot F_r \cdot N_c = a \cdot F_f \cdot N_r \cdot N_c \quad (6-3-1)$$

按照我国的电视制式, 本篇论文对三片式投影系统采用  $F_f=50\text{Hz}$ , 显示分辨率为  $800 \times 600$ , 表 6-2-1 列出了单色与场序彩色 LCoS 显示芯片的工作频率情况。

表 6-2-1 单色与场序彩色 LCoS 显示芯片的工作频率

LCoS 显示模式	视频数据输入模式系数 $a$	显示分辨率	场频 $F_f(\text{Hz})$	行频 $F_r(\text{Hz})$	像素频率 $F_p(\text{Hz})$
逐行显示场序彩色化	1/6	640×480	750	360 K	38.4 M
逐点显示单色	1/2	800×600	50	30 K	12M

前一章已讨论过, 单晶硅芯片的功耗通常由四部分组成<sup>[6,7]</sup>:

- (1) 动态功耗  $P_D$ : 主要指对电容性特征器件(如 MOS 管的栅极、连线、象素存储电容等)的充电功耗。
- (2) 短路功耗  $P_{S1}$ : 主要指电路高低电平转换瞬间在电源与地之间形成的低电阻电路功耗。
- (3) 静态功耗  $P_{S2}$ : 主要指电路处于稳态电平时在电源与地之间形成的高电阻电路功耗。
- (4) 漏电流功耗  $P_L$ : 由反向漏电流造成的直流功耗。

对于用 CMOS 工艺制造的单色 LCoS 显示芯片, 静态功耗和漏电流功耗都非常小, 完全可以忽略。另外, 在 CMOS 电路中, 只有上拉电路和下拉电路同时导通才会产生短路功耗,

这主要受数字信号的上升时间或下降时间影响。在 LCoS 显示芯片电路结构中设计有整形电路，可保证这类时间小于  $1ns$ ，故短路功耗也可以忽略。总的功耗：

$$P \approx P_D \quad (6.4.1)$$

这里，每行扫描线电极驱动的总栅电容  $C_g = 800 \times 20 \text{ fF} = 16 \text{ Pf}$ ；每个象素的电容量  $C_p$  约  $0.4 \text{ pF}$ ；逐行扫描频率  $30\text{KHz}$ ；逐点写入频率  $12\text{MHz}$ ；最大工作电源电压  $V_{AD} = 10\text{V}$ ；把这些值连同(5.7.2)式代入(6.4.1)式，得到 LCoS 芯片的功耗估计值：

$$P = C_g F_r V_{AD}^2 + C_p F_p V_{AD}^2 \approx 0.4 \text{ mW}$$

可见，由于工作频率低，单色 LCoS 显示芯片的功耗远低于场序彩色 LCoS 显示芯片。

### 6.3 单色 LCoS 显示芯片制作工艺考虑

前面 LCoS 显示芯片功能系统的设计方案中指出，显示矩阵象素单元电路有高电压的驱动要求，本篇论文采用首钢日电的  $0.6\mu\text{m}$ -CMOS-12V 高压工艺实现显示芯片设计，但由于相关工艺细节涉及首钢日电的商业机密，这里不便作详细的工艺流程描述。实际上，为了能提供  $0\sim 10\text{V}$  的宽范围工作电压、良好的光学反射镜面，与常规 CMOS 工艺相比， $0.6\mu\text{m}$ -CMOS-12V 高压工艺作如下修正：

- (1) 设置高压晶体管区，该区内特别制作高压 p-阱和高压 n-阱，以及 CMOS 管在版图合成时自动产生一张独立的栅氧化层版，保证高压区晶体管栅氧化层厚度是普通管子的 2 倍，从而增强 MOS 管的击穿电压；
- (2) 虽然采用  $0.6\mu\text{m}$ -CMOS 设计规则，但高压区内晶体管几何尺寸设计遵循  $0.8\mu\text{m}$ -CMOS 工艺规则；
- (3) 对 NMOS 管使用浅掺杂漏极(LDD)结构；
- (4) 多晶硅栅线边缘作  $45^\circ$  斜坡处理；
- (5) 布线金属层单独用作避光材料；
- (6) 对连接金属 3 和金属 4 的窗孔钨塞进行回蚀整平处理；
- (7) 对沉积金属 4 的绝缘层薄膜进行 CMP 工艺整平；
- (8) 适当减薄金属 4 的厚度(约为其它金属层的一半厚度)来降低金属表面的粗糙度，从而提高反射率。

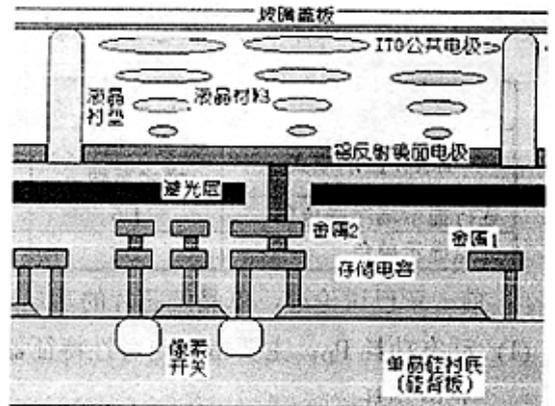


图6-3-1 LCoS芯片剖面示意图

投影用 LCoS 芯片物理结构剖面示意如图 6-3-1 所示。图中金属 3 用作避光层，金属 4 设计成为反射镜面电极，实际应用结果是使金属 3 和 4 交叠遮盖显示矩阵的有源部分，从而完全挡住了入射光线，降低了 NMOS 晶体管源极 PN 结上产生的光生漏电流，这种设计可防止因此而引起的图像对比度退化。

在芯片制作过程中严格采用CMOS制造工艺中的整平技术，确保硅片表面是光学平面。整平工艺使得LCoS硅芯片在象素内的局部平整度变化小于100Å，象素间的总体平整度变化小于500Å。资料和试验表明，采用如此精密的整平工艺将大大地提高LCoS的光学性能<sup>[6,6]</sup>，这包括三个方面：

- (1) 平整的表面提高了象素金属的镜面质量，使得光学反射性增强；
- (2) 在液晶盒的后阶段制造中，平整的表面改善了液晶的排列，使液晶盒的可靠性和特性变得更好；
- (3) 在象素金属上镀了一层电介质镜面，进一步改善了金属的反射性能。

### 6.4 显示驱动矩阵设计

本章投影用单色 LCoS 芯片中显示驱动矩阵工作机理与前一章讨论的场序彩色化 LCoS 显示芯片的模式不一致，采用逐点寻址象素单元，要求二维有源显示寻址矩阵同一时刻只能同时选取一行扫描电极线和一列数据电极线。也是同样要求从上而下顺序选择行扫描电极线，但在每条行扫描电极选通期间，列数据电极线将要求从左而右顺序选通传输模拟视频信号。

从表面上看象素单元电路也是采用类似 DRMA 的电路结构(见图 6-4-1)，即包括这样一个 NMOS 晶体管，其栅极连接在行扫描电极线上，源极连接在列数据电极线上，漏极同时连接到存储电容和驱动液晶象素的镜面电极。当 NMOS 被行扫描电极线选通时，数据线的模拟视频信号电压作用到镜面电极，并能被存储在相联接的存储电容上。上盖玻璃基片上公共电极的电压设为恒定值，镜面电极与公共电极的电压差用于驱动液晶工作。由于采用 MTB 模式液晶材料，要求驱动电压  $4V_{RMS}$  即峰-峰值 8V；为了保证 NMOS “开”“关”状态良好，行扫描电极线的选通电平将设置为 10V。

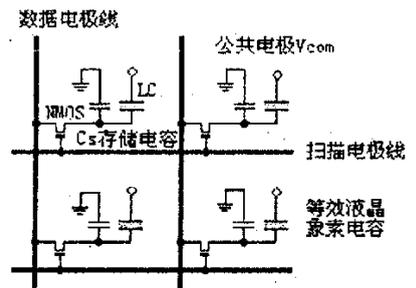


图6-4-1 4个象素单元电路图

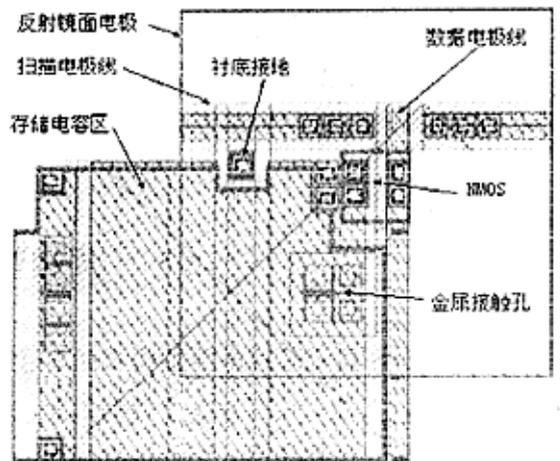


图6-4-2 投影用LCoS显示芯片象素单元版图

前一章第五节详细讨论了像素驱动电路工作方式，但由于投影用显示芯片工作在逐点寻址单色显示的模式，显示分辨率为 SVGA，因此像素的具体物理尺寸是不一样的，主要性能参数见表 6-1-1。图 6-4-2 给出了投影用 LCoS 显示芯片单个像素的物理版图(像素截距为  $16\mu\text{m}\times 16\mu\text{m}$ )。其中的 NMOS 晶体管栅极从扫描电极线接受选通脉冲，从而把数据电极线的视频模拟信号电压传输到象素镜面电极上，同

时完成对存储电容进行充放电荷。总的说来应从以下方面考虑像素单元电路结构与器件物理结构的设计:

- (1) 单色显示要求每个像素电路在一帧周期内(20ms)保持写入的模拟视频信号电压遗漏在5%以内,按照(5.5.6)、(5.5.7)式取  $T_1=60\text{ns}$ ,  $T_2=20\text{ms}$ ,设计存储电容值约  $0.6\text{pF}$ 。考虑到大面积高压 CMOS 工艺制作成本,成品率等因素,单元像素截距为  $16\mu\text{m}\times 16\mu\text{m}$ ;因此单元像素有足够的空间制作  $0.6\text{pF}$  存储电容。显然,在 NMOS 选通开关处于截止态期间,较大的存储电容有利于保持像素镜面电极上的模拟视频信号电压基本不变;相对于 TFT-LCD 中用非晶硅和多晶硅制作的选通开关管,在选通开态期间 NMOS 具有较小的开态电阻(见前一章第五节),可以保证在选通期间把模拟视频信号电压充满存储电容。
- (2) 从第 4 章对基本数模混合电路单元的讨论我们知道,CMOS 开关比单个 NMOS 开关管具有更大电导,选通时近乎无损地传输模拟视频信号电压,但要求两相互不交叠控制时钟,即两条扫描电极线,同时要求对 PMOS 管保留 n-阱区,因此占据的芯片面积是单个 NMOS 开关管的 2 倍以上。结果将没有足够的空间制作存储电容器。所以采用 NMOS 晶体管作选通开关管是切实可行的。
- (3) 因为 LCoS 显示芯片将用于反射调制强入射光,光子可以通过像素镜面电极之间的缝隙进入单晶体内,光生载流子将严重干扰 CMOS 器件的电学功能,所以如何屏蔽光子的侵入非常重要。如图 6-3-1 所示,金属 3 用作避光层,金属 4 设计成为反射镜面电极,实际应用结果是使金属 3 和 4 交叠遮盖显示矩阵的有源部分,从而完全挡住了入射光线,降低了 NMOS 晶体管源极 PN 结上产生的光生漏电流。

- (4) 作用在像素镜面电极上的典型信号电平如图 6-4-3 所示。图中  $V_{\text{com}}$  是上盖玻璃基片上公共电极的电压。视频信号每一帧都改变一次极性,信号幅度在  $4.5\pm 4.4$  之间变化,平均电压电平约等于 4.5 伏,该平均电压就是  $V_{\text{com}}$  的值。这样使得每个像素上的直流电压变得最小,扫描驱动器的输出电压为 10 伏。

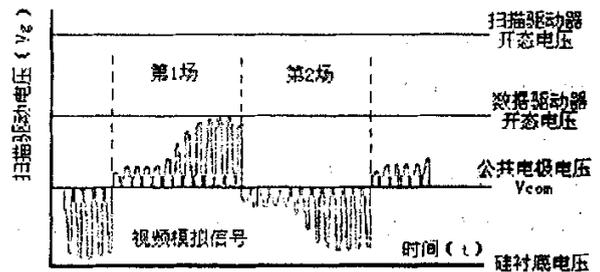


图 6-4-3 显示矩阵像素电极上的电压

## 6.5 周边驱动器电路结构设计

单色 LCoS 显示芯片电路结构布局与近眼彩色显示芯片相似,如图 6-2-1 所示,行扫描驱动器位于芯片左边,它有 600 个驱动单元,依照帧触发时钟 VS 和扫描时钟脉冲 VCK 同步控制,它们从第一行到最后一个行依次驱动。列数据驱动器分为上下两组,电路结构完全相同,分别位于显示芯片的顶部和底部。

如图 6-5-1 所示,行驱动器电路由水平移位寄存器,电平移位器和扫描缓冲驱动器组成。

水平移位寄存器是一个单相输入的 600 位移位寄存器，每个触发器单元电路结构与前一所设计的用于近眼彩色显示芯片中的一致，在水平移位脉冲 VCK 和帧触发时钟 VS 的作用下，依次产生从第一行到第 600 行的扫描信号。

扫描信号通过电平移位器的作用，产生 10V 的高压扫描电平，进一步由扫描缓冲驱动器增强驱动能力，用于寻址每一行中的 800 个像素单元电路。具体地说，水平移位寄存器扫描到第  $i$  行时，通过该行扫描缓冲驱动器的作用，像素矩阵中与第  $i$  条扫描电极连接的 800 个 NMOS 晶体管导通。因为是逐行扫描，这时其它扫描电极皆为地电位，其余的 NMOS 皆截止。随着水平移位脉冲 VCK 的作用，被选取的扫描电极将依次改变。

另一方面，如图 6-5-2 所示，上下列数据驱动器各由一个双向可选择的 400 节移垂直位寄存器，相应的电平移位器和一组模拟传输门组成。垂直移位寄存器在行触发信号时钟脉冲 HS 和像素时钟脉冲 HCK 的控制下，从左到右依次将开关信号输入 400 个电平移位器，然后输出高电平控制模拟传输门。由于所有 400 个模拟传输门的输入端都接到视频输入电极线，那么从左到右依次控制每个模拟传输门对视频模拟信号的导通时间，其结果是以恒定的间隔取样于连续的单色视频图像信号，并直接输入相应的数据电极线。

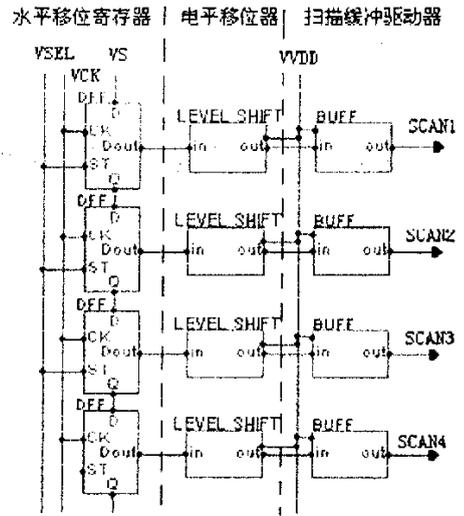


图6-5-1 单色LCoS显示芯片行驱动器电路结构框图

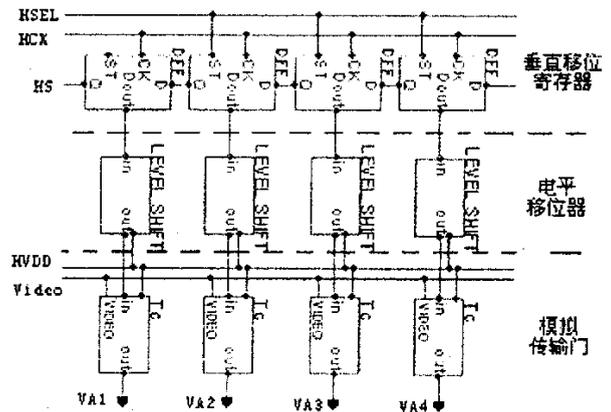


图6-5-2 单色LCoS显示芯片列驱动器电路结构框图

无论行驱动器还是列驱动器的电路结构中都采用了电平移位器，其目的是通过低压(标准 5V 电压)逻辑控制实现高压输出，从而驱动像素显示矩阵工作。按照芯片使用要求和制备工艺的不同，高低电平转移的电路形式也是各式各样，各有优缺点。根据本篇论文研究工作采用的制作工艺特点，我们设计了图 6-5-3 所示的 CMOS 型电平移位电路，图中 P1、P2 为低压器件组成的反相器，采用标准 5V-CMOS 工艺制作，用于产生反相输入信号  $\bar{in}$ ；HVP1~4HVN1~4 采用高压 CMOS 工艺制作，可工作在 5~10V 的高压区，这些高压器件组成电平转移和驱动缓冲两个电路。电平转移电路工作原理如是：当

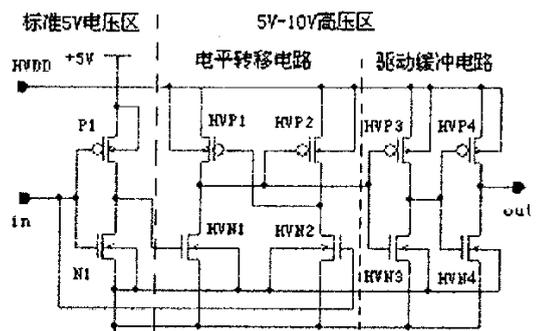


图6-5-3 电平移位器电路结构图

$in=5V$  时, HVN2 和 HVP1 导通, HVN1 和 HVP2 截止,  $out=HVDD$ ; 相反,  $in=0V$  时,  $out=0V$ 。可见, 图 6-5-3 的电路结构实现了信号电压从低电平向高电平的位移。

## 6.6 芯片实测结果

### 6.6.1 芯片实物显微图像



图 6-6-1 投影用单色 LCoS 显示芯片实物显微照片

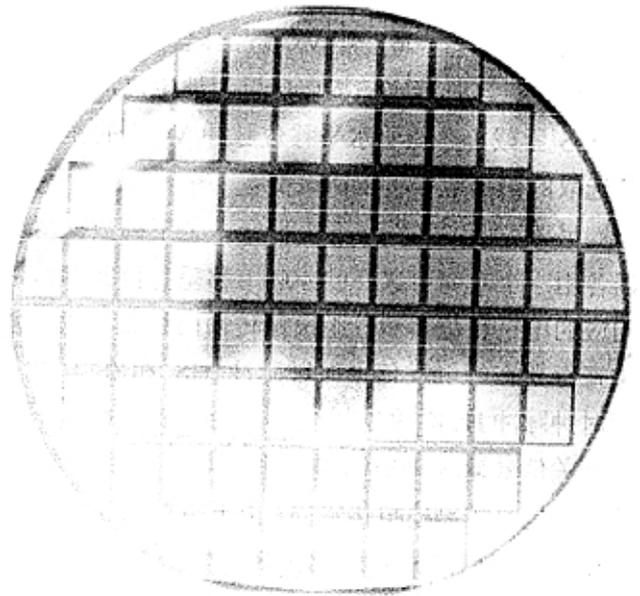
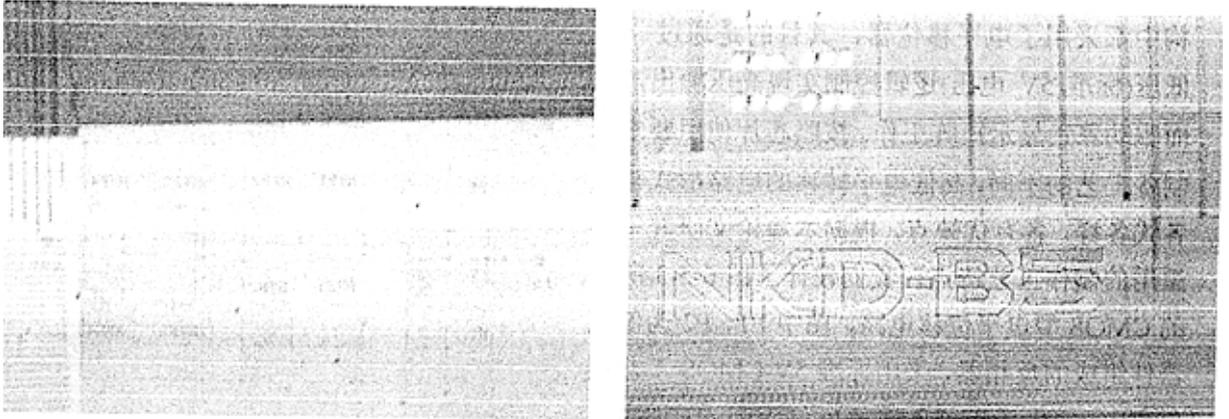


图 6-6-2 制作了 LCoS 显示芯片的 6 英寸硅片 (64 枚芯片有效)

图 6-6-1 给出了投影用单色 LCoS 显示芯片的实物显微照片。这是采用首钢日电(SG-NEC)的  $0.6\mu\text{m}$ -CMOS 工艺在 6 英寸硅片上制作的芯片, 芯片尺寸:  $17010\mu\text{m}\times 12420\mu\text{m}$ , 显示矩阵对角线尺寸:  $12800\mu\text{m}\times 9600\mu\text{m}$ , 即对角线尺寸约 0.63 尺寸。



(a) 显示驱动矩阵一角

(b) 芯片上制作了名称: NKD-B5

图 6-6-3 投影用单色 LCoS 显示芯片局部显微照片

图 6-6-2 是制作了 LCoS 显示芯片的 6 英寸硅片的照片, 其中共有 60 个显示芯片在有限

平面光刻范围内。图 6-6-3 是单色 LCoS 显示芯片局部显微照片。

## 6.6.2 镜面电极光学性能测试结果

论文前面的研究工作表明 LCoS 显示器的光通量是一个关键参数，而光通量依赖于像素电极反射镜面的尺寸、镜面的反射率及其平整度。

在显示面积一定的情况下，像素电极反射镜面的尺寸直接与像素的开口率成线性关系。实际上，有效像素反射面积与所采用的 CMOS 工艺的光刻精度有关。图 6-6-4 是投影用单色 LCoS 显示芯片的显示矩阵局部显微图片，图中像素截距是  $16\mu\text{m}$ ，像素间距是  $0.54\mu\text{m}$ ，因此可得像素开口率：

$$F_{\text{pixel}} = \frac{(16 - 0.54)^2}{16^2} = 93.3\%$$

现代 CMOS 工艺采用 Al(Cu)合金作电极导线，由于在 Al 中掺杂 Cu，一方面可以大幅度提高电导率，减小信号传输延迟，另一方面促使形成单晶态 Al 分布。然而，Al(Cu)合金制作的电极镜面，其反射率相对低。

图 6-6-5 给出了 Al(Cu)合金镜面的反射率测试结果，其测试条件如下：

在经过 CMP 处理的 6 英寸硅片上沉积  $4000\text{\AA}$  厚的 Al(Cu 含量 5%)合金，用全波谱标准平行光照射 Al(Cu)合金镜面，把反射光与入射光的能量之比归一化为反射率，因此得到图 6-6-4 的测试结果。

我们知道，通常纯 Al 薄膜的反射率为 90% 以上<sup>[6.8]</sup>。图 6-6-6 是不同厚度纯 Al 薄膜的反射率测试

结果。其测试过程与 Al(Cu)合金镜面的致，Al 纯度 99.999%。图 6-6-6 表明纯 Al 镜面的反射率受其薄膜厚度的影响，实际上，纯 Al 膜如果沉积较厚( $1\mu\text{m}$  以上)容易形成“铝丘”<sup>[6.9]</sup>，即出现多晶态的 Al 分布，一方面使 Al 膜表面粗糙，降低其镜面反射率，另一方面将严重影响 Al 膜的电学性能。图 6-6-6 正是反映了这个现象。因此，根据上述实验结果，本篇论文采用  $3000\text{\AA}$  厚的纯 Al 膜制作 LCoS 显示芯片的镜面反射电极。

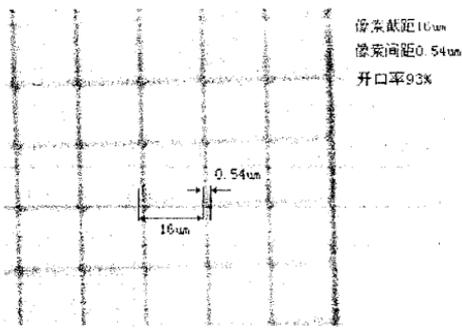


图 6-6-4 投影用单色 LCoS 显示芯片显示矩阵部分(像素电极)显微照片，其中像素截距  $16\mu\text{m}$ ，像素间距  $0.54\mu\text{m}$ ，开口率 93%

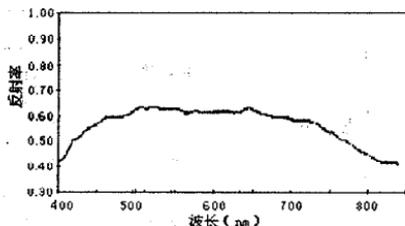


图 6-6-5 Al(Cu)合金镜面的反射率测试曲线

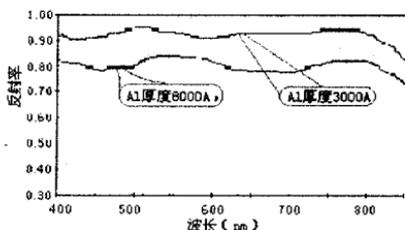


图 6-6-6 不同纯 Al 镜面的反射率测试曲线

## 6.7 彩色显示与单色显示 LCoS 显示芯片电路结构比较

至此，本篇论文设计了两片 LCoS 显示芯片，可分别用于近眼微型显示器和大屏幕投影显示系统。尽管它们的用途和性能大相径庭，但从电路结构分析，仍然可以找到内在共同点。表 6-5-1 比较了场序彩色 LCoS 显示芯片与投影用单色 LCoS 显示芯片在电路结构上的异同<sup>[6.10]</sup>。尽管由于显示工作模式的差异，所要求的液晶材料性能不同等因素导致电路结构有异，但都是采用矩阵寻址的方法驱动液晶材料，芯片电路大体可划分为行扫描驱动器，列数据驱动器，和显示像素矩阵。故此，上表也列出了许多相同点，那么用 Cadence 辅助设计 LCoS 显示芯片电路版图时，相同的单元电路结构可共享，从而大幅度缩短设计周期。

		场序彩色 LCOS 显示芯片	单色 LCOS 显示芯片
显示工作原理差异		逐行扫描显示	逐点扫描显示
		全数字信号输入	数模混合信号输入
		传输数字视频信号	传输模拟视频信号
		液晶响应时间约 3ms	液晶响应时间约 20ms
芯片电路结构	相同部分	像素单元由 NMOS 开关管和存储电容器构成	
		多节数据移位寄存器	
		取样传输门	
		多节扫描移位寄存器	
	相异部分	扫描驱动缓冲器	
		两级锁存器	电平移位器
		DAC(数模转换器)	
	功放		

应该指出的是，表 6-5-1 列出的彩色显示与单色显示 LCoS 显示芯片电路结构的异同仅限于本篇论文所设计的两类 LCoS 芯片，不代表场序彩色和单色 LCoS 芯片的普遍差异。

## 6.8 LCoS 显示芯片设计技术方案

从前面分析我们可以发现，无论是用于场序彩色显示的，还是用于单色色的 LCoS 微显芯片，它们的版图实属 LSI 级，其设计过程都十分复杂，即使把它分成若干子过程，仍然是一个很困难的任务。但从市场的角度看，LCoS 微显芯片从设计成为产品的时间越短，其竞争力越强。根据不同产品性能要求、产量的大小和设计周期的长短，有多种布图模式可供选择。就芯片设计者而言，总是希望在满足电性能要求的前提下，尽可能降低每个芯片的设计和研制费用，尽可能快地使产品进入市场。因此我们需要综合考虑 LCoS 微显芯片的电性能要求、

芯片的复杂性、所需设计周期(即设计费用)、芯片制造成品率(即制造费用)及可实现性等,然后选择一个合适的版图布图模式。

### 6.8.1 LCoS 显示芯片——一类新型的 SOC 芯片

比照第 3 章 SoC 芯片特征,我们认为 LCoS 芯片不是传统意义上的 IC 芯片,而是一块系统芯片,故我们在研发过程中所采用的设计方法与 IC 芯片的设计方法是不一样的,将从分析显示模式出发,根据显示特性,把处理机制、芯片结构、各层次电路直至器件的工艺设计紧密结合起来,在硅片上完成整个显示系统的功能。我们主要从以下六个方面来考虑芯片设计:

- (1) 在选择芯片设计工具方面,使用 CADENCE, AWANTY 等具备全定制设计功能的 EDA 辅助设计软件,设计步骤采用“自顶向下”和“由底向上”相结合;
- (2) 在器件电路结构方面,我们将把液晶显示矩阵和外围驱动电路集成在一块对角线 0.6 英寸的单晶硅芯片上;
- (3) 在芯片光学性能方面,将利用标准 CMOS 工艺中的 CMP(Chemical-Mechanical Polishing) 技术,使像素电极成为较理想的反射镜面,达到微型显示器图像显示性能的要求;
- (4) 在器件功能方面则实现时序彩色化,消除常规显示器的行闪烁现象;
- (5) 在生产工艺路线方面,我们采用 0.6 $\mu\text{m}$ -n 阱 CMOS 生产线,因为这是中国半导体制造厂中比较成熟的生产线;
- (6) 在基本电路单元特性设计方面,参照通用时序逻辑基本电路、基本运放电路、基本数模转换电路,根据显示模式设计可靠性强且占用芯片面积小的基本电路单元;

### 6.8.2 芯片电性能与成本相关性分析

每个芯片的成本可由公式计算而得<sup>[6.11]</sup>: 
$$C_T = \frac{C_D}{V} + \frac{C_P}{YN} \quad (6.8.1)$$

式中,  $C_T$  为每个芯片的成本;  $C_D$  是设计费用及制版费;  $V$  为芯片的生产数量;  $C_P$  是每圆片的制造费用;  $Y$  是晶片平均成品率,即晶片上是成品的芯片数占总芯片数的百分比;  $N$  是每晶片上的芯片数。式中的第一项表示分摊到每个芯片上的设计费用,第二项表示每个芯片的制造费用。

芯片的可能最大延迟可用来表示芯片的电性能。芯片的最大延迟用下式近似表示<sup>[6.12]</sup>:

$$T_d = T_{d0} + \frac{V_{\max}(C_W + C_g)}{I_p} \quad (6.8.2)$$

式中,  $T_{d0}$  是电路器件本身的延迟;  $V_{\max}$  是最大电压;  $C_W$  是连线电容;  $C_g$  是扇出栅电容;  $I_p$  是尖峰时的电流。

从式(5.11.1)看,对批量大的产品(即  $V$  很大),第一项很小,对  $C_T$  起主要作用的是第二项。为了降低  $C_T$ , 必须提高  $Y$  和  $N$ , 即减小芯片面积, 进一步提高集成度以增加每圆片上的芯片

数  $N$  和成品率  $Y$ 。对小批量产品, 第一项起主要作用, 即分摊在每个芯片上的设计和制版费用占总芯片费用的大部分。此时, 我们主要是要降低  $C_D$ , 即尽可能缩短设计周期和设计费用。

从式(6.6.2)看, 影响芯片性能的主要是  $C_W$  和  $C_g$ 。要提高性能就要注意减小连线长度, 减小芯片面积。式(6.8.1)和式(6.8.2)可作为我们选择布图模式的重要依据。

	全定制	标准单元	门阵列	FPGA
芯片面积	小	较小	中等	大
芯片性能	高	较高	中等	低
制作掩膜	全部	全部	金属连线	不需要

上面分析了芯片的费用、电性能与芯片面积、集成度及总产量之间的关系。可以看到, 设计方法的选择与芯片性能要求、产品上市时间以及产品产量有关。通常, 大批量的产品, 如微处理器、存储器等采用全定制设计方法; 小批量 ASIC 产品则采用半定制的门阵列或标准单元设计方法, 单件或批量很小的产品或试验电路则采用 FPGA 设计方法; 电性能要求较高而批量较小的产品, 或中批量产品则采用标准单元设计方法。表 6.8.1 列出了不同设计方法的芯片面积、性能和掩膜制作方式的比较。然而, 对于类似 LCoS 微显芯片的 SoC 复杂芯片, 还必须考虑到其特有性能对版图布局的要求, 以及芯片的创新性, 选择合适的设计方法。

### 6.8.3 LCoS 显示芯片设计方法选择

在第 3 章中, 我们讨论了各种 IC 芯片的设计方法, 表 6.8.2 列出了各种设计方法的版图结构特征。如果按照对模块和连线位置的限制来分, 则可把设计方法分成全定制(full-custom)和半定制(semi-custom)两大类。全定制设计模式对模块(或单元)形状和位置没有限制, 半定制设计模式对单元的高度、电源线位置和单元引线端的引出方向都有一定的限制, 并且单元也只能放置在规定的区域内或必须按行放置。下面我们将比较这几种常用的设计模式的特点、优点和缺点。

	全定制	标准单元	门阵列	PLD
单元外型	二维可变	一维可变	固定	固定
单元类型	二维可变	二维可变	固定	可编程
单元布局	二维可变	一维可变	固定	固定
连线	二维可变	二维可变	二维可变	可编程

全定制法适用于要求得到最高速度、最低功耗和最省面积的芯片设计。为满足这种要求, 全定制法通常采用随机逻辑网络, 但完全由随机逻辑网络组成的芯片已不多见。目前很多芯片已采用或部分采用规则结构网络(regular structured network), 如 ROM, RAM 或 PLA 等。这类规则结构的版图设计比较容易, 易于用自动设计工具实现。而部分随机逻辑网络也逐渐走向模块式结构(modular structure), 例如计数器、行波进位加法器等。这种标准的模块式结构的版图设计比非标准的随机逻辑网更容易得多, 且便于检查。但应该指出, 即使规则结构网络被广泛使用, 随机逻辑网络仍对芯片的性能起着关键的作用。总的说来全定制方法设计周期很长, 设计成本高。

定制法通常分为标准单元法和通用单元法。所以称为“标准单元”是由于电路中各单元的高度是相等的, 只是在宽度上有差别。通用单元法又分为积木法和混合法, 在设计中各单元的高度和宽度不再相等。无论如何, 定制法的单元事先都经过精心设计并存在单元库中,

定制法通常分为标准单元法和通用单元法。所以称为“标准单元”是由于电路中各单元的高度是相等的, 只是在宽度上有差别。通用单元法又分为积木法和混合法, 在设计中各单元的高度和宽度不再相等。无论如何, 定制法的单元事先都经过精心设计并存在单元库中,

在设计时根据电路要求从库中调出所需单元及压焊块,进行自动布局和布线,最后得到被设计电路的掩膜版图,因而又统称为库单元法。定制法的特点是设计上自由度较大,芯片中没有无用的单元或晶体管,芯片面积较小。但建立一个物理单元库需要很大的初始投资。此外,制造周期较长,成本也较高。

半定制的含意就是对一批芯片作“单独处理”,即单独设计和制作接触孔和连线以完成特定的电路要求。这样就使从设计到芯片制作完成的整个周期大大缩短,因而设计和制造成本大大下降,但门阵列的门利用率较低,芯片面积比起定制设计和全定制设计的芯片要大。

可编程逻辑器件法是一种已完成了全部工艺制造的、可以直接从市场上购得的产品,刚购来时它不具有任何逻辑功能,但一经编程就可在该器件上实现设计人员所要求的逻辑功能。

显然,LCoS显示芯片只能采用全定制或定制的方法来实现。考虑到芯片的复杂性和上节讨论的设计方法的经济性,我们将采用随机逻辑网设计LCoS显示芯片的基本单元,再按照标准单元法组合出最后物理版图。

## 6.9 显示芯片制作工艺中关键技术设计

尽管LCoS显示芯片制作工艺属CMOS工艺范畴,但它在以下几个方面还是其特殊性,以下的分析有助于芯片的整体设计。

### 6.9.1 用n阱CMOS工艺制作LCoS显示芯片

目前,制作模拟电路芯片和数模混合电路芯片的工艺主要有CMOS、双极、Bi-CMOS、SiGe及GaAs技术。CMOS由于在亚微米和深亚微米工艺技术方面的快速发展,能为高性能混合信号电路提供更快更大密度的逻辑电路,也为模拟功能提供高性能模拟开关和多晶硅-氧化物-多晶硅模拟电容,同时该技术工艺简单、集成度高、功耗低、芯片尺寸小和成本低等优点,因此成很多混合信号电路芯片的首选技术。本篇论文也选择CMOS技术来设计LCoS显示芯片。

在CMOS的生产过程中,NMOS管需要p型衬底,而PMOS管需要n型衬底。形成这两种不同类型衬底的三种方法分别称为双阱、p阱和n阱工艺。

双阱工艺在含掺杂非常少的晶片上分别注入不同类型的杂质形成多对两两分开的阱,分别独立地控制每个阱区的杂质工艺,所以两种类型的器件都不会受过掺杂的影响,但工艺相对复杂一些,生产成本较高,特别是我国在这方面的生产技术亟待提高。

p阱工艺在n型晶片衬底上掺进足以补偿n型衬底,并使其呈p型特性的p型杂质。p阱杂质浓度的典型值要比n型衬底中的高五倍到十倍才能保证器件性能。然而,p型杂质的过度掺杂对NMOS管产生有害影响,如提高背栅偏置灵敏度,增加源极和漏极对p阱的电容等。

n阱工艺恰恰相反,它在p型晶片衬底上形成n阱。因为N沟器件是在p型衬底上直接

制成,这种方法与标准的 N 沟 MOS 工艺兼容。在这种情况下, n 阱在补偿了 p 型衬底的基础上形成,因此 PMOS 会受到过渡掺杂的影响。但我们注意到,占 LCoS 芯片管子绝大部分的显示驱动矩阵都是 NMOS,从前面章节分析认为,制作高速 NMOS 至关重要。另外,考虑到加工成本的问题,我们选择标准  $0.6\mu\text{m}$ -4 层金属-n 阱 CMOS 工艺来设计 LCoS 显示芯片。

## 6.9.2 电容器物理结构选择

从前面讨论我们知道,无论彩色还是单色 LCoS 显示芯片都用到电容器作存储电容,其电容量及其精确度对显示性能至关重要。一般来说,CMOS 制造技术中常见的三种制作电容的方式如下<sup>[6.13]</sup>。

在硅栅双层多晶硅 MOS 工艺中,广泛使用结构如图 6-9-1 所示双层多晶硅电容,它的两个导电板都是重掺杂的多晶硅,而中间电介质是用 VCD 方法沉积的  $\text{SiO}_2$ ,这种电容器的非线性和精度都很好,电容密度也较大,按照本篇论文采用的工艺设计标准约  $2.8\text{fF}/\mu\text{m}^2$ 。

在硅栅自对准 MOS 工艺中,一种可行的结构如图 6-9-2 所示,该电容由多晶硅栅,  $\text{SiO}_2$  和 p 阱构成。采用自对准工艺,用离子注入制作一个  $\text{n}^+$  区,既作为金属连线的欧姆接触,又当出现 n 型反型层时,  $\text{n}^+$  区将金属连线与 n 型反型层联到一起,由 A 端向反型层提供电子,因此,如果在电路中 B 点的直流电位总比 A 点高,则这种电容的容量与电压无关,电容密度也较大,约  $2.5\text{fF}/\mu\text{m}^2$ 。该方案具有适当减少工艺工序从而降低生产成本的优势,在投影用单色 LCoS 显示芯片的存储电容设计中本篇论文采用该方法,有效减少了流片成本。

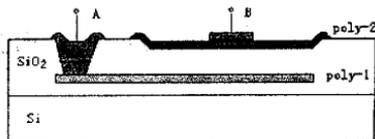


图 6-9-1 双层多晶硅电容结构

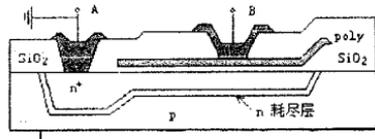


图 6-9-2 MOS 型电容器

对于单层多晶硅 MOS 工艺则用多晶硅作下电极,用金属作上电极,也可以得到和图 6-9-1 相似的电容,但因多晶硅与金属层之间的电介质较厚,电容密度很小,按照典型的 CMOS 亚微米工艺参数该值约  $0.02\text{fF}/\mu\text{m}^2$ 。实际上,这是利用层间寄生电容,尽管具有最大限度减少工艺工序的优势,但需求芯片面积也较大,不足选用。

尽管第二和第三方案都具有减少工艺工序的优势,但彩色 LCoS 显示芯片电路要求电容器两端需要周期性交换极性,故放弃第二种电容设计方案,又由于像素存储电容设计值约  $0.2\text{pf}$ ,而像素截距空间有限( $12\mu\text{m}\times 12\mu\text{m}$ ),则第三方案也被放弃。因此,本篇论文将按照第一种方案设计 LCoS 显示芯片中的所有电容器。

## 6.9.3 ESD 保护工艺考虑

LCoS 显示芯片的数字信号输入端是直接接到 MOS 管的栅上。在干燥气氛下,悬浮输入

端容易感应出较高的静电电位,引起 CMOS 器件静电放电(ESD)失效。为了使 LCoS 显示芯片电路具有良好的 ESD 能力,除了设计合适的 ESD 保护电路,还要增加合适的制作工艺。

在通常 CMOS 工艺中,淀积多晶硅(poly-Si)后进行 LDD 注入,形成的结构如图 6-9-3(a)所示。在 LDD 注入之后生长 Spacer(二氧化硅或氮化硅),然后再进行 S、D 注入,如图 6-9-3(b)所示,由于 Spacer 的阻挡作用,形成了 LDD 结构。LDD 结构虽然改进了热载流子效应,但对提高抗 ESD 能力是非常不利的。

加入 ESD 二次注入工艺可以改进 N 管的抗 ESD 能力。具体做法是在 LDD 工艺之后加一道 ESD 注入,以提高原 LDD 区域的浓度,形成 HDD,如图 6-9-3(c、d),之后再生长 Spacer,生长 S、D。信息产业部电子第五十八所用  $0.8\mu\text{m}$ -CMOS 工艺制作的 6 片电路芯片<sup>[6.14]</sup>,按美军 883C 标准进行从 500V~2800V,以 200V 为步进的静电电压测试,结果无 ESD 注入的器件经 1000V 后基本所有的管腿都已失效,有 ESD 注入的器件经 3500V 后管腿才失效。就是说,不加 ESD 芯片的抗 ESD 能力在 1000V 以下,加 ESD 后芯片的抗静电能力超过 3000V。因此我们将在彩色 LCoS 显示芯片增加类似的 ESD 保护电路与工艺。

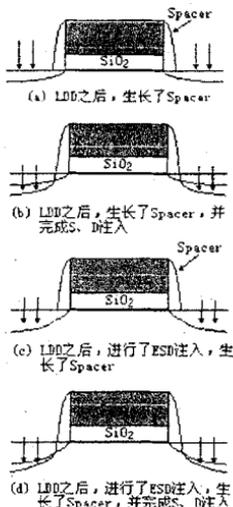


图 6-9-3 加 ESD 注入前后, NMOS 管剖面图示意

#### 6.9.4 CMP 平坦化工艺分析

所谓的平坦化就是把晶片表面起伏的介电层加以平坦的一种半导体工艺技术。经平坦化后的介电层/金属层,因为无悬殊的高低落差,在接下来制作后续金属层/介电层时,将比较容易进行,且经转移的导线图案也将比较精确。

方法	原理	对象
背腐蚀法	将抗蚀剂作替代膜的背腐蚀	介质膜
	采用 SOG 膜的背腐蚀	介质膜
	采用自平坦化 CVD 膜的背腐蚀	金属膜(W)
涂覆法	SOG 平坦化	介质膜
	低熔点玻璃涂覆-熔融的平坦化	介质膜
热处理法	金属熔融平坦化	金属膜(Al)
	玻璃液流平坦化	介质膜(PSG/BPSG)
自平坦化 CVD 膜平坦化法	利用表面反应、表面迁移	介质膜/金属膜(W)
CMP 平坦化法	以物理平坦化法为主	介质膜/金属膜

实际应用中平坦化工艺多种多样,其分类见表 6-9-1。从表可以看到平坦化技术按其加工对象即介质膜与金属的不同,采用不同的工艺条件。目前常用的技术有热回流、偏置溅射介质、背腐蚀和自旋涂玻璃(SOG)介质等。这些传统的平坦化技术由于受到表面状态和热处理等加工条件的限制,多数仅能使局部区域平坦化,而对整体平坦化无效。

背腐蚀作为整体平坦化方法之一用于多层布线已有一段历史,但从工艺复杂性、成本和成品率等角度来看,效果不如 CMP(Chemical-Mechanical Polishing),而且平坦度比 CMP 技术低两个数量级。

旋涂玻璃法(spin on glass), 简称为 SOG, 是现在半导体厂所普遍使用的一种局部的平坦化技术。它的基本原理类似于光刻胶旋涂(spin coating)技术,可以把一种溶于溶剂内的介电材料以旋涂的方式涂布在硅片上。因为经涂布的介电材质可以随着溶剂而在硅片的表面流动,因此,很容易填入导线间的凹槽内,而达到局部平坦化的目的。最后还经过适当的热处理去除这些用来溶解介电材质的溶剂之后。

根据半导体制造业所发表的资料显示, SOG 技术可以进行工艺线宽到  $0.5\mu\text{m}$  的沟填和整平<sup>[6.15][6.16]</sup>。但是, SOG 工艺所提供的平坦度,只能使部分硅片表面获得较佳的平坦度,而无法达到全面性的平坦。如图 6-9-4(a) 的 A 点位置,当晶片表面凸起间的间距较小时,经 SOG 处理后的表面将具备极佳的平坦度;当 A 起伏的间距增大之后,如图中 B 点, SOG 的平坦化能力将稍微减弱;尤其是当凸起的间距很长时,如图中 C 点, SOG 所能提供的平均化变得非常有限。这就是为什么 SOG 的技术只能提供经金属化后的硅片表面局部性平坦化的原因。图 6-9-4(b) 示意了硅片表面存在不同金属线间距的区域,以“有回蚀” SOG 制程进行表面平坦化之后的结果。

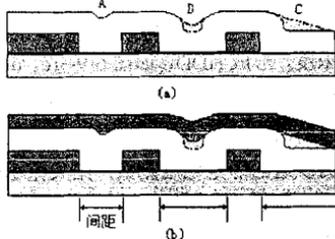


图 6-9-4 不同金属线间距对 SOG 的沟填与平坦化能力的影响示意

现在一种正处在发展阶段,能提供半导体介电层/金属层全面性平坦化的技术——化学机械抛光法(简称 CMP),是目前能提供超大规模集成电路制造过程中全面平坦化的新技术。从原理上可以这样表述: CMP 工艺运用掺有极小研磨颗粒的碱性化学溶液来改变硅片表面的化学键,同时加以机械式研磨以获得硅片表面平坦化。CMP 技术分为介质 CMP 和金属 CMP。金属 CMP 目前主要用于取代钨层的回蚀。尤其在同时使用介质 CMP 和钨 CMP 时,可以极大地提高成品率。由于设备成本、工艺复杂性等因素的影响,实际应用最广的是层间介质 CMP,  $\text{SiO}_2$  则是最常用的层间介质<sup>[6.17]</sup>。氧化层 CMP 已经有几十年的研究和历史,它可以将在沉积氧化层过程中所产生的颗粒加以磨平消除,有助于减轻多层结构造成的严重不平的表面形态。在具有三层或更多层金属的亚微米器件制造工艺过程中,介质 CMP 已成为一道不可缺少的工序,用这种方法可以真正使整个(如 8 英寸)圆硅晶片表面平坦化。

目前, CMP 工艺已构成一种集成化模块。它以 CMP 设备主体和 CMP 后清洗设备两大部

CMP 主体设备	研磨方式	单头(单填充)
		多头(单填充)
		多头(多填充)
	研磨负重	
	操作头转速	
清洗设备	研磨剂供给速度, 方法	
	填充物调整的条件, 频度	
研磨剂	化学试剂、超声波能量、除尘器等	
	研磨剂种类	
	分散粒度	
研磨纱布	溶液组成、PH 控制等	
	本身材料质量	
	纤维材料质量	
	纤维的加工长度与密度	

分构成。表 6-9-2 为 CMP 模块的工艺控制要素。CMP 主体设备通常由真空吸附硅片的头和贴附硅片独立运转的研磨纱布的工作台组成,工作期间研磨剂连续注入。CMP 去除速度与压力和应抛光的表面积、磨料粒子的大小以及溶液的 PH 值有关。

CMP 中既有化学作用又有机械作用,化学作用即指抛光液与  $\text{SiO}_2$  介质发生化学反应生成溶于水的物质,并降低损伤层;机械作用则是磨料在一定的压力下通过机械作用把  $\text{SiO}_2$  介质表面的生成物除去,并被流动的抛光浆料带走,使被抛光表面重新裸露,化学与机械作用相互配合,使反应能继续下去,只有在化学作用与机械作用达到一个很精细的平衡时,才能实现表面低损伤高平整。

尽管抛光过程中的机理非常复杂,至今没有一个定论,但有一点是大家认同的,即 CMP 的机械去除速率一般可用 Preston 方程来表示<sup>[6.16]</sup>:  $R_p = K_p P V$ ,其中  $R_p$  为薄膜的去除速度;  $P$  是抛光时所用的压力;  $V$  是抛光机台的旋转速度;  $K_p$  为 Preston 系数(与抛光液、抛光垫材料的性质相关的常数)。

实际上,类似的工艺用来抛光圆硅晶片已有数十年历史。目前,还不能完全解释平坦化的原理,它仍然是研究的焦点。一个使用了三个参数的表象模型比较成功地模拟了抛光腐蚀的特点。这三个参数分别描述圆晶片表面突起部分、下凹部分和水平腐蚀的特性。

关于氧化物抛光机理模型有许多种, T.Izumitani 通过对不同光学玻璃的抛光速率和物理化学性质的分析比较<sup>[6.18]</sup>,得出抛光速率与化学强度密切相关,具有低化学强度的玻璃显示出了高的去除速率。而且抛光速率与玻璃的压痕硬度或软化点并无联系。

二氧化硅抛光机理与玻璃抛光机理相似:首先表面通过化学反应形成易溶于水的表面水合层,然后通过抛光布与磨料的机械作用将水合层去除。抛光时表面间的相互作用受到抛光液中水的影响,如果水用有机溶液代替则去除速率就可以忽略。

最近提出了一种把抛光研浆作为流体动力学的液态模型<sup>[6.16]</sup>。这种模型在模仿腐蚀外观上取得一定的成功。现在,对化学机械抛光的了解还在定性的阶段。无论如何,CMOS 亚微米器件制造工艺中的 CMP 技术不仅实现了 LCoS 芯片制作中的多层布线,而且能够使像素电极镜面化。表 6-9-3 是 CMOS 生产线上常见的化学机械抛光机的部分性能参数,可见经过 CMP 工艺后可得到平整度  $\text{DOP} > 95\%$ 。

表 6-9-3 美国 IPEC-PLANAR 公司生产的化学机械抛光机部分性能参数

机型	472	672
片子尺寸(英寸)	5, 6, 8	6, 8, 12
片厚均匀性	< 3%	< 2%
平整度	> 90%	92%
平面度( $\mu\text{M}$ )	< 0.1	< 0.08
每层占用成本(美元)	6	5

## 6.10 小结

本章首先确定了投影用单色 LCoS 显示器应具备的显示性能参数和系统结构,然后利用参数空间法选择了液晶工作模式,接着进一步提出了单色 LCoS 显示芯片工作模式及其电路结构。从芯片整体角度分析了 LCoS 显示芯片的工作频率、功耗,光学性能等基本问题及其

相应解决策略。并且比较了彩色显示与单色显示 LCoS 显示芯片电路结构, 最后权衡各种设计方法的利与弊, 选择出适合 LCoS 显示芯片的设计途径。实际上, 本章从系统功能、器件结构、电学特性、光学特性等方面对 LCoS 显示器作了多次层划分和讨论, 并针对各方面给出详细设计方案, 其中还简单介绍了显示控制器和光学组件, 这些结果将影响并指导着下一章的芯片版图设计。本章 6.9 节介绍了 LCoS 芯片加工工艺中不同于一般芯片的特殊工艺设计, 但其特殊性又是与标准 CMOS 工艺相兼容。

## 参考资料

- [6.1] Robert L.Melcher. LCoS-Microdisplay Technology and Applications[J], Information Display, 2000, 16(7): 20-23
- [6.2] Morrissy J.H, Pfeiffer M, Schott D, Vithana H. Reflective Microdisplays for Projection or Virtual-View Applications[J], SID'99 Digest, 1999, 30(6): 180-183
- [6.3] 陈浩雪, 杨兆选, 高伟, 潘一匡. 平板显示控制器AL300及其应用[J], 国外电子元器件, 2000, 7: 36-38
- [6.4] 解志良, 高鸿锦, 张百哲, 徐寿颐, 郭海成. 对比度高及盒间隙大的双稳态扭曲向列相液晶显示[J], 现代显示, 1999, 22(4): 8-15
- [6.5] H.C.Huang, D.D.Huang, J.Chen. Optical Modeling of Small Pixels in Reflective Mixed Mode Twisted Nematic Cells [J], 99'Digst, 1999, 30(1): 18-22
- [6.6] R.DeJule, Advances in CMP [J], semiconductor International, 1996, 19(12): 88-96
- [6.7] Jan M.Rabaey. Digital Integration Circuits [Z] 清华大学出版社-PRENTICE HALL, 1999
- [6.8] G. Um, D. Foley, A. Szilagyi, J. Ji, Y. Jeon, Y. Kim. Recent Advances in Actuated Mirror Array (AMA) Projector Development [J] Proceedings of the 1995 International Display Research Conference (Society for Information Display), 1995: 95-98
- [6.9] 詹娟 唐国洪 张佐兰. 大规模集成电路工艺原理[Z] 东南大学出版社, 1990年10月第1版, 205-206
- [6.10] 代永平, 孙钟林, 耿卫东. 彩色LCoS微型显示器设计[J], 半导体技术, 2001, 26(10): 37-39
- [6.11] 洪先龙, 严晓浪, 乔长阔. 超大规模集成电路布图理论与算法[Z], 科学出版社, 1998: 6-8
- [6.12] B.Merriman, J.Craig, A.Nader, etal, Properties of thin film polyimide films [J], Proc. 39th ECC, 1989, 5
- [6.13] 秦世才, 贾香鸾. 模拟集成电路学[Z], 天津科学技术出版社, 1996
- [6.14] 于宗光. CMOS集成电路的ESD设计技术[J], 电子产品可靠性与环境试验, 2001, 4(2):P22-26
- [6.15] J.Warnock. A Two-Dimensional Process Model for Chemical-mechanical Polish Planarization [J], J.Electrochem. Soc., 1991, 138:2398
- [6.16] S. R. Runnels, Feature-Scale Fluid Based Erosion Modeling for Chemical-Mechanical Polishing [J], J. Electro-chem. Soc., 1994, 141:1900
- [6.17] Sivaram S Bath, H.Leggett. Planarizing Interlevel Dielectrics by Chemical-Mechanical Polishing [J] Solid State Technology, 1992, 35(5): 87
- [6.18] Ali I, Roy S, Shinn G. Chemical-Mechanical Polishing of Interlayer Dielectric [C], A Review Solid State Technology, 1994, 37(10):63

## 第7章 CADENCE 辅助设计 LCoS 显示芯片

前面已经介绍过, Cadence IC 设计工具是一种以计算机为基本工作平台, 综合利用计算机图形学、拓扑逻辑学、计算数学以至人工智能学等多种计算机应用学科的最新成果, 以数据库为核心, 采用框架式结构而开发出来的一整套 EDA 软件。正是借助于 Cadence 设计工具拥有面向目标的各种数据模型及数据管理系统, 本篇论文能在较短时间内完成两类 LCoS 显示芯片的电路逻辑直至光刻版图的全套设计。

### 7.1 版图设计筹划

#### 7.1.1 设计策略

对于大型系统通常采用混合设计模式。设计者可能是一个小组, 他们之中每人各设计一个或几个模块。有人采用标准单元方法, 也有人采用门阵列法或全定制设计方法, 最后将各模块组装而成。有时也根据模块的特点和要求, 不同模块采用不同的设计模式。最后的芯片级模块组装总是一种全定制的设计模式。这就是所谓的分块设计法<sup>[7-11]</sup>。

前两章表明, 由于 LCoS 显示芯片的电路规模和复杂性, 一次设计成功的难度太大。令  $n$  为所设计芯片上晶体管的数目, 通常:

$$\text{布局的复杂性: } O(n^2) \sim O(n^4) \quad \text{布线的复杂性: } O(n \log_2 n) \sim O(n^2)$$

当  $n$  很大时, 计算时间会相当长。采用分块设计方法则可有效地降低复杂性。若将整个 LCoS 显示芯片分成  $m$  块, 先设计模块, 然后由模块组装成芯片。如以布局为例。原来的复杂性为:

$$S=K(n^2)$$

分级后先对模块内进行布局, 然后对整个芯片进行布局, 则总的复杂性为:

$$S \leq K(m(n/m)^2 + Cm^2) = K(n^2/m) + Cm^2$$

两者的工作量之比为:  $S'/S = (1/m) + C(m/n)^2$ , 由于  $m \ll n$ , 所以其工作量大约是原来的  $1/m$ 。

在 LCoS 显示芯片实际设计方法上, 不仅采用分块设计, 而且电路结构进行分级。具体地说芯片由各级模块组成, 高一级的模块由若干个低一级模块组成, 最低一级的是基本单元, 芯片为最高一级模块。这样的芯片分级设计结构可以表示成一棵树。就邻近两级模块相对而言, 称高一级的模块为低一级的“父模块”, 低一级的为“子模块”。在设计父模块时, 我们只关心子模块的外部特征: 面积、形状和 I/O 引线端, 而不关心子模块内部的具体细节。也就是说, 我们把它看成是一个“黑盒子”。一旦模块设计完成, 有了具体的物理版图, 它就是一个“硬”模块。

因此, 本篇论文的工作采用分级分块设计策略, 具体实施则遵循正向与逆向相结合的设计方法<sup>[7,2]</sup>。正向设计贯穿着自顶向下(top-down)和自底向上(bottom-up)的设计模式, 首先自顶向下地从系统角度出发, 根据功能及其他一些设计目标相约束条件, 将系统划分成若干模块, 并确定模块的功能及其逻辑和物理实现。然后逐步向下将模块进一步地划分成小模块, 直至每个小模块很容易地进行逻辑和物理实现。这是前两章的研究工作。接着自底向上地把基本电路单元或小模块设计好并建立一个单元库, 然后将待设计的系统设法用已有的电路单元进行“拼装”, 如此交替使用自顶向下和自底向上两种模式。逆向设计体现在我们研究了有代表性的硅基显示芯片, 总结出这类芯片电路结构轮廓, 根据我们已掌握的实践经验和工艺技术, 设计了彩色 LCoS 显示芯片的电路结构, 和投影用单色 LCoS 显示芯片的电路结构。

### 7.1.2 总体设计流程

基于上述对 LCoS 芯片电路的结构划分和版图设计筹划, 我们制定了如图 7-1-1 所示的具体技术流程来完成设计工作。整个技术流程分为三个设计阶段: 前端设计, 后端设计和设计完善。这三个阶段包含了以下五个方面的设计工作:

#### 1) 系统设计

在系统设计阶段我们将确定 LCoS 系统芯片的功能(例如场序彩色化、低压驱动模式、完成某个功能等)和性能(例如工作速度、功耗、可运行环境等), 以及如何去实现系统功能。实际上, 前两章的研究工作就是进行系统设计, 可以说, 这一阶段的设计工作充满了创造性, 理论上是一个多约束条件多目标的优化问题, 很难用计算机软件和算法自动解决相关问题。

#### 2) 逻辑设计

逻辑设计的任务是用已有的基本逻辑单元(门或功能块)确定满足一定逻辑功能的逻辑构成。逻辑设计

包括逻辑综合和逻辑模拟, 逻辑综合与高层次综合一样, 也是一个多约束多目标优化问题。目前, 自动综合 LCoS 显示芯片的信号逻辑关系还不尽人意, 主要是靠设计者在光电显示技术领域积累的经验, 以及运用自如的经典微电子理论辅助人工设计<sup>[7,3]</sup>。在得到逻辑构成后借助于 Cadence 的原理图输入软件送入计算机, 然后利用 Hspice 验证逻辑设计的正确性。

#### 3) 电路设计

电路设计的目的是确定满足所希望的电路性质(如直流特性、开关特性等)的电路结构和元件参数。同时还要考虑由于环境变化、制造工艺偏差所引起的电路性能变化。电路设计问

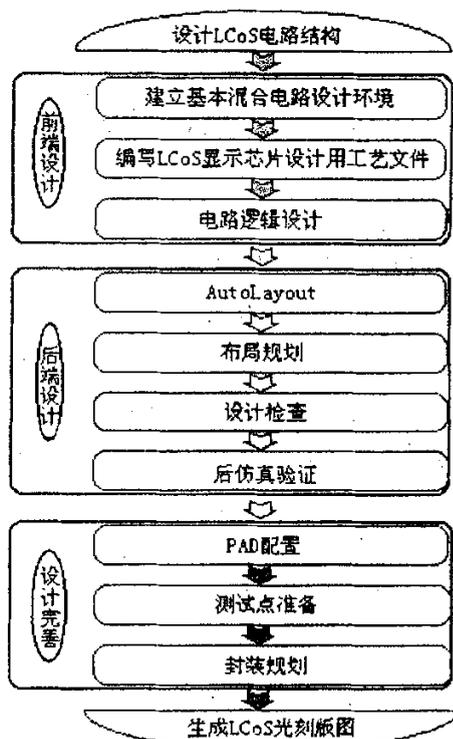


图 7-1-1 在 Cadence 平台上设计 LCoS 显示芯片流程

题通常是一个多目标多约束优化问题,目前还没有电路自动设计软件,只有电路模拟软件。我们将根据 LCoS 显示芯片性能和功能要求,参照类似成功产品的分析参数,确定其电路结构并给定元件参数后,在 Cadence 平台上用电路模拟软件验证电路设计的正确性。

电路模拟技术实际上是用数值方法去求解一组非线性方程,当电路网络很大时,存储量和求解时间都会成为矛盾,因此我们必须分析出 LCoS 显示芯片的电路结构特征,采用了一些合理的模型处理,使本篇论文的工作既合情,又能在求解速度上可提高一二个数量级。

#### 4) 版图设计

版图设计的任务是根据逻辑和电路功能要求以及工艺制造的约束条件(设计规则)来设计光刻掩膜图。LCoS 显示芯片版图设计的输入采用原理图表示,输出是设计好的版图。实际上,按定制方法设计 LCoS 显示芯片的工作量很大。该任务完全靠设计者自己完成,Cadence 平台只是帮助设计者把设计好的草图送入计算机,并辅以编辑、检查等功能来减轻人工劳动,防止出错<sup>[7.4]</sup>。因此,我们把整个版图设计过程分为 5 个子过程:划分、布图规划、布局、布线 and 压缩等。每步完成一个有限目标。

由于一个 LCoS 显示芯片包含约 50 万个晶体管,并且也由于设计平台存储空间和计算能力的限制,我们将把整个电路划分成若干个模块,将处理问题的规模缩小。划分时要考虑的因素有模块的大小、模块数、模块之间的连线数等。

布图规划的目的是为每个模块和整个 LCoS 显示芯片选择一个好的布图方案。在划分后根据其包含的器件数,和显示模式的要求估计模块的面积,再根据它和其他模块的连接关系以及上一层模块或芯片形状估计它的形状和相对位置。布图规划在整个布图设计中占有重要地位,但也由于其复杂性,只能由设计者手工完成。

布局的目的是要确定模块在芯片上的精确位置。它的目标是在保证连线布通的前提下使芯片面积尽可能小。由于布局时还未做布线,无法精确评价布局的质量。估计会存在因为某些布线区空间分配不合理,结果致使不能百分之百地完成布线的可能。那么,我们应当先进行一次初始布局,综合各模块的位置关系后进行改进布局。

布线阶段的首要目标是要百分之百地完成 LCoS 显示芯片电路模块间的互连,其次是要在完成布线的前提下进一步优化布线结果加提高电性能、减少通孔数等。通常的布线区域有两边通道(channel)、L 型通道(L-type channel)和四边通道(switch box)等可供参考<sup>[7.5]</sup>。鉴于 LCoS 芯片电路布图要求绝对紧凑,我们将把布线分为两步完成:总体布线和详细布线。总体布线完成线网在 LCoS 显示芯片模块间的合理分配,它只是把线网分配在合适的布线区域内,以确保所有信号线和连接线都能布通,而不关心走线的具体位置。详细布线则最终确定连线的具体位置。两步布线可以在总体分析线网连接要求和布线区资源后,合理地分配线网,避免局部拥挤。

压缩是布线完成后的一个优化处理。我们企图进一步减小芯片面积。但在压缩过程中必须保证不违反设计规则。然而应当注意到,LCoS 显示芯片电路中的 NMOS 显示驱动矩阵占了芯片的面积 90%以上,从前两章分析知道,这块面积随着液晶盒显示性能的要求而确定。

因此，需要我们进行优化的芯片面积微乎其微，那么布图方法转向以电性能优化为目标，即在整个布图过程中要考虑时延最小化。

### 5) 验证

版图验证的任务是检查版图中可能存在的错误，通常 LVSII 中的错误可以分成三类。第一类是违反几何设计规则的错误。为此对每个工艺线都会制定相应的几何设计规则，如果违反这些规则，就会导致芯片无功能或成品率下降。第二类是指电路连接性错误，如短路、开路、悬空端和孤立节点等，由于连接性错误将会导致芯片功能上的缺陷。第三类是电学性能上的错误。在 Cadence 平台上检查这些错误有 Diva 和 Dracula。我们将运用 Diva 进行在线验证。

## 7.1.3 版图布图模式

归根结底，LCoS 芯片电路是由近 50 万个 MOS 晶体管组成的，采用什么样的布图模式来合理地放置这些 PMOS 与 NMOS，才是解决问题的关键。

目前，广泛使用的版图样式之一是由 Uehara 和 van Cleemput 提出来的一维布图样式<sup>[7,5]</sup>(如图 7-1-2)，这种模式具有如下特点：

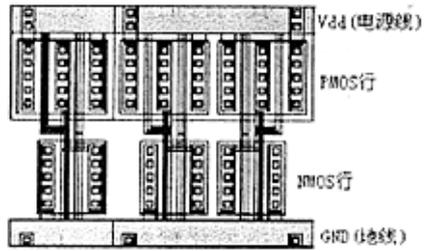


图 7-1-2 NMOS 器件一维布图模式

- (1) 单元版图包括 p 型和 n 型两排水平扩散条，PMOS 晶体管位于 P 型条，NMOS 晶体管位于 n 型条。
- (2) 共栅的 PMOS 管和 NMOS 管垂直对齐放置，共用一条多晶栅，这样一对 PMOS 管和 NMOS 管称为一个晶体管对，而不共栅但垂直对齐放置的一对 PMOS 管和 NMOS 管也称为一个晶体管对。
- (3) 电路中相连 MOS 管的源漏区如相邻，则用扩散区相连，称为源漏共用，多个连续排列且源漏共用的 MOS 管称为扩散链，由于 MOS 管常常 P、N 成对排列，所以扩散链又称晶体管对链。
- (4) 电源/地线平行地布于两排水平条以外。
- (5) 电源/地线以外的线网布在 P 型和 N 型水平条之间。

分析 LCoS 芯片后发现其版图结构应具有如下特征：

- (1) NMOS 驱动矩阵可视为一个像素单元的版图作 640×480(800×600)的阵列展开；
- (2) 周边驱动电路也具有—维高度重复性，即各行扫描驱动器电路结构完全一致，各列也是电路结构完全一致。

因此，对于 NMOS 显示矩阵只要设计出一个像素单元，然后按二维平面布图则可；周边驱动电路按照一维布图样式布局出一列或一行的版图，然后相邻行或列作镜相复制，这样可以使相邻的行或列共用电源线或地线，则能设计出最紧凑的版图。

设计行或列的版图采用核心生长法。首先将 NMOS 驱动矩阵安置在芯片的中部，然后以这些单元为核心放置行或列的相关单元，接着是时钟树和输入数据线，逐渐向芯片的四周扩

展和生长,直至单元全部安置完毕。另外, LCoS 芯片对 PAD 的位置没有限制,则引出接点的位置可取决于芯片内部单元的安置结果。最后再考虑放置陪管、测试点和测试电路。

#### 7.1.4 最坏条件考虑

对于任意网络,确定什么样的参数组合产生最坏条件是非常困难的<sup>[7.7]</sup>。最坏条件设计乃是在工艺师、器件物理学家和电路设计师的共同参与下完成的。实际上,由于电路形式已经达到了高度的成熟和稳定,工艺师往往把最坏条件参数提交给电路设计师,如果电路设计师要研制一个完全新的电路形式,工艺师和电路设计师就需共同评价这个新项目中“最坏”二字的含义。CMOS 器件的最坏条件是“SS”(慢速工作的 PMOS 和慢速工作的 NMOS),在慢速工作情况下  $C_{ox}$  是低的,而其它电容都是高的。但在“FF”(快速工作的 PMOS 和快速工作的 NMOS)情况下噪声容限往往是最坏的。这是由于此时器件的阈值电压低而接触电阻压降大的缘故。当时钟设计中存在竞争条件时,“FF”可成为最坏条件,因为正是在这个工作区域中,对于时钟边沿而言,门的动作是最快的,也就最容易发现竞争现象。因此,工艺师在综合了工艺线上可测试的参数后,向电路设计者提供了 MOS 器件的三种模型:“SS”、“FF”、“TYPICAL”,所以本篇论文在作单元或整体电路模拟时,通过把这三种模型先后代入同一电路进行模拟比较,完成对 LCoS 芯片的最坏条件考察,另一方面进一步修改优化电路结构。

## 7.2 设计准备

### 7.2.1 建立基本混合电路设计环境

Cadence 设计平台提供的 Analog Artist 是一个开放的模拟和混合信号设计环境,它以 DFII 为基础,可以集成和管理 Cadence 和第三家的设计工具以及数据和设计过程。建立基本混合电路设计环境的一个重要环节,是在 Analog Artist 设计环境下为 LCoS 芯片电路建立了混合电路基本库,其中涵盖到 MOS 晶体管的各类模型视图、寄生模型视图、各种仿真信号源视图等。

我们知道,类似 LCoS 芯片这类混合信号电路的设计远不同于数字电路。数字 ASIC 设计时可以只依靠自顶向下(Top-down)的设计方法,这种方法对 Verilog 和 VHDL 是有效的,因为 HDL 可以精确地描述数字系统的行为,其对应的仿真器也可以轻而易举地预测出几百万个逻辑门系统的行为。而模拟电路目前还没有一个正式标准 HDL 来描述,则使用的仿真器只能采用器件级模型,换言之,对于数模混合电路总的数字开关或模拟开关,只能使用器件级模型仿真。因此,无论从仿真电路规模还是从仿真速度来看均有很大的限制,从而迫使数模电路设计者以自底向上(Bottom-up)的方式来设计电路,这种方法只可实现规模较小的电路或单元,

如几百个元件或几千个元件,在分开验证每个小单元后再组成较大的模拟电路模块。然而,LCoS 芯片电路结构的高度重复性符合这种设计模式。

尽管如此,首先要考虑的仍是自己所用的仿真工具的能力问题。Hspice 是一个普遍认可的 EDA 工具,它在速度、优化和收敛性方面对 Spice 作了较大的改进,Level 已发展到 49 级,其模型参数比 Spice 多很多个,因而其算法更适合于亚微米 CMOS 技术 LCoS 芯片的设计。我们在 Analog Artist 混合信号设计环境中配置了 AVANTI 公司的 Hspice 模拟器<sup>[7,8]</sup>。

## 7.2.2 编写 LCoS 显示芯片的工艺文件(LCoS.tf)

版图是由各种形状的掩膜层组合而成,一层掩膜对应一个 IC 工序。本篇论文应用 Cadence 软件为版图设计建立了包括掩膜层及其显示特性、工艺设计规则和电阻电容等物理参数在内的工艺文件。并基于这个工艺文件开发了基本的元件库。元件库将为设计提供了晶体管、电阻、电容以及焊盘。

图 7-2-1 示意了数模混合电路环境中,基本库文件之间的信息流向关系。工艺文件起枢纽的作用,因为完整的芯片设计需要版图设计规则检查、版图提取和对照等环境文件的支持。Cadence 软件为建立这类环境文件提供了 Diva 和 Dracula 两种生成格式。由于 Diva 格式的程序支持在线检查,在执行后直接在版图上显示错误,针对 LCoS 芯片的具体生产工序,我们编写与 Diva 验证工具相匹配的工艺文件(LCoS.tf,详细内容见附录 3)。Cadence 在这方面提供了工艺文件范本,可以按照拟采用的加工工艺相机修正范本文件。在 LCoS 芯片工艺文件(LCoS.tf)中包括以下主要内容:

- (1) LCoS 芯片版图层及其属性的定义
- (2) 符号元件
- (3) DRC、ERC、LVS 检查规则
- (4) 寄生电阻、电容提取规则
- (5) 抽象单元规则

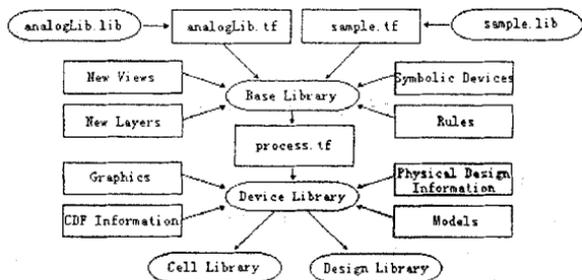


图7-2-1 在Cadence平台上建立混合电路基本库信息的数据流程图

## 7.3 LCoS 显示芯片设计过程

LCoS 显示芯片的版图设计过程是按照层次式设计方法,将整个电路按功能原理分层,自顶向下逐层划分,进行逻辑设计与分析;在版图设计中则采用自底向上的模块式结构,先画出各功能单元的版图,对这些基本单元进行 DRC、ERC 检查,在保证这些基本单元的正确性

后,再一步一步由底向上对拼装出的总图进行 DRC、ERC 检查,并作器件级后模拟,以保证总图的正确性。

第 3 章 EDA 工具的介绍中已说明, Cadence 平台是业界广泛使用的设计工具,该软件通过 Library/Cell/View 三级目录辅助芯片设计。因此,要在 Cadence 平台上为 LCoS 显示芯片系统建立新的 Library;分析 LCoS 芯片系统及其指标,确定 LCoS 芯片系统的各个模块,每个模块对应于 Library 中一个 Cell;每个模块的设计包括电路(Schematic)设计和版图(Layout)设计,两者密不可分,电路图与版图都是模块中的 View。图 7-3-1 为 LCoS 显示芯片在 Cadence 平台上的设计流程框图。

第 1 步: LCoS 显示芯片制作工艺选择及其工艺库建立。

选择 0.6um-n 阱硅栅 CMOS 工艺设计 LCoS 显示芯片,用文本编辑器输入器件模型参数、版图层定义(层名,层号)、显示特性(颜色、填充)、DRC 规则等等。附录 2 是用 skill 函数为 LCoS 显示芯片设计编写的工艺文件。

第 2 步: LCoS 显示芯片功能划分,原理图输入。

这一步工作是要保证电路图设计的正确性,整个电路模拟功能划分的层次式结构共七层,从顶层单元开始逐级往下直到晶体管级,如图 7-3-2 所示。

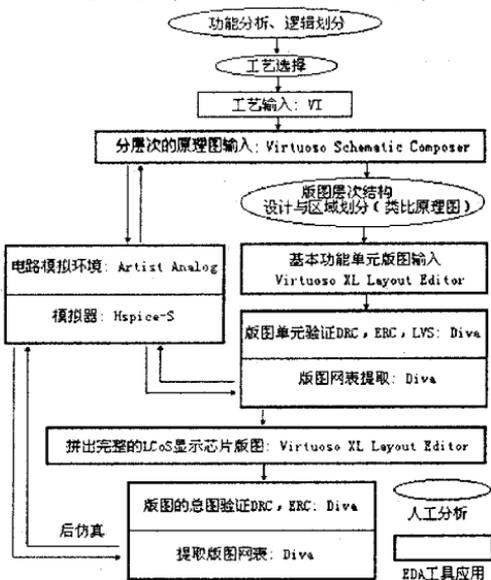


图 7-3-1 LCoS 显示芯片设计流程框图

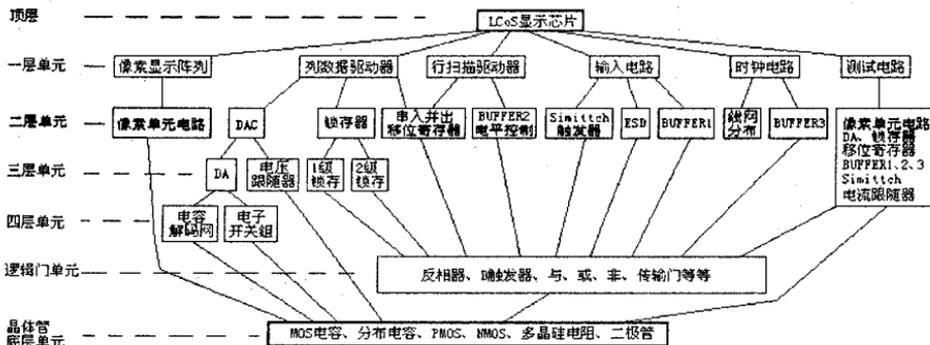


图 7-3-2 LCoS 显示芯片电路层次结构示意图

用电路图编辑器逐层自顶向下构造整个原理图。在实际设计中,各层次单元的电路图输

入与模拟是交叉进行的。

第3步：LCoS的电路模拟。

在LCoS显示芯片设计中没有确定的门级单元参数，在这种情况下，模拟采用器件级模拟，用SPICE参数获得较高的模拟精度。因此在逻辑图输入期间，所有上层单元的view均指定为子电路；最底层的PMOS、NMOS晶体管及电阻电容的view指定为器件；其功能由Hspice-S模拟器中的内部模型描述，而指定的器件模型库中有它们的参数。

电路模拟的顺序采用的是先对较低层次的单元进行模拟，再合成大模块模拟，最后是整个LCoS电路图的模拟。

第4步：版图设计。

版图设计是以分层次的全定制方式，以较大范围的功能划分为基本版图区域为原则，如电容解码网、电子开关组及电压跟随器、锁存器、移位寄存器等为版图单元。用版图编辑器Virtuoso XL Layout Editor进行人工交互图形输入方式输入版图图形的，并分单元进行验证，以保证版图单元设计的正确性。各单元设计输入完成以后，进行高层次拼图验证，最终拼出LCoS显示芯片总图，最后对总图进行合理验证，此时验证的重点在单元的联结上。

第5步：版图验证。

LCoS显示芯片的版图验证主要进行的是版图设计规则检查DRC和电学规则检查ERC，而版图的逻辑功能验证以版图后仿真为主。在线验证工具Diva为后续的电学规则检查和器件级后模拟准备版图网表数据，运行Diva所需的工艺数据和版图数据已在前4步中输入Cadence平台的数据库中。为了将Diva的结果有效地用于ERC、LVS和Hspice-S，需要在版图编辑器中专门为版图的端口和一些被关心的节点命名。

版图设计规则DRC通过后，进行电子规则检查，检查内容包括：短路检查，开路检查，电源地短路检查，与电源 $V_{DD}$ 和地GND连接不正确的子电路，缺少输入或输出的子电路等。

LCoS显示芯片的总图经DRC、ERC检查后，剩下的问题就是版图能否实现预期的功能，版图设计的目标是得到能完成指定功能的正确版图数据，DRC能保证设计的版图符合工艺几何规则，ERC可保证线路的电连接性正确。为了对版图的逻辑功能进行验证，采用Diva提取的网表文件LCoS.net做后模拟，其中使用进行逻辑图模拟时的同一个激励文件(信号源)。

第6步：合成版图数据带

LCoS与客户的接口是GDSII数据，用Cadence系统的数据库管理工具(Dracula)完成此项合成工作，得到文件LCoS.GDS。至此完成全部设计工作。

## 7.4 有源NMOS显示驱动矩阵设计与模拟

前两章为LCoS显示芯片设计的NMOS显示驱动矩阵的等效电路如图7-4-1所示，在互相正交配置的480(600)根栅极线和640(800)根源极线交点处，形成NMOS开关管、电荷存储

电容器。单个 NMOS 管和 MOS 电容的电学性能在第 4 章有详细讨论。现在把它们组合成矩阵而带来新的问题, 即由扫描线金属电极的电阻(R)和数据金属电极的电阻(R)分别与矩阵中相关电容(C)造成的信号延迟现象。这些问题不仅取决于像素中金属电极和绝缘介质的材料的选择、器件结构以及单元像素和矩阵的设计, 而且与显示器的分辨率、尺寸等显示性能参数有关。而这些参数同时又涉及到器件的开口率、成本、工艺难度即成品率等。因此, LCoS 显示驱动矩阵的优化设计是一个综合多种参数与因素的复杂问题, 准确理解信号延迟的形成机制与过程是进行优化设计的关键。

图 7-4-2 给出了 NMOS 矩阵中第  $i$  行扫描电路简并为 RC 延迟网络的过程, 图 7-4-2(c) 中框出了一个像素单元等效 RC 电路和模拟设定值。实际上是把 640 个像素单元等效电路串联起来, 模拟研究一行扫描线的实际电学行为过程。扫描脉冲沿扫描线传输的延迟和模拟情况分析如下。

导致信号延迟的 RC 因子主要取决于 RC 回路中的电阻和电容<sup>[7,9]</sup>。对于每个像素单元, 电阻可以简单地取定为扫描线金属电极(用第 1 层金属制作)的电阻, 它取决于电极材料的电阻率和扫描电极线的尺寸, 对于场序彩色 LCoS 显示芯片已知:

- (1) 像素单元尺寸:  $L_{\text{pixel}}=12\mu\text{m}$ ;
- (2) 扫描线方块电阻:  $\rho_{\text{scan}}=0.04\Omega/\square$ ;
- (3) 扫描线宽度:  $W_{\text{scan}}=1\mu\text{m}$ 。

则图 7-4-2(c) 中的电阻:

$R=0.5(L_{\text{pixel}}/W_{\text{scan}})\rho_{\text{scan}}=0.24\Omega$ , 实际模拟分析中取值  $R=1\Omega$ 。

RC 回路中电容的处理较为复杂, 包括栅源线交汇处的交叠电容  $C_x$ , NMOS 晶体管沟道电容  $C_{\text{NMOS}}$ , 液晶等效电容  $C_{\text{LC}}$  和存储电容  $C_s$ , 已知:

- (1) 第一层金属与第二层金属间的单位面积寄生电容值  $C_{x0}\approx 0.06\text{fF}/\mu\text{m}^2$ ;
- (2)  $W_{\text{scan}}$  与  $W_{\text{date}}$  的乘积为扫描线宽和数据线的交叠面积, 约  $1.2\mu\text{m}^2$ (第二层金属宽  $1.2\mu\text{m}$ );
- (3) 存储电容  $C_s=2\text{pF}$ , 且  $C_s\gg$ 液晶等效电容  $C_{\text{LC}}$ ;
- (4) 栅氧化层单位面积电容值  $C_{\text{ox}}$  约为  $2.5\text{fF}/\mu\text{m}^2$ ;
- (5) 沟道面积估计值为  $W_{\text{gate}}$  与  $L_{\text{gate}}$  的乘积  $=2.6\mu\text{m}\times 0.6\mu\text{m}=1.6\mu\text{m}^2$ ;

则  $C_x=C_{x0}W_{\text{scan}}W_{\text{date}}=0.07\text{fF}$ , 可忽略不计。

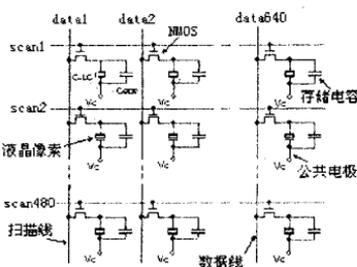


图 7-4-1 NMOS 显示驱动矩阵等效电路

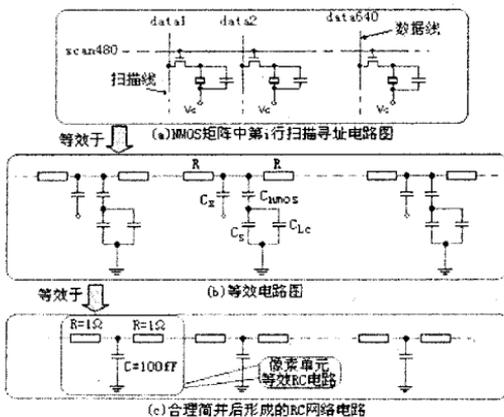


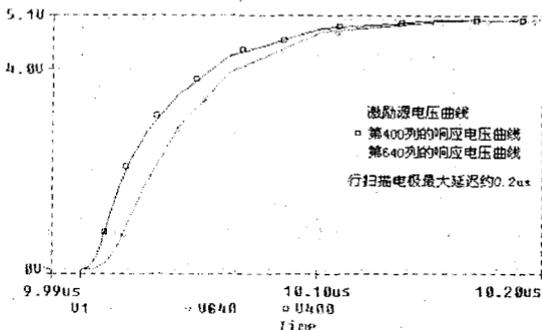
图 7-4-2 第 1 行扫描电路 RC 延迟特性分析

当扫描电压施加在 NMOS 器件上时,将在沟道起感应电荷构成 MOS 沟道电容  $C_{NMOS}$ :

$$C_{NMOS} = C_{ox} W_{gate} L_{gate} = 4fF$$

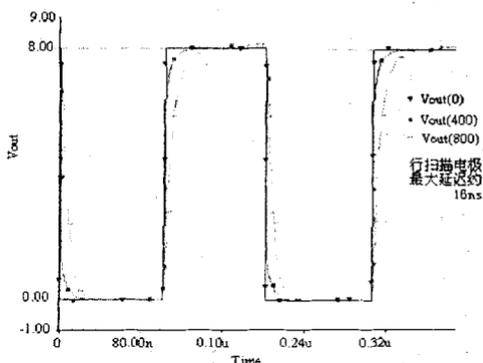
因此,  $C_g \gg C_{NMOS}$ , 两者串联时可忽略  $C_g$ 。另外,考虑到源、漏、衬底等的其它寄生电容, RC 网络中 C 最大取值为  $100fF$ 。

图 7-4-3 分别是彩色 LCoS 芯片和单色 LCoS 芯片物理版图模拟结果。图 7-4-3(a)中 V1 是激励源电压曲线,高电平 5V,低电平 0V,脉冲宽度  $4\mu s$ ,上升或下降时间分别  $0.05\mu s$ 。V400 是第 400 列(像素单元)的响应电压曲线。V640 是第 640 列(像素单元)的响应电压曲线。显然,第 640 列(像素单元)的电平上升时间就是该行扫描电极的最大延迟时间,约  $0.2\mu s$ 。在本篇论文所设计的彩色场序显示模式中,一行的扫描有效时间不少于  $1.1\mu s$ ,因此分配最后一列(480 列)的驱动时间不少于  $0.9\mu s$ ,从第 5 章的像素单元充放电原理分析中知道,这个时间足够像素单元完成电荷充放电任务。



(a)彩色LCoS显示芯片扫描电极延迟模拟结果

图 7-4-3(b)中分别模拟出  $V_{out}(0)$ 第 1 列、 $V_{out}(400)$ 第 400 列和  $V_{out}(800)$ 第 800 列(像素单元)的响应电压曲线,结果得到  $16ns$



(b)单色LCoS显示芯片扫描电极延迟模拟结果

图 7-4-3 第 1 行扫描线 RC 网络模拟结果

的延迟时间,这是由于扫描电极线的物理结构采用金属 1 与多晶硅栅复合设计。单色 LCoS 采用逐点寻址方式,即首列像素单元与末列像素单元读入信号时间相差接近一行周期约  $33\mu s$ ,可见扫描电极线的延迟可忽略。

数据信号对像素单元充放电机理可见第 5 章的详细分析。因为采用逐行扫描模式,即每次数据线电极只对一个像素单元冲放电荷。那么,位于显示矩阵最底部的第 480 行像素单元,虽然与位于显示矩阵最顶部第 1 行像素单元冲放电荷的路径长短有异,显然存在 RC 延迟因素,但设计中采用以下方法解决之:

- 1) 采用宽度为  $1.2\mu m$  的第 2 层金属制作数据线电极,第 1 行与第 480 行像素单元之间的数据线电极等效电阻约  $200\Omega$ ,故在第 1 行与第 480 行间产生的延迟差异将非常小;

2) 采用数据信号上下同时驱动模式, 即奇数列由上数据驱动器控制, 偶数列由下数据驱动

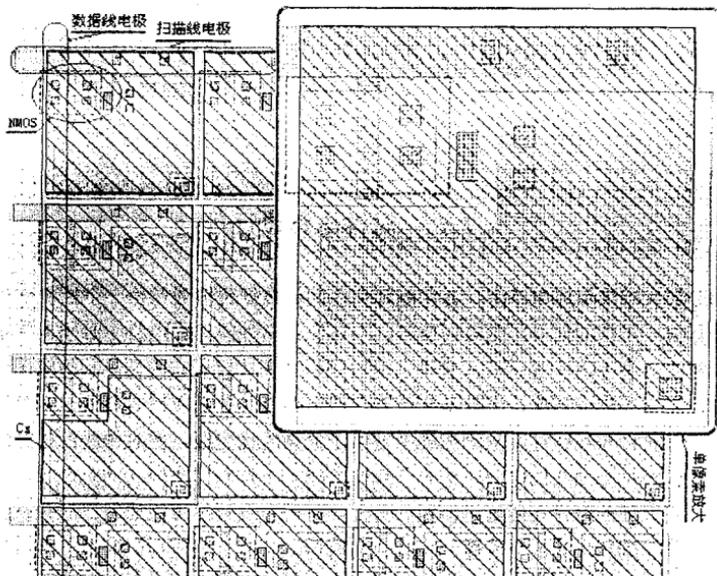


图7-4-4 彩色LCoS显示芯片NMOS显示矩阵版图局部

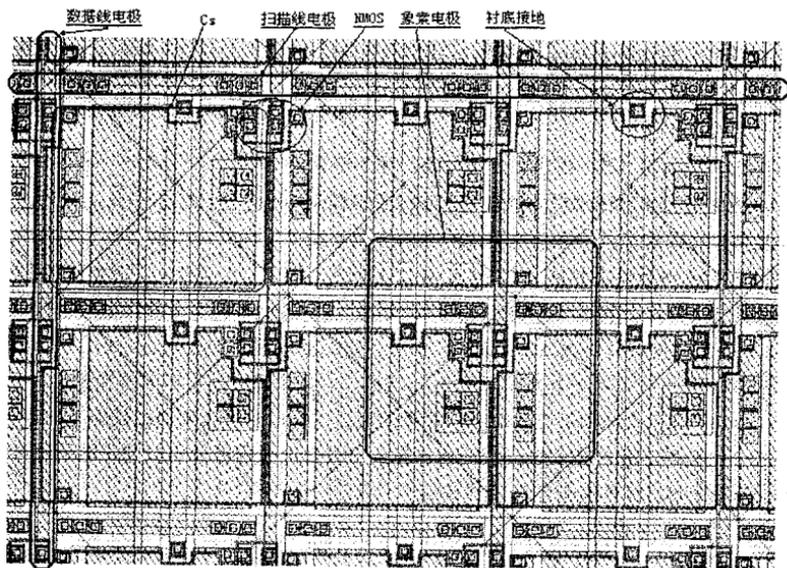


图7-4-5 单色LCoS显示芯片NMOS矩阵版图局部



$$t_{TG} = \frac{C_i}{K_p(V_{DD} - |V_{TP}|)^2 + K_n(V_{DD} + V_{TN})^2} \int_0^{V_{DD}} dV_{out} \quad (7-5-2)$$

$$= \frac{C_i V_{DD}}{K_p(V_{DD} - |V_{TP}|)^2 + K_n(V_{DD} + V_{TN})^2} \approx \frac{C_i V_{DD}}{K_p(V_{DD} - |V_{TP}|)^2 + K_n(V_{DD} + V_{TN})^2}$$

这样便可通过调节传输门的尺寸来控制时钟畸变。但事实并非如此简单，因为传输门的寄生电容亦将随其尺寸



图7-5-2 互补时钟电路

的变化而变化。实际设计过程是首先设计产生  $CK$ 、 $\overline{CK}$  的双反相器链，然后相应地调整传输门尺寸。实际产品应用表明在工作频率不太高的钟控电路中，可采用图 7-5-2 的互补时钟电路来产生无交叠两相时钟信号。

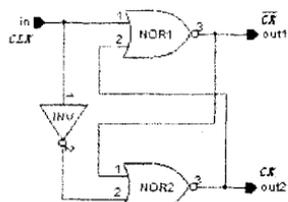


图7-5-3 利用RS触发器产生不交叠时钟信号

第 2 种方法是采用 SR 锁存器电路，如图 7-5-3 所示。 $CLK$  进行反相后， $CLK$  和  $\overline{CLK}$  用来驱动 SR 电路，则两相时钟信号  $CK$  和  $\overline{CK}$  可从锁存器的输出得到。为保证电路的正确操作，需要检查两个方面：首先通过反相器的传输延迟需要比时钟周期小，这样使  $\overline{CLK}$  有时间送入到锁存器中；第二个问题则是涉及到 NOR 门的设计方面。如果两个 NOR 采用完全相同的电路，则它们的输出线就应有相同的输出电容以使它们的开关延迟相同。但是实际上它们的输出电容取决于它们各个所连的负载，故每个输出电容的实际值与版图尺寸有密切关系。

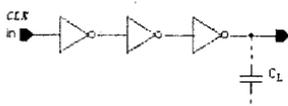


图7-5-4 利用反相器链制作时钟驱动器

第 3 种方法比较简单，可视为第 1 种方法的简化，即图 7-5-2 中示意的互补时钟发生驱动器，非常适用于对交叠时钟要求不严格的电路，如钟控时钟电路，长跨度时钟分布网络等电路。

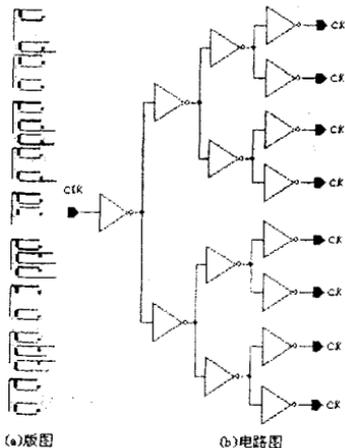


图7-5-5 树型时钟驱动器

## 7.5.2 时钟的驱动和分配

上一节讨论了时钟的产生。一旦时钟信号生成，还必须以最小的时钟畸变方式分配到整个芯片。分配过程产生时钟畸变的原因是：

- 1) 负载的不平衡
- 2) 传输线上延迟的不相等

所以在同步逻辑设计中时钟的驱动电路以及与之密切相关的分配方案是非常重要的。时钟电路的驱动能力必须能够在所要求的时钟频率下处理大的电容负载。一种方法是用上节涉及到的反相缓冲器(Buffer)链设计时钟分配网络,以使时钟发生器与时钟分配线相匹配,这样既可提高驱动能力又可提高工作速度。级联式时钟驱动器的结构如图 7-5-4 所示。图中  $C_L$  可表示为:

$$C_L = C_{Line} + \sum C_i$$

$C_{Line}$  代表时钟分配线的输入电容,  $C_i$  为第  $i$  级时钟控制 MOS 栅极电容。时钟分配可用多扇出的平衡式树形网络形式,如图 7-5-5 所示。

时钟有三级缓冲驱动,而每级中可用相同的驱动器完成。由于将扇出分成许多组,也使输出电路的驱动要求降低,则较用单级实现时所要求的驱动器尺寸也明显降低。而且每路的反相器都可对时钟波形整形,可使其性能随内部布线变化的影响大为减小。图 7-5-5(a) 示意了树型时钟的版图结构,为了优化版图空间,所有反相器压缩成一线,利用芯片版图提取的网表进行仿真,其结果证明上述布图方式是可行的。

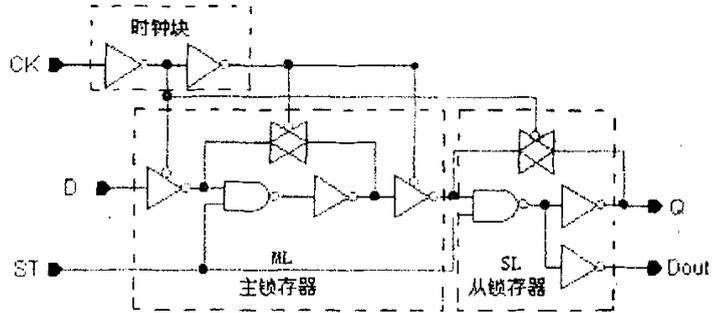


图 7-6-1 准静态主从 D 触发器

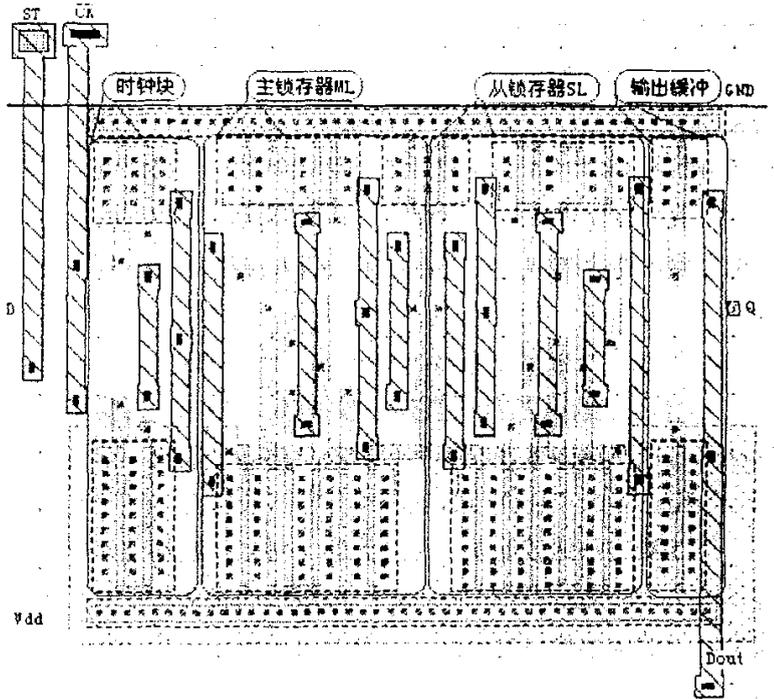


图 7-6-2 准静态主从 D 触发器版图

## 7.6 数字电路部分设计和模拟

### 7.6.1 准静态主从 D 触发器

我们采用了一种准静态 D 触发器结构, 它把静态存储方式和动态存储方式结合起来, 既简化了电路, 又保证了存储信号稳定可靠<sup>[7,10]</sup>。图 7-6-1 是本篇论文设计的准静态主从 D 触发

器电路图，由主锁存器 ML、从锁存器 SL 和时钟块三部分构成。时钟模块将输入的单相时钟 CK 分为两相不交迭时钟，用以控制主、从锁存器是导通还是锁定。

在 CK 时钟上升沿将数据 D 存入主锁存器；而在 CK 时钟下降沿将送入的数据 D 存入从锁存器，并从 Q 端输出到下一节的 D 端，同时主锁存器被封锁，阻止了空翻。ST 为清 0 端，可避免触发器产生不定态，当连接成多节移位寄存器时，ST 连成同步清 0 端。图 7-6-2 是相应版图，图 7-6-3 是模拟时序结果。当 CK 为高时，ML 处于导通状态，即 ML 输出=D；而 SL 则处于锁定保值状态，即  $D_{out}$  保持上一时钟期间的值。当 CK 为低时，ML 锁定，而 SL 导通刷新并输出新值。

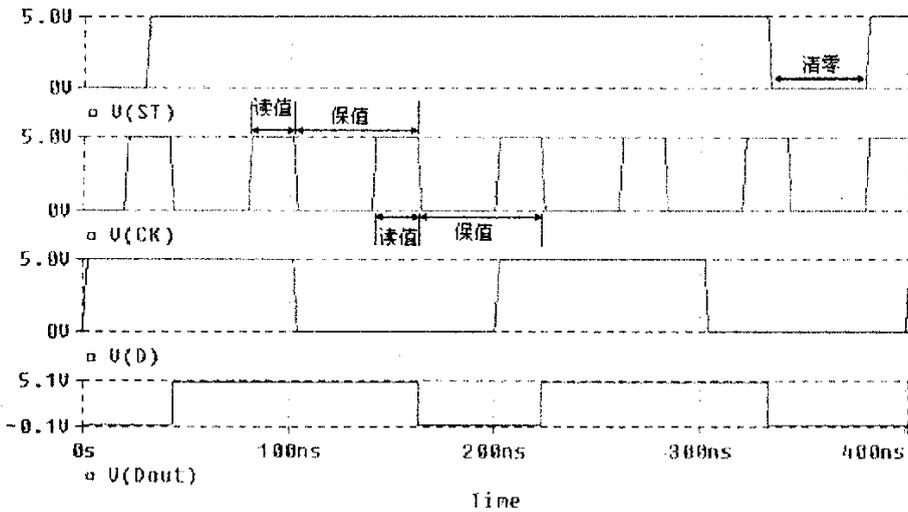


图 7-6-3 DFF 时序模拟结果

	Q1	Q2	Q3	Q4
经 1 个 CK	1	0	0	0
经 2 个 CK	0	1	0	0
经 3 个 CK	0	0	1	0
经 4 个 CK	0	0	0	1

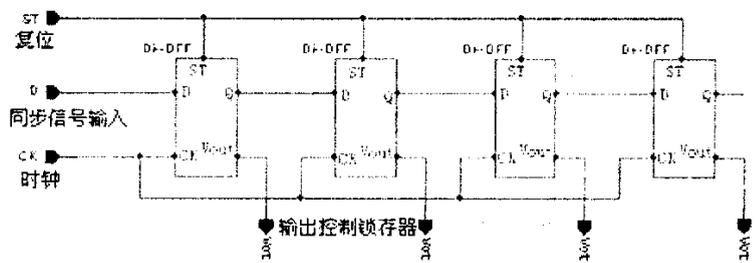


图 7-6-4 4 节行向移位寄存器示意

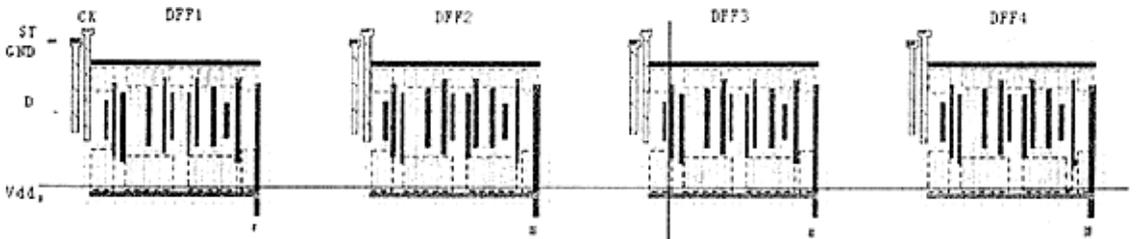


图 7-6-5 4 节行向移位寄存器版图

## 7.6.2 多节移位寄存器

移位寄存器是数字系统中重要的逻辑部件，具有移位和寄存功能，从结构上看是将若干

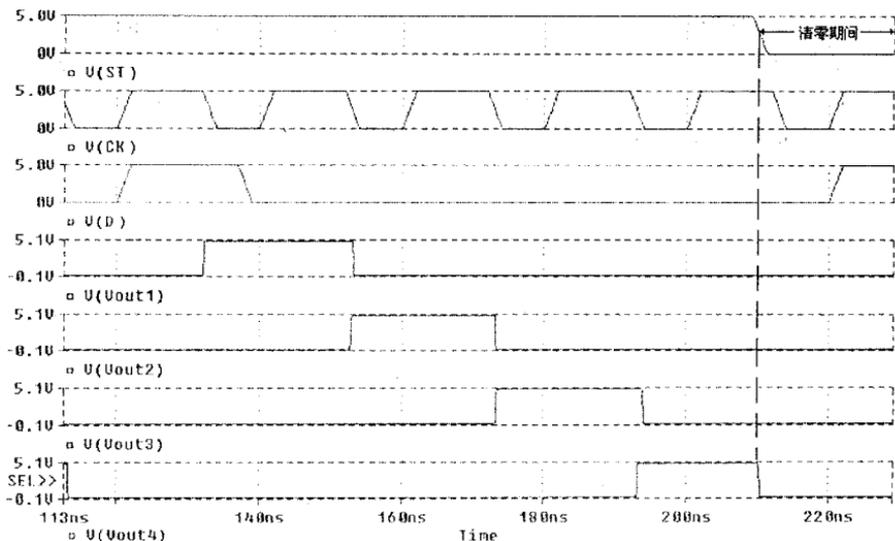


图 7-6-6 4 节 DFF 时序模拟波形

节触发器级联起来，按数据输入方式来分，有串行和并行两种，而移位方向则有左移和右移，按数据输出也有并出和串出之分。本篇论文为彩色 LCoS 显示芯片行数据驱动电路设计的是两组 80 节双向串入并出移位寄存器，行扫描驱动电路则用单向 480 节串入并出移位寄存器。

图 7-6-4 示意了 4 节行向串入并出移位寄存器，由边沿触发的 4 个准静态 D 触发器级联而成，触发器新状态  $Q_i^{n+1}$  ( $Vout=Q_i^{n+1}$ ) 取决于 CK 正沿到来时 D 端的数据，而 D

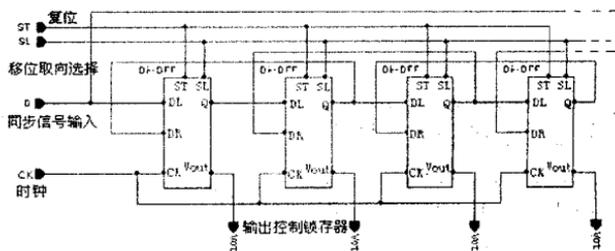


图 7-6-7 4 节行向移位寄存器示意

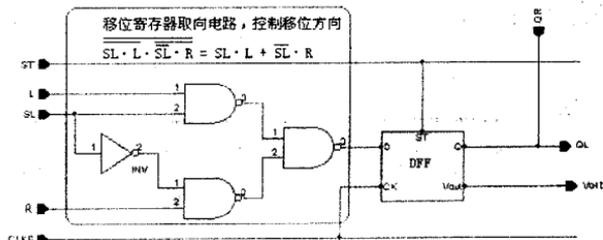


图 7-6-8 增加移向控制的 D 触发器结构示意图

输入就是相连前级现态  $Q_{i-1}^n$ ，移位寄存器运作前，ST 端置 0 清 0，使得输出  $V_{out} = Q_0 = 0$ 。

对于行扫描驱动电路输入 D 端的数据为帧同步信号，CK 信号为行时钟，则移位寄存器的输出  $V_{out_i} (= Q_i)$  可以产生逐行扫描信号。图 7-6-5 是彩色 LCoS 芯片行扫描驱动电路串入并出移位寄存器的部分版图。图 7-6-6 是图 7-6-4 的模拟波形图，故按图 7-6-6 所示数据  $D_i = 0001$  为例，1 在前，经 4 个 CP 后，输出  $Q_i$  如表 7-6-1 所示。

图 7-6-7 示意了 4 节列向串入并出双向移位寄存器，对于列数据驱动电路输入 D 端的数据为行同步信号，CK 信号为像素时钟，则移位寄存器的输出  $V_{out_i} (= Q_i)$  可以控制锁存器把串行的视频数字信号逐一分割锁存各列。另外增加了左右移选择控制信号 SL，控制行同步信号是从行移位寄存器的左端还是右端输入，从而实现整个显示图像的左右对称翻转。

图 7-6-8 示意了增加移向控制电路的 D 触发器的电路结构。我们在常规 D 触发器的数据输入端设计了一个组合逻辑电路，从而实现移向判断。图中给出了选择信号 SL 的逻辑关系式，其中规定了  $SL=1$  时取从左向右移，而  $SL=0$  时取从右向左移。

### 7.6.3 两级锁存器

两级锁存器按功能可分成 5 部分，如图 7-6-9 所示。第 1 部分是取数控制器，采用钟控

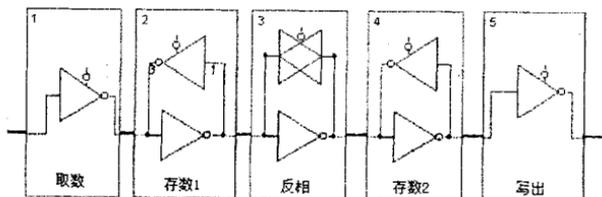


图 7-6-9 两级锁存器电路结构框图示意

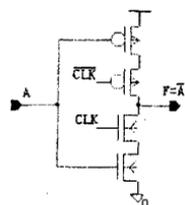


图 7-6-10 钟控 CMOS 反相器

CMOS 逻辑电路(见图 7-6-10)，其特点是与常规 CMOS 互补门相比，在上拉 PMOS 管和输出节点之间和下拉 NMOS 管与输出节点之间分别串入一个钟控 PMOS 管和一个钟控 NMOS 管。其中钟控 NMOS 管的栅极与时钟 CLK 相连；钟控 PMOS 管的栅极与时钟 CLKB 相连。时钟  $CLK$  和  $\overline{CLK}$  是一对互补时钟，但在钟控 CMOS 逻辑电路应用中，该两相时钟边沿的对准性并不像两相重叠时钟或两相不重叠时钟那样要求严格。因而采用图 7-6-3 所示的时钟电路产生的  $CLK$  和  $\overline{CLK}$  可满足要求，这点也在实际电路应用模拟中得到验证。采用钟控 CMOS 反相器的另一个原因是，该电路中相邻两个 NMOS 或 PMOS 的源、漏可以重叠缩小版图面积，而且 MOS 管均可按同一方向放置，减少布线交叉桥，使版图更加紧凑。

在互补时钟作用下，钟控 PMOS 和 NMOS 将同时导通或截止，则钟控 CMOS 反相器的输出仅在  $CLK$  为高电平时有效。我们用行向多节移位寄存器的输出作为钟控 CMOS 反相器的单相输入时钟( $CLK$ )，则能完成对串行数字视频信号的分割，使信号逐一读入相应的各列数据驱动器。在第 2 部分的 1 级锁存器和第 4 部分 2 级锁存器中都使用了钟控电路。数据在 1

级锁存器存完一行视频信号后，写入 2 级锁存器。

2 级锁存器写满后，在第 5 部分写出信号的作用下，整行数据写向显示矩阵，同时 1 级锁存器读入新的一行视频信号。其中的第 3 部分将配合公共电位的反转要求，将数据信号逐场取反。具体原理可参看第 6 章对低压驱动模式的讨论。因而，如此反复，将完成逐行读写数据功能。图 7-6-11 是两级锁存器取反功能的模拟波形图，当取反信号  $Fin$  取高电平，输出取反。

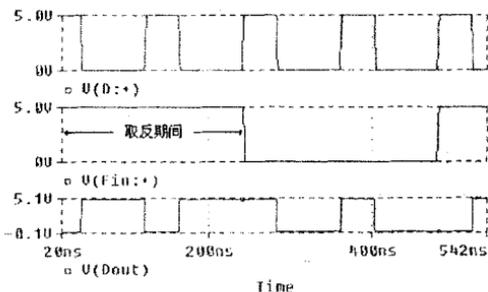
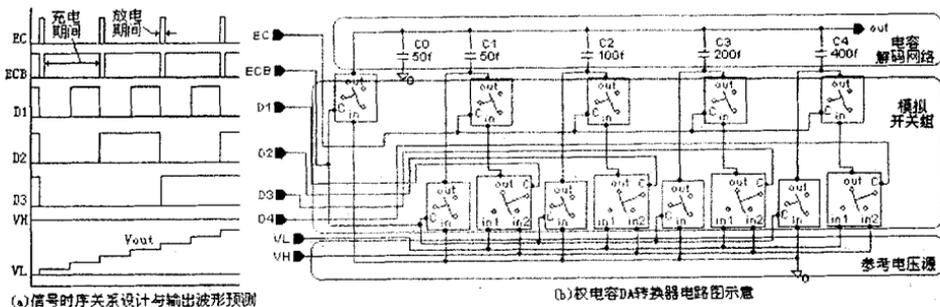


图 7-6-11 两级锁存器取反功能的模拟波形

## 7.7 数模转换器设计

### 7.7.1 DA 转换器信号时序设计

本篇论文设计了一种权电容 DA 转换器，其工作原理已在第 4 章作过详细讨论，实际电路结构如图 7-7-1(b)所示，由一个电容解码网络、模拟开关组和参考电压  $V_H(=4V)$ 、 $V_L(=1V)$



(a) 信号时序关系设计与输出波形预测

(b) 权电容 DA 转换器电路设计

构成；一个不重叠的两相时钟 EC 和 ECB 控制电容解码网络冲放电荷；4 位数字信号 D1、D2、D3 和 D4 将被转换成相应的模拟电平输出。图 7-7-1(a)示意了 DA 各信号间的时序关系，并预测输出波形。首先，在 EC 相期间，开关闭合，网络中所有电容放电，随后在 ECB 期间，受  $D_i$  控制的开关，若  $D_i=1$  时，电容接参考电压  $V_H$ ； $D_i=0$  时，电容接  $V_L$ 。如果输入的数字的码元全为 1，则总电荷在电容器阵列中按二进制分布。

图 7-7-2 是电路结构如图 7-7-1 所示的 DA 转换器的模拟输出波形。令 4 位输入数字信号从 1111 连续变化到 0000，则 DA 转换器的输出电压  $V_{out}$  相应地输出 4V 到 0V 的连续递减电

平, 其中  $1\text{LSB}=(4\text{V}/16)=0.25\text{V}$ , 共 16 个电位。用于驱动液晶像素时, 对每种基色最大可提供 16 级灰度显示。

## 7.7.2 CMOS 模拟开关

在上述电容解码网络中, 需要电子模拟开关完成数字信号对参考电位的选择, 即这些开关输入的是 0 和 1 两个状态, 传输的却是参考电压 GND、VH 和 VL。显然模拟开关在工作时应具备下列特点:

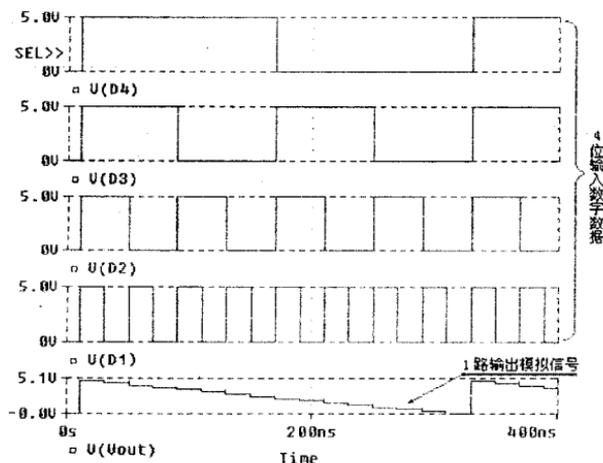
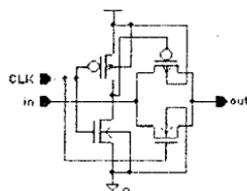
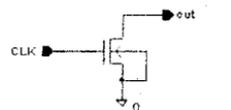


图 7-7-2 DA转换器电路图模拟输出波形



(a) 电容解码网中的 CMOS 模拟开关



(b) 电容解码网中的 CMOS 放电开关

图 7-7-3 两类模拟开关

- (1) 开关的状态是由输入数字信号的状态(逻辑 0 或逻辑 1)来控制的, 这一点和门电路中对反相器的要求是一样的。
- (2) 要求开关的接通和断开不影响被传送的模拟信号数值。这就要求它的开关特性尽可能地接近于理想开关特性。

根据电容解码网络中模拟信号传递情况, 分别使用两类模拟开关(见图 7-7-3):

- (1) 需要在不同电压间转换的开关, 或控制模拟信号通断的开关采用 CMOS 模拟开关, 其电学特性已在第 4 章详细分析;
- (2) 仅控制泄放残余电荷的, 可使用对“0”传输为理想开关的 NMOS 管。图 7-7-3 是放电开关电路图。

## 7.7.3 电容网络版图设计

LCoS 显示芯片中使用电容 DA 转换器原因有三:

其一，该类转换器功耗极低，忽略电容漏电流的原因，其功耗几乎为零；其二，LCoS显示芯片采用逐行扫描工作方式，并不需要很高转换速率，权电容 DA 转换器用的其所；其

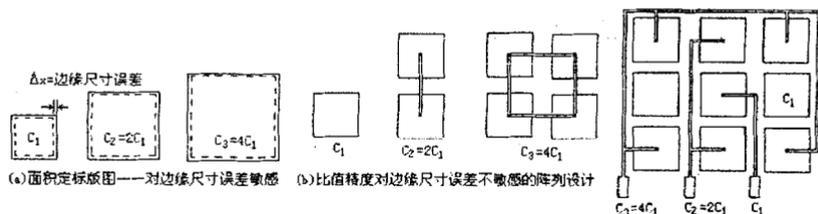


图 7-7-4 DA 电容器阵列版图设计示意图

图 7-7-5 共质心电容阵列版图示意图

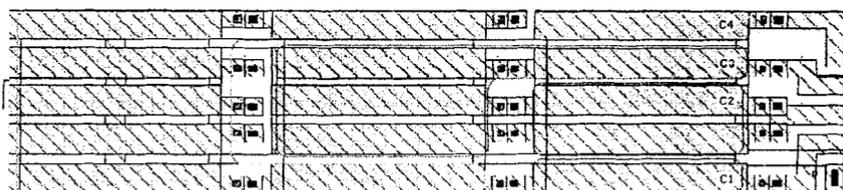


图 7-7-6 实际电容网络版图

三，在 MOS 集成电路中电容器不仅容易制作，而且可以通过精确控制电容器的尺寸严格地保持各电容器之间电容量的比例关系。

构成网络阵列的电容器都须按使其比值匹配达最佳的要求来设计。电容的比值误差有以下三个来源：

- (1) 掩膜过程的边缘尺寸。
- (2) 由于金属互连和在介质氧化物台阶上的金属覆盖造成的上极板寄生电容。
- (3) 整个芯片上氧化物的厚度梯度。

光刻工艺的边缘尺寸极限对电容器长、宽的不确定性贡献的误差近似为 0.1~0.2 $\mu\text{m}$ 。实际上采用上极板金属略覆盖场介质层

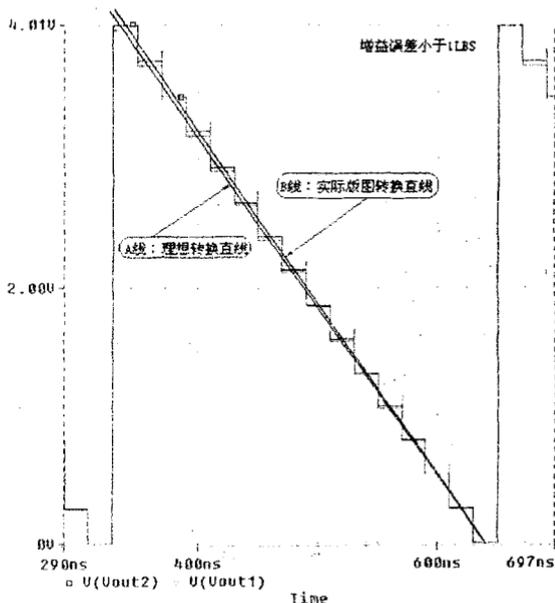


图 7-7-7 实际与理想转换直线比较

的结构,那么它对边缘寄生也有贡献。一般,任意边缘尺寸的相对不确定量 $\Delta x$ ,通过工艺公差都能较好地相对固定。为使这种不确定性的影响减至最小,电容器的长宽比一般都选为相等,因而电容器设计成为图 7-7-4 所示的图形。假如直接采用图 7-7-4(a)所示面积定标来设计电容比的话,那么随着电容面积的减小,电容的比值对边缘尺寸的误差 $\Delta x$ 的灵敏度将增加。使用图 7-7-4(b)所示电容阵列形式,因面积和周长的比值是同时定标的,电容比可由许多相同单位电容的互连配比来避免。

电容比值精度的另一个误差是薄介质氧化物中出现的长距离厚度梯度。氧化物厚度梯度的数量级可达沿芯片表面每密尔(千分之一英寸)长度约 $\pm 10 \sim \pm 100 \mu\text{m}$ 范围。我们在版图设计中利用图 7-7-5 所示的共质心图形和电容阵列的互连,使这种长距离的梯度效应减至最小。而且在我们采用的 DA 转换情况中,电容的比值都是整数倍,利用单位电容阵列不难实现。

图 7-7-6 是实际设计的单列数据驱动器中的电容网络版图,表面上看, C1 电容器位于于右下角,似乎形成“偏质心图”,实际 LCoS 显示芯片的列数据驱动器是 240 列并列规则排列,总体组合成均匀的共质心图形。

图 7-7-7 是理想电容解码网和实际电容版图网络的 DA 转换曲线的比较,线条 A 是理想转换直线,直线 B 是实际版图的转换直线。从第 4 章 DA 转换器特性的论述中知道, A 线与 B

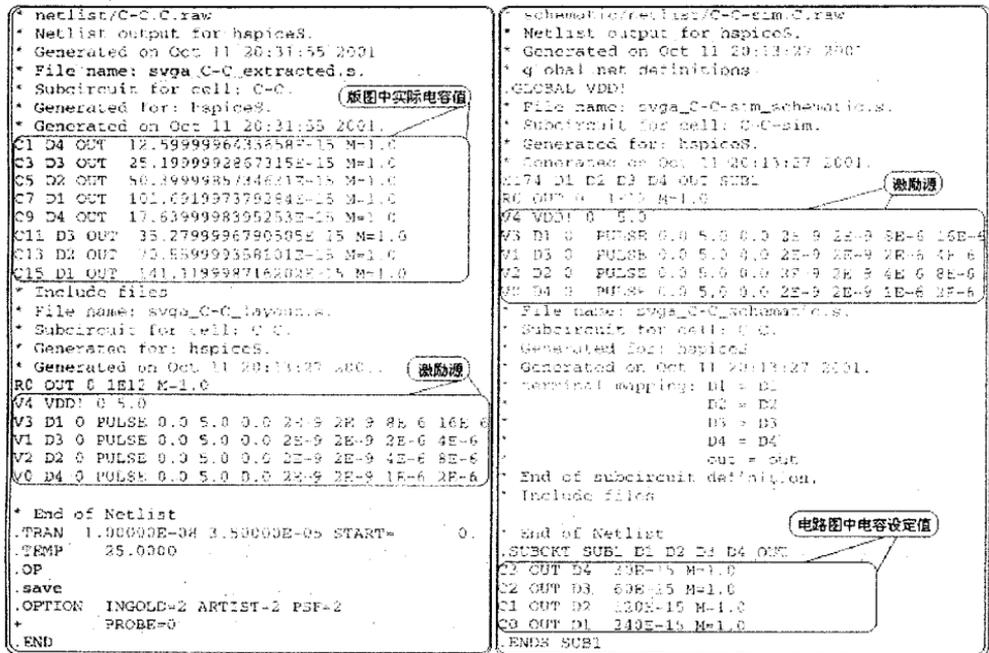


图 7-7-8 DA 电容解码器在不同层次设计中的电路网表比较

线的差别将导致 DA 的增益误差，但图 7-7-7 的曲线表明，这种偏差约 0.1V，小于 1LSB，不会影响 DA 的转换性能。

图 7-7-8 是分别从版图和电路图中提取的网表，如图中标记所示，两者的电容器数值的确存在差异；表 7-7-1 列出了理想设计值与实际提取值。因此，我们在两个网表中设计了相同的激励源信号，由此来定量分析这个差别的类型和数值。

电容器	C <sub>1</sub> (fF)	C <sub>2</sub> (fF)	C <sub>3</sub> (fF)	C <sub>4</sub> (fF)
理想值	30	60	120	240
版图值	30.24	60.48	120.96	241.90

## 7.8 功放设计和模拟

### 7.8.1 电压跟随器设计

电压跟随器电路原理图如图 7-8-1 所示。LCoS 显示芯片上共有 640 个电压跟随器，分别为每列数字线提供驱动信号输出，电压驱动范围在 0.5~4.5V 之间，可以实现良好的灰度控制。V<sub>a</sub>、V<sub>b</sub> 接偏置电压，偏压的大小对电压跟随器输出电压的幅度值和大信号工作时瞬态响应影响很大，图 7-8-2 是模拟 V<sub>a</sub> 固定 V<sub>b</sub> 取不同电压值时输出电压幅度值变化的结果。

此电压跟随器的特点在于它采用差动输入端，使其具有优异的差模输入特性和较高的共

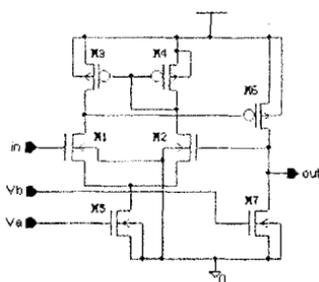


图 7-8-1 电压跟随器

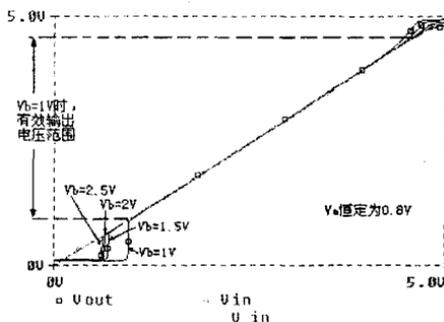


图 7-8-2 V<sub>b</sub> 取不同值时，输出电压幅值变化的模拟结果

模信号抑制能力；另外，为提高输出端电压跟随能力，在电路结构中引入负反馈。图 7-8-1 中所有的管子源衬短接，并工作在饱和状态。电路的差动电压传送由差分对 M1、M2 实现，M3 和 M4 构成电流镜，M6、M7 提供必要的负反馈。其工作原理为：当输出端电流变化引起电压变化时(假设 V<sub>out</sub> 增加)，M2 栅极输入电压增加，由于 M1、M2 组成差分对，导致 M1 的漏极输出电压也增加；M6 和 M7 组成共源放大器，M7 为有源电阻，M6 栅极电压增大，使输出端电压降低，因此抑制了 V<sub>out</sub> 端电压的变化。

该电路的一个特点是对于体效应造成的阈值电压变化不敏感。所有 PMOS 管源极和阱接

正电源,所有 NMOS 三极管源极和衬底接地(M3 和 M4 除外)。这样,衬底电压保持为零,不会造成阈值电压的变化。

虽然晶体管 M3、M4 源极没有接衬底,但它们组成了差分对,有相同的源电压,因此 M3、M4 阈值电压具有相同的变化,作为共模信号,阈值电压的变化被抵消。表 7-8-1 给出了各晶体管的 W/L 尺寸。

尺寸(W/L)	
M1, M2	4.8 $\mu\text{m}$ / 0.8 $\mu\text{m}$
M3, M4	7.2 $\mu\text{m}$ / 0.8 $\mu\text{m}$
M5	2.4 $\mu\text{m}$ / 0.8 $\mu\text{m}$
M6	60 $\mu\text{m}$ / 1 $\mu\text{m}$
M7	30 $\mu\text{m}$ / 1 $\mu\text{m}$

### 7.8.2 电压跟随性能模拟

当电源电压为 5V,  $V_a=0.8\text{V}$ ,  $V_b=1.5\text{V}$ 。图 7-8-3 为输出端电流频响特性的 Hspice 模拟结果。对于 300kHz, 峰值为 1V 的正弦输入信号, 总谐波失真小于 0.25%。输出电压跟随输入电压变化的模拟结果见图 6-8-2。

图 7-8-4 为输入方波时输出响应模拟, 可见, 该电压跟随器的最大电压建立时间约 0.2 $\mu\text{s}$ 。

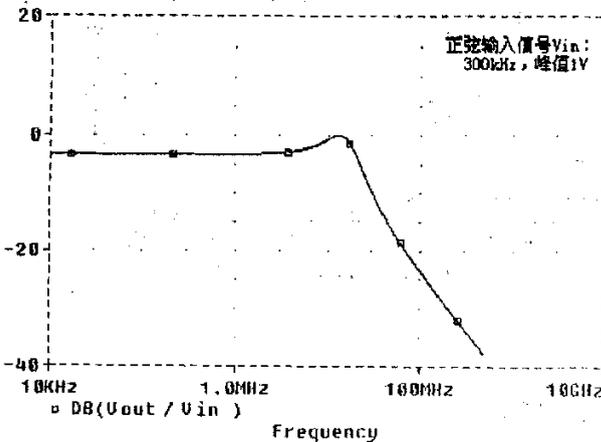


图 7-8-3 电压跟随器幅频特性模拟曲线

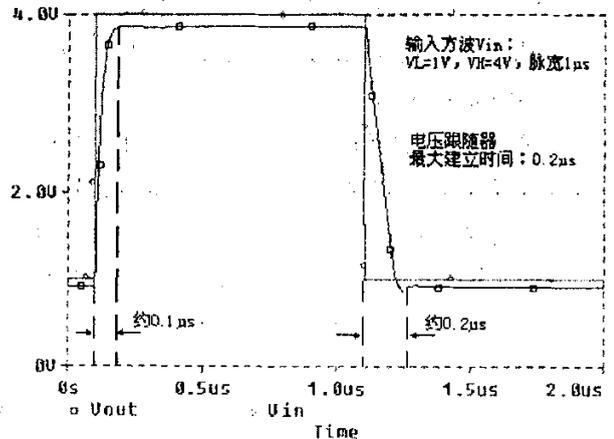


图 7-8-4 输出电压最大建立时间模拟

## 7.9 测试电路设计

一个完整的系统级芯片测试应包括芯核内部测试,以保证每个芯核正确无误。LCoS 显示芯片包含了 10 多个数字的、模拟的或是数模混合的单元电路,它们又都深埋在芯片中协同工作,从功能或结构上都不能可能事先分离测试。只能在系统芯片被制造出来后作为系统级芯片的一部份和芯片同时测试。按照 SoC 芯片可测性设计技术,通过某种电路模块的接入将这些单元芯核和外围测试资源接通,有以下 3 种方法可供选择<sup>[7.11]</sup>:

(1) 并行直接连入技术,它是将芯核的 I/O 端直接连至芯片的引出端,或者通过多路选择器实现芯核 I/O 端和芯片引出端公用。对芯片内嵌入芯核比较少的芯片或有丰富引出

端可利用的芯片往往用这种方法。并行直接连入的优点是可直接不利用独立芯核的测试方法测试片上嵌入的芯核。

- (2) 串行扫描链接入法，本方法是在芯核四周设置扫描链，使芯核的所有 I/O 都能间接的不时地接通。通过扫描链，可以将测试图形传至测试点，也可以将测试响应结果传出。边界扫描技术就是一种特定的接入方法。串行扫描方法的优点是节约引出端口。
- (3) 接入功能测试机构，这种方法是在芯核周围接入逻辑模块以产生或传播测试图形。片上自测试是其中一种，在片上接入测试资源，实现对特定芯核的测试。自测试降低了外围接入模块的复杂性，只需简单的测试接口，绝大多数存贮器测试可用此方法，将自测试逻辑和存贮器芯核设计在一起。

众所周知，从功能结构上 LCoS 显示芯片不需要向片外输出驱动信号，彩色 LCoS 显示芯片有效输入信号引线端 42 个，单色 LCoS 显示芯片包括测试输出焊盘仅 30 个引线端。可见，相对于其它类型的 SoC 芯片可谓较少焊盘。因此第(2)和(3)方法一方面设计技术复杂，另一方面没有必要考虑迁就节省焊盘数。另外，按照本篇论文对 LCoS 显示芯片制作工艺流程的设计，可以在芯片四周设计大量在线测试用 PAD，而封装成为液晶盒时不必引出。我们参照硅基显示芯片测试电路的常规设计模式<sup>[7,12]</sup>，选择第(1)种测试方法。如图 7-9-1 示意，由于 LCoS 显示芯片四周必须预留密封胶线区域，可把各单元芯核电路制作在其间，并配置 I/O-PAD，便于裸芯在线测试。

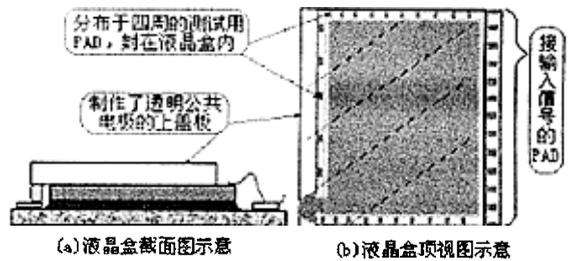


图7-9-1 配置测试用I/O-PAD位置示意

## 7.10 端口电路设计

LCoS 显示芯片的输入-输出端口电路分成三种：

- (1) 数字信号输入端口
- (2) 各类恒定电压(电源电压、参考电位、地电位)输入端口
- (3) 测试数-模量输出端口

第一类端口电路由三部分组成，如图 7-10-1 所示，由输入保护(ESD)、整形电路和输入缓冲组成。输入保护用来为栅上积累的静电荷提供放电通路，保护连接输入压点的 MOS 管的

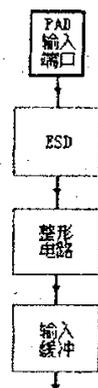
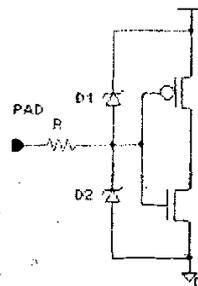
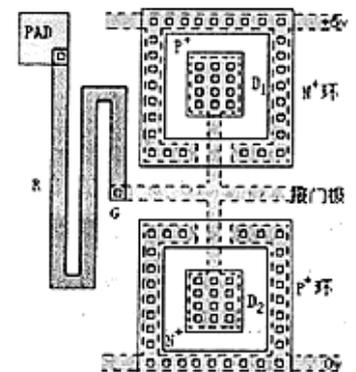


图7-10-1 数字信号输入端口框图



(a)电路图



(b)版图结构示意图

图7-10-2 LCoS显示芯片输入保护电路(ESD)

栅。图 7-10-2 示出了 LCoS 显示芯片中双二极管保护电路。其中 R 是多晶硅电阻， $D_1$  是由中间的  $p^+$  扩散区和 n 型硅衬底形成的二极管，在  $p^+$  区周围有  $n^+$  保护环并与  $V_{DD}$  相连。当瞬间输入端电压(压焊点)高于  $V_{DD}$  时， $D_1$  管正向导通。并由 R 的分压作用而使 G 点电位钳制在  $V_{DD}+0.7V$ 。因此，MOS 晶体管的栅极受到保护。 $D_2$  管是由  $n^+$  扩散区与 p 阱形成的反向二极管，外面有一  $p^+$  保护环与  $V_{SS}$  相连，当输入端(压焊点)有一外来负电压时，则  $D_2$  管正向导通。由于 R 上的分压作用，使 G 点的电位被钳制在  $-0.7V$  左右，同样保护了 MOS 晶体管不被负高压击穿。由此可见，当  $V_{in} > V_{DD}$  和  $V_{in} < V_{SS}$  时，由于  $D_1$  和  $D_2$  的分别导通，在 R 的分压作用下，保护了输入门极不被击穿。当  $V_{DD} > V_{in} > V_{SS}$  时，电路处于正常工作。另外，加入 ESD 版改进 N 管的抗 ESD 能力。

第二类端口可直接输入。

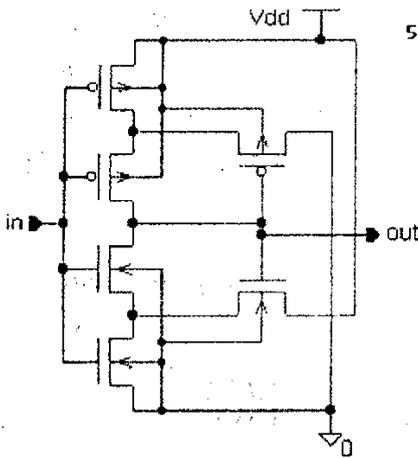


图 7-10-3 Schmitt 触发器电路图

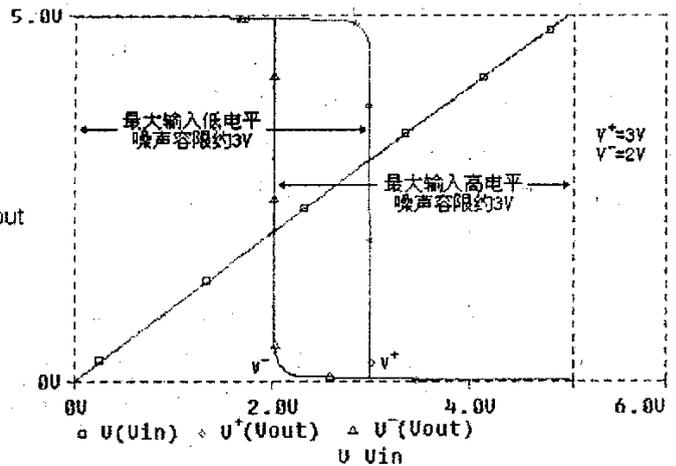


图 7-10-4 Schmitt 触发器电压传输特性模拟

第三类端口对于中试芯片尤其重要，原因是需要从这些端口提取测试信号，从而判断芯片电路的工作状态和故障。一般来说，这类端口需要驱动测试探针带来的接触大电容，因此端口必须提供足够大的驱动电流，即需要配置输出缓冲器。根据前面对时钟链驱动电路的分析，我们采用反相器链结构，也就是用几级反相器串联，使反相器的尺寸按相同比例 (2.7 左右) 逐级增大，以保证在负载比较重的条件下，脉冲的上升时间和下降时间仍能

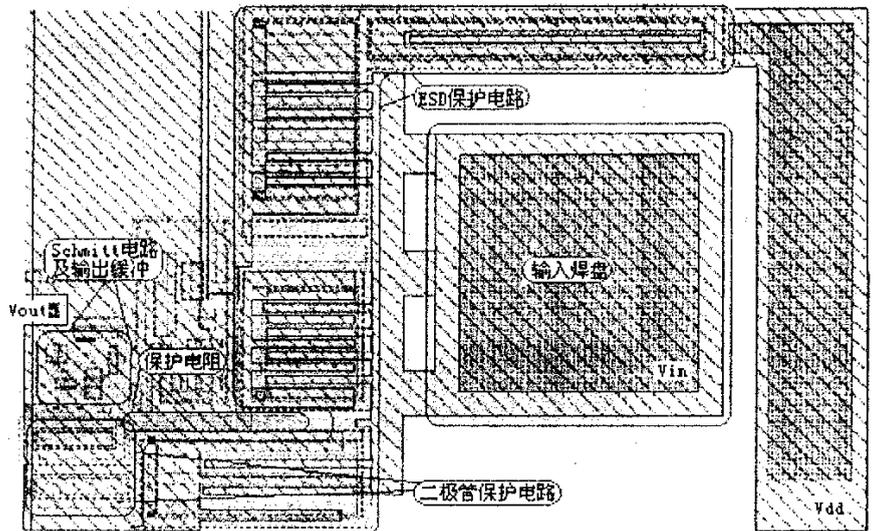


图 7-10-5 LCoS 微显芯片第一类端口版图

符合要求。模拟表明这种情况下，各级 MOS 管可发挥出最大驱动能力。

这里采用史密特触发器(Schmitt trigger)构成整形电路<sup>[7,13]</sup>。史密特触发器是一种阈值转换电路，当输入信号从低电平向高电平变化时，必须大于阈值  $V^+$  才能使输出电平下降；而当输入信号从高电平向低电平变化时，必须小于阈值  $V^-$  才能使输出电平上升。图 7-10-3 是 CMOS 史密特触发器的电路图，图 7-10-4 是模拟出来的电压传输特性曲线。我们看到在这里： $V^+=3V$ ， $V^-=2V$ 。图 7-10-5 是 LCoS 显示芯片第一类端口的版图，图中已表明各部分电路的位置分布。

### 7.11 LCoS 显示芯片版图布局

无论彩色还是单色 LCoS 显示芯片，其 NMOS 驱动矩阵可视为一个象素单元作  $640 \times 480$  或  $800 \times 600$  的阵列展开；周边驱动电路则具有一维高度重复性，即各行扫描驱动器电路结构完全一致，各列也是电路结构完全一致。因此，我们只消按照一维布图样式布局出一列或一行的版图，然后相邻行或列作镜相复制，这样可以使相邻的行或列供用电源线或地线，则能设计出最紧凑的版图。版图布局说明见图 7-11-1 和 7-11-2。

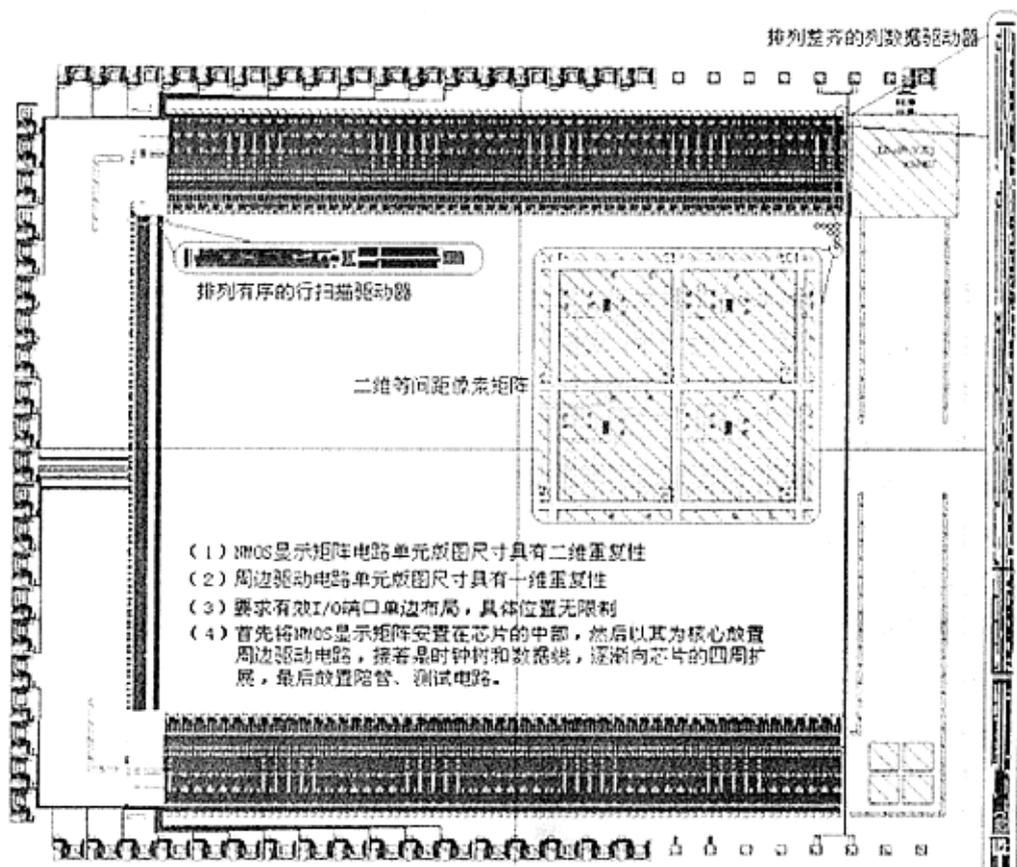


图 7-11-1 彩色 LCoS 显示芯片版图示意

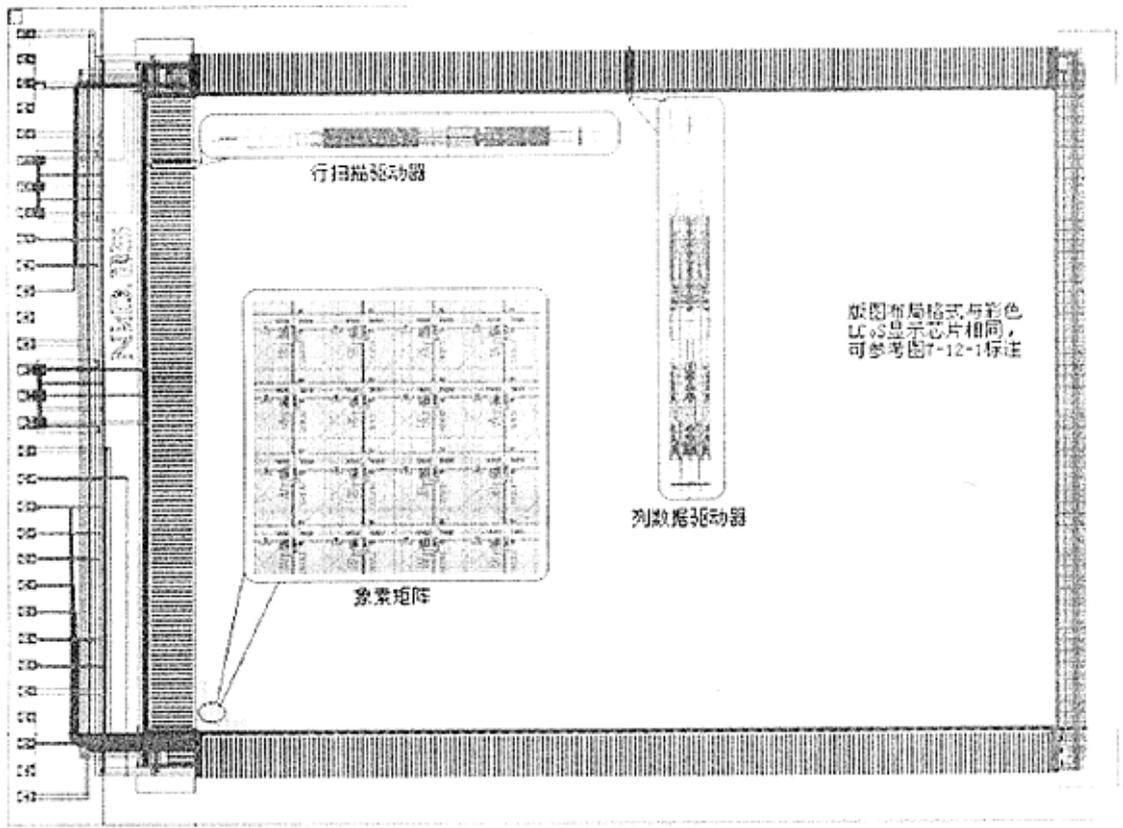


图7-11-2 投影用单色LCoS显示芯片版图及相关注释

图7-11-3和图7-11-4是笔者利用Cadence集成电路设计平台,采用0.6 $\mu\text{m}$ 的n-阱4层金属CMOS工艺规则,分别设计的彩色LCoS(VGA分辨率,时序彩色化)显示芯片版图,和单色LCoS(SVGA分辨率)显示芯片版图的一角。

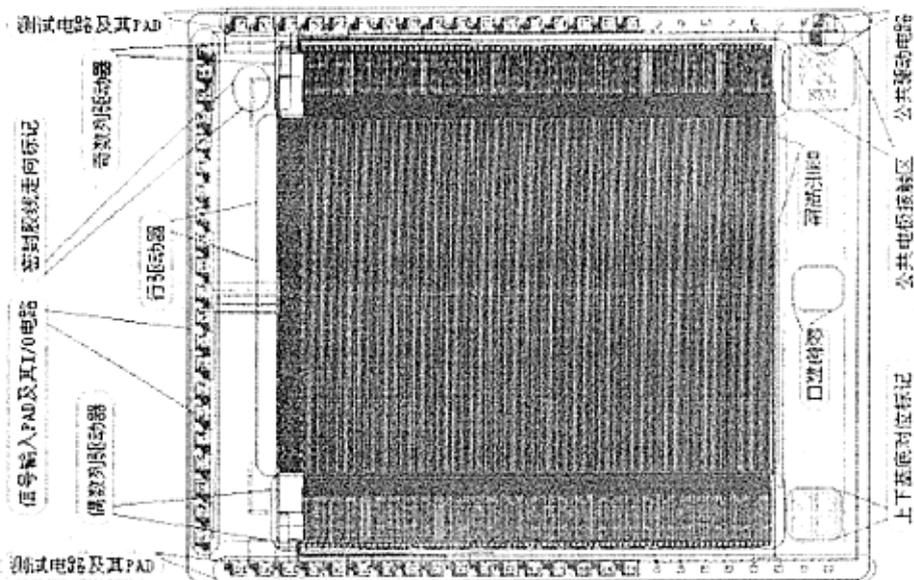


图7-11-3 0.6 $\mu\text{m}$ 标准CMOS工艺设计的LCoS(时序彩色化VGA显示模式)光刻版图

图 7-11-3 中像素截距设计为  $12\mu\text{m}$ ，而像素间距可控制到  $0.8\mu\text{m}$ ，所以最后得到约 87% 的开口率，并且其芯片对角线保持在约  $15\text{mm}$ （约 0.6 英寸）左右。在图中示意了 LCoS 显示芯片电路结构中主要单元电路的位置分布。详细版图见附录 3。

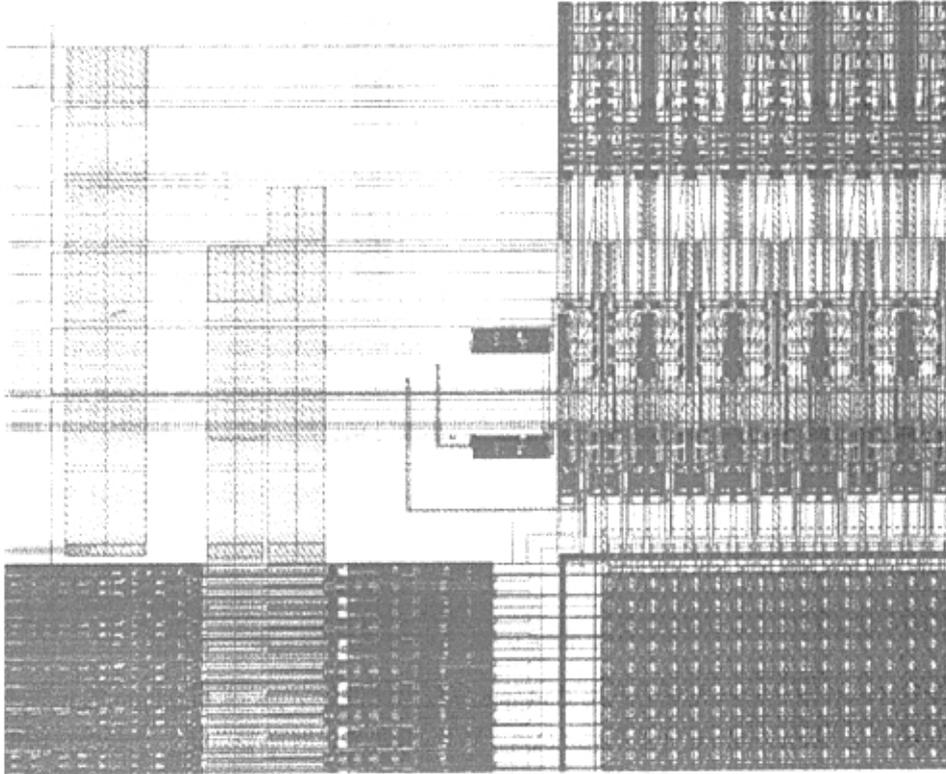


图 7-11-4 单色 LCoS 显示芯片版图一角

## 7.12 寄生参数提取与后仿真

设计检查完毕后，进行寄生参数的提取和静态时序分析。在后仿真验证过程中，可将从版图中提取的寄生参数文件计算出延迟文件，再反标回逻辑网表进行后仿真。

以 LCoS 芯片中 1 列 4 位数据驱动器电路设计为例，在设计检查阶段，按照前面编写的工艺文件(LCoS.tf)，对该列驱动器的物理版图(layout)作 LPE 提取，生成 extracted 单元(view)。显然新单元对应的网表将比 DAC 的 schematic 单元的网表多计入连线 RC 网络、器件寄生参量等。我们在以 extracted 视图对应的网表中加入和 schematic 单元电路模拟中一样的激励源信号，使用相同的模拟器，再进行一次仿真，得到图 7-12-1 所示结果。比较两图发现：用版图提取的网表进行模拟，结果发现 DA 转换线出现非线性误差，但该误差最大值没有超过 1LSB；而用电路图生成的网表进行模拟，可以得到近乎理想的 DA 转换直线。

总之，两次仿真输出图形除了在一些细微部分出现毛刺（估计是寄生电容所致），整个曲线走势及 16 级电平的划分都非常相似，这验证了列数据驱动器电路设计的正确性。

图 7-12-2 是 LCoS 显示芯片 1 列数据驱动器的版图，主要由串入并出移位寄存器、两组 4 位锁存器、电容解码网络（4 位 DAC）、电压跟随器等组成，可产生 16 级灰度的模拟信号（如图 7-12-1 所示），并可根据显示材料的物理性能需要，把这些模拟信号设置成逐行或逐场反转。

在本章末应该提及的是，我们为硅基显示芯片所建立的基本单元包括<sup>[7,14]</sup>：反相器，门电路，准静态 D 触发器，模拟电子开关，基本运算放大器，电平变换器，电容网络，以及各种应用

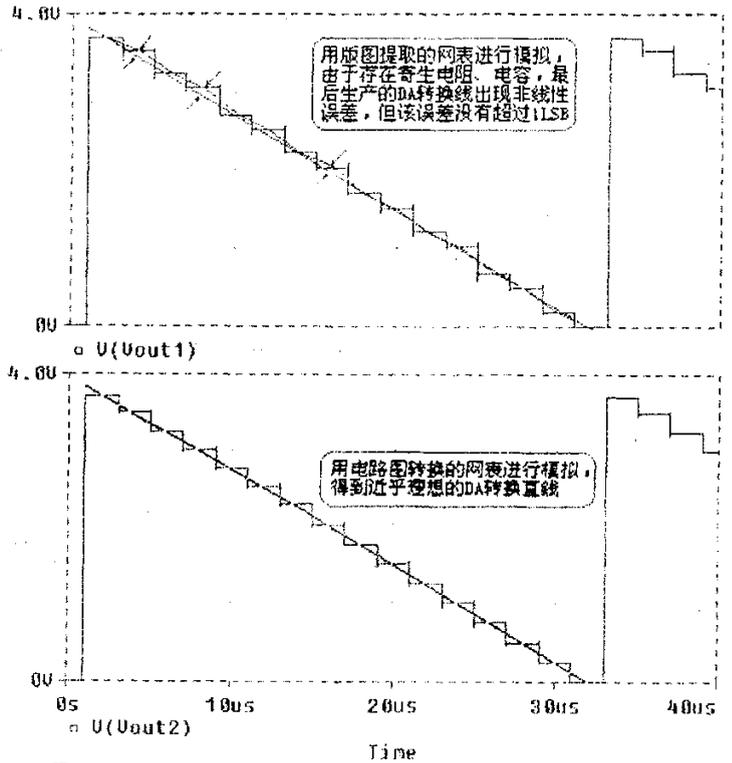


图 7-12-1 列驱动器电路图 (schematic) 与版图 (layout) 仿真结果比较

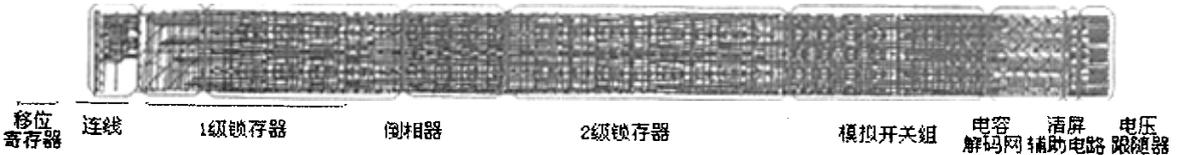


图 7-12-2 彩色 LCoS 显示芯片 1 列数据驱动器版图

的 I/O 单元，共 10 个，图 7-12-3 展示了部分单元版图。我们注意到各基本单元的逻辑功能不同，其版图面积也不可能一样大小，因此我们规定列方向上的基本单元，其宽度一致；而在行方向上的基本单元，其高度一致；并且与显示矩阵的规则排列相一致。这为 IP 模块的自动化设计铺平了道路。

### 7.13 小结

本章详尽叙述了基于 Cadence 平台设计 LCoS 芯片版图的具体步骤及其结果，反应了本篇论文的实际研究工作及其成果。7.1 节阐述了设计 LCoS 芯片版图的详细思路 and 具体布线模式。7.2 节和 7.3 节详细叙述了 Cadence 辅助设计 LCoS 芯片的步骤。7.4 节、7.5 节、7.6 节、7.7 节、7.8 节、7.9 节和 7.10 节分别说明了在 Cadence 平台上对 LCoS 芯片各基本电路单元版

图的设计与模拟及其结果，其中包括有源 NMOS 显示驱动矩阵设计与模拟，时钟电路设计，LCoS 芯片电路中数字电路部分设计和模拟，数模转换器设计，功放设计和模拟，测试电路设计以及接口电路设计和模拟。7.11 节给出了芯片的整体版图。7.12 节描述了后仿真的结果。

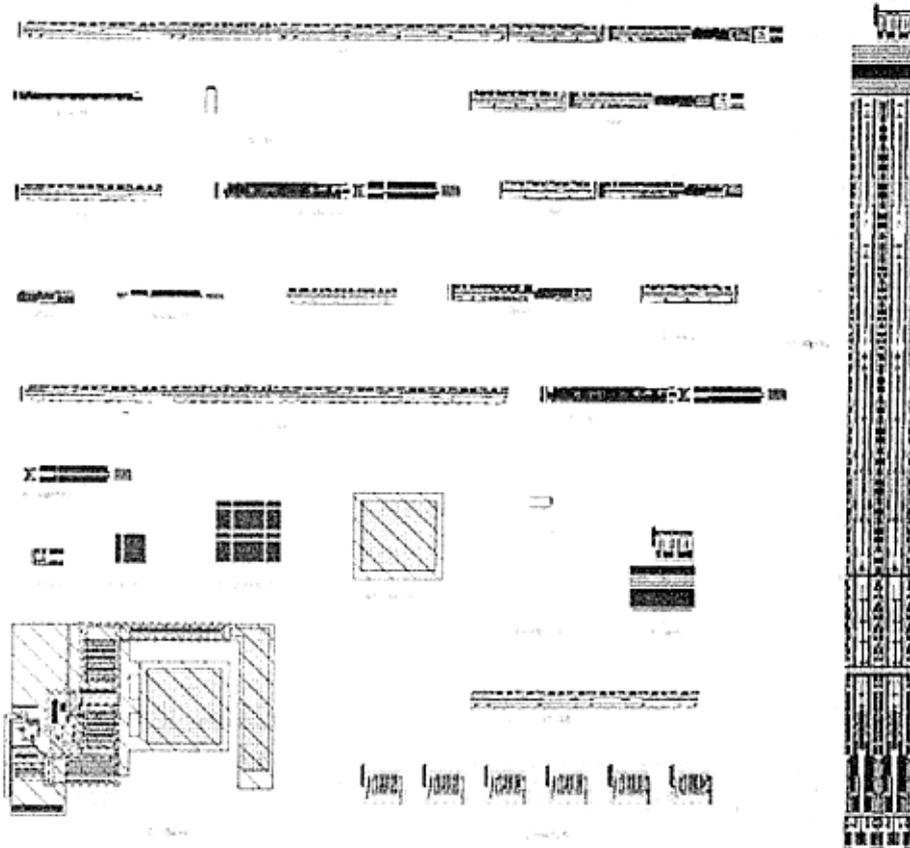


图7-12-3 LCoS显示芯片部分库单元版图

## 参考文献

- [7.1] 洪先龙, 刘伟平, 边计年. 超大规模集成电路计算机辅助设计技术[Z], 国防工业出版社, 1998: 16~20
- [7.2] 代永平, 耿卫东, 孙钟林. 硅基液晶显示器(LCoS)核心——显示系统芯片的设计分析[J], 光电子技术, 2001, 21(1): 79~88
- [7.3] 代永平, 孙钟林, 陆铁军, 王隆望. EDA在新型硅基平板显示设计中的应用[J], 微电子学, 2002, 32(5): 351-354
- [7.4] CADENCE Inc., Chip Assembly Design Flow Guide [C], December 1994
- [7.5] 谭悦, 蔡世俊. 集成电路布局规划技术[J], 微电子学, 1997, 27(2): 78-84
- [7.6] 马琪, 罗小华, 严晓浪. CMOS单元版图生成算法综述[J], 微电子学, 2001, 31(3): 204-208
- [7.7] L.A.格拉泽, D.W.多贝尔普尔(美). 超大规模集成电路的设计与分析[Z], 科学出版社, 1991: 172~176

- [7.8] Cadence Diva and Technology File Manual. CADENCE Inc., 1997
- [7.9] Spaanenburg L, Pollok W, Vermeulen W. Novel switched logic CMOS latch building block [J], Electron Lett, 1985; 21(9):398~399
- [7.10] Hatano H, Doi K, Iwamura J. A 256-channel C<sup>2</sup>MOS LSI time switch using shifter-register pipeline multiplexer[J], IEEE J Solid-State Circuits, 1987, 22(2):251~254
- [7.11] 梁宇, 韩奇, 魏同立, 郑莹. SOC的可测性设计[J], 固体电子学研究与进展, 2001, 21(3): 243~252
- [7.12] J. H. Morrissy, M. Pfeiffer, D. Schott, H. Vithana. Reflective Microdisplays for Projection or Virtual-View Applications[J] SID'99 Digest, 1999, 30, 180~183
- [7.13] Lee S J, Kim B, Lee K. A novel high- speed ring oscillator for multiphase clock generation using negative skewed delay scheme[J]. IEEE J Sol Sta Circ, 1997; 32 (2 ):2 89~2 91
- [7.14] 代永平, 孙钟林, 耿卫东. 使用CADENCE实现硅基微显芯片的IP模块库设计[J], CADENCE中国通讯, 2001, 2: 20~24

## 第8章 LCoS 显示器制造工艺概述

由于单色 LCoS 显示芯片已在代工生产线上成功流片，其详细制作工艺流程涉及合作单位商业机密，不宜在本篇论文中详细讨论，本章将以所设计的彩色 LCoS 显示芯片为例，讨论相关基本工艺流程。

### 8.1 LCoS 显示芯片制造工艺流程设计

本篇论文的芯片设计工作以 n 阱硅栅 CMOS 工艺为基础，在轻掺杂 p 型(100)向晶硅基片上制作 NMOS，而在原基片上作出 n 阱用于制作 PMOS。图 8-1-1 示意了 n 阱 CMOS 硅栅 3 层金属 CMOS 工艺主要流程，彩色 LCoS 显示芯片的制作工艺将根据该流程，采用 14 块光刻掩膜版，另外还有一块用于制作上盖透明公共电极的光刻掩膜版，共计 15 块光刻掩膜版。附录 2 给出了这 15 块光刻掩膜版的缩影拷贝。

第 1 版为 n 阱掩膜，用以限定 n 阱区面积及位置。

第 2 版为有源区掩膜，该区域内将完成所有 P 沟和 N 沟 MOS 管的源、漏和栅的制作。

第 3 版为多晶硅 1 光刻掩膜。用于制作多晶硅栅、电容器下电极以及形成电路结构的多晶硅连线和电阻。

第 4 版为多晶硅 2 光刻掩膜。用于制作电容器的多晶硅上电极。

第 5 版为 p<sup>+</sup>掺杂区图形掩膜。掺杂过程采用硅栅自对准工艺。

第 6 版为 n<sup>+</sup>掺杂区图形掩膜。掺杂过程同样采用硅栅自对准工艺。

第 7 版为 ESD 防护图形掩膜。用于增强彩色 LCoS 显示芯片的抗静电击穿能力。

第 8 版为接触孔掩膜，用于确定金属 1 与掺杂区、多晶硅电极的欧姆接触大小和位置。

第 9 版为金属 1 电极和连线掩膜。

第 10 版为过孔 1 图形掩膜，用于确定金属 2 与金属 1 之间的连接窗口大小和位置。

第 11 版为金属 2 电极和连线掩膜。

第 12 版为过孔 2 图形掩膜，用于确定金属 3 与金属 2 之间的连接窗口大小和位置。

第 13 版为金属 3 电极和连线掩膜。

第 14 版为钝化层光刻掩膜，它确定应暴露的压焊区或内设测试图形的测点接触区的位置和大小。

第 15 版为上盖透明公共电极的光刻掩膜版。

在沉积布线金属层前，生长金属间电层，然后进行 CMP 工艺以求得到平坦的生长基面。因而一方面可以避免由于金属布线产生的起伏导致的光刻对版、聚焦等技术难题；另一方面便于采用金属 3 制作镜面反射电极。

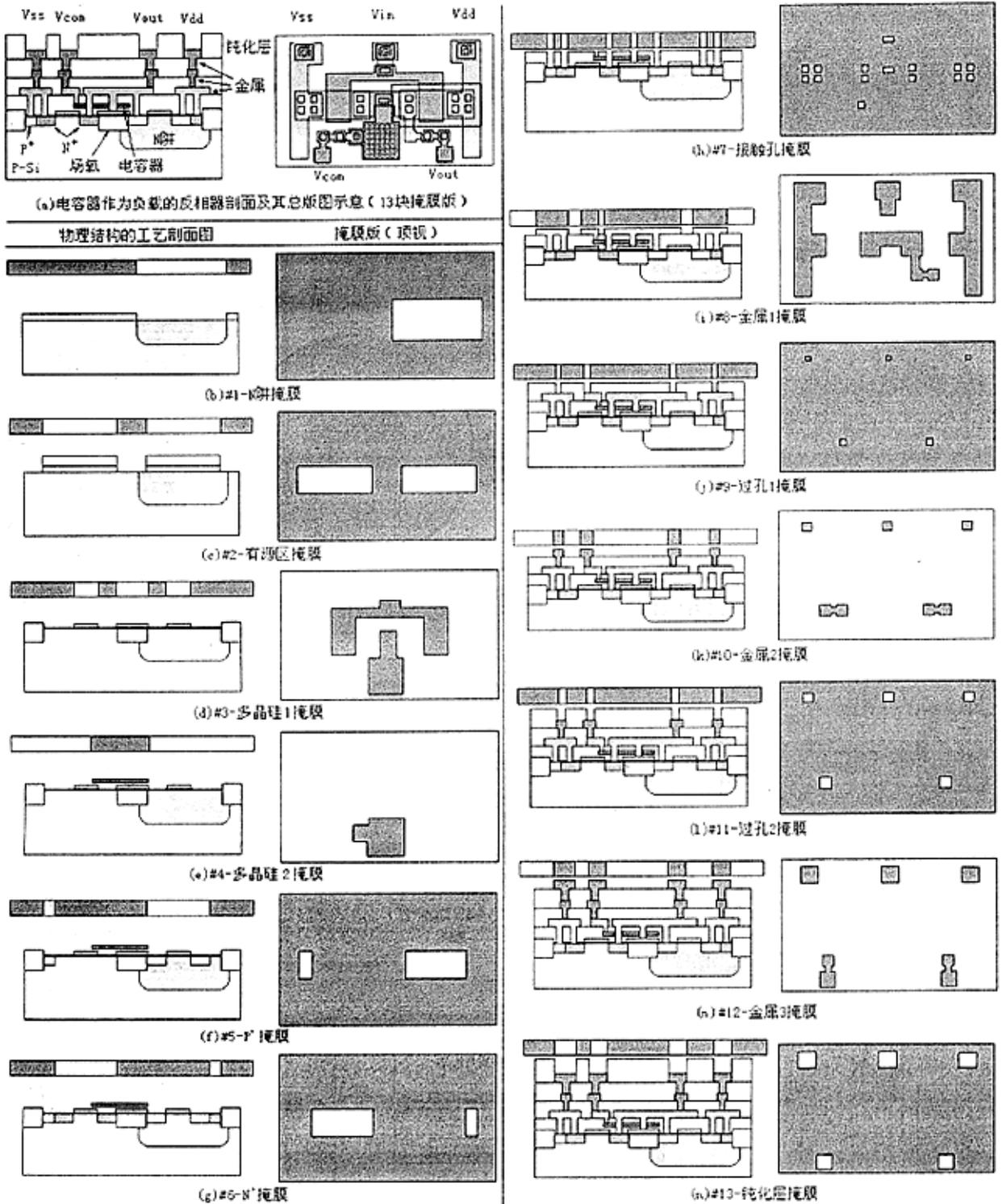


图8-1-1 n3 3层金属制作LCOS微显芯片工艺步骤设计示意

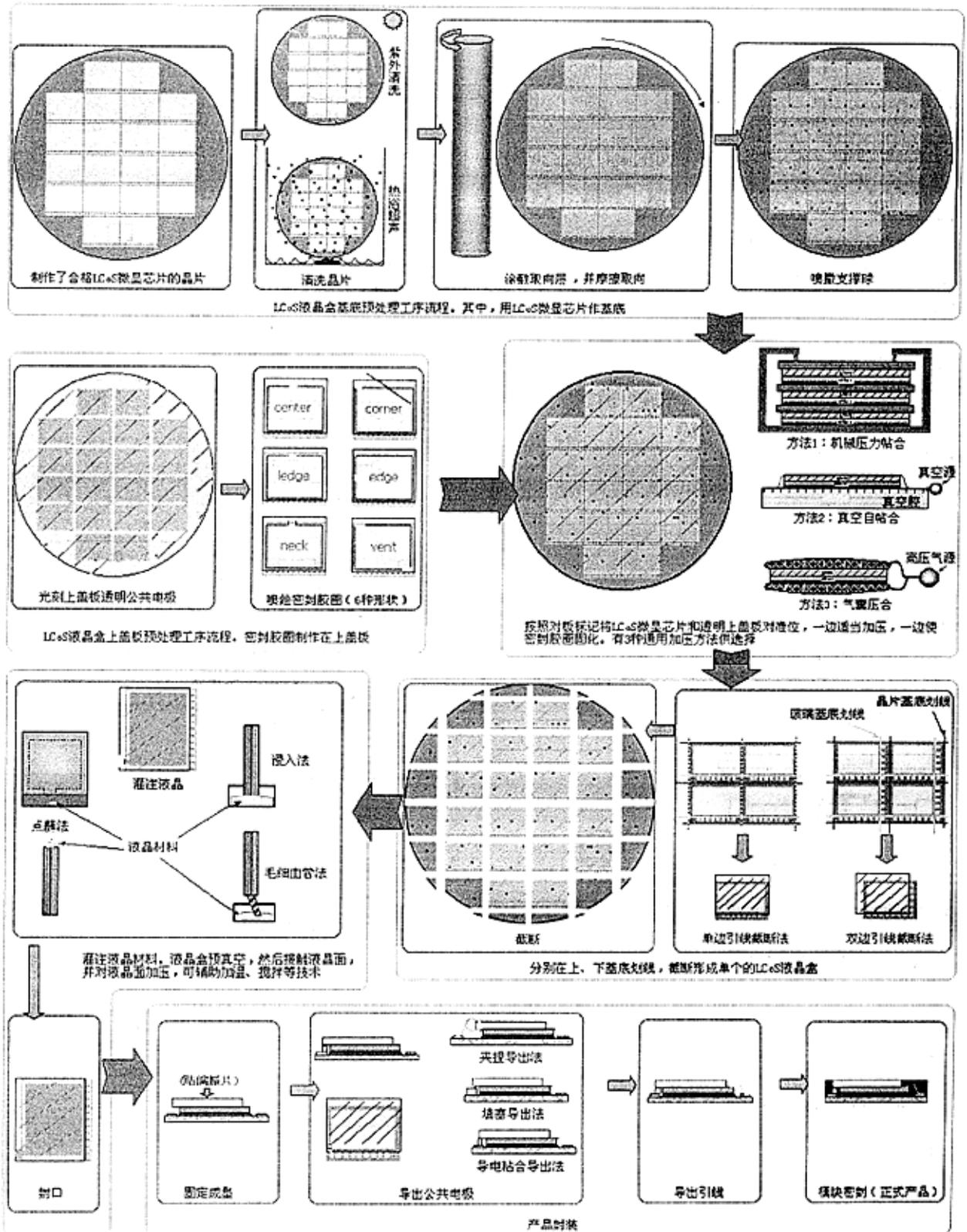


图8-2-1 LCoS微显液晶盒封装工序流程设计

在制作彩色 LCoS 显示芯片的亚微米工艺中,还采取抗热载流子效应的工艺措施,即是把 NMOS 管设计成 LDD(轻掺杂漏和源区)结构,工艺的改变是在第 6 版,用该版光刻,作自对准轻掺杂注入形成 N-注入区,接着生长一层衬垫二氧化硅覆盖住多晶硅,形成厚度精确的 SiO<sub>2</sub> 侧墙,以此为掩蔽,再进行 N+注入,在与多晶硅边界一定距离处形成对称的 N+注入区,随后去除衬垫二氧化硅。另外,加入 ESD 注入,改进 NMOS 管的抗 ESD 能力。

在实际生产中根据设计指标、工艺重复性、可靠性等要求,会增加一些附加工艺用版,如调整 P 或 N 沟阈值电压、场区寄生管阈值电压以及双层多晶硅或多层金属工艺等等。

## 8.2 LCoS 液晶盒封装工艺设计

表面上看液晶显示器件的结构比较简单,仅是把两片经过预处理的基片相向放置,并在其间封入液晶材料,就能制造出实用而又便宜的液晶盒,似乎不需要特殊的设备和专门的知识。实际上,如果制作低级显示器件,如显示面积小、且只要简单指令性显示,则无需特别的制造设备,一般都可以在合适的实验室方便地制造。这一点是其它显示器件不能比拟的。

然而,要想完全满足 LCoS 显示使用要求的显示特性、电学特性、可靠性,制造出高质量的液晶盒,则并不简单,比预想的要因难得多。这是因为,显示特性和电学特性等与液晶分子的取向状态有着密切的因果关系。由于液晶分子的取向状态受电极基片的表面状态支配,因此必须将电极基片的表面进行处理,才能使液晶分子按一定取向排列。取向处理方法则要根据显示模式和用途进行选择。同时,处理方法也和液晶材料以及组装空盒的方法有关。这些因素相互之间都是密切相关的。

此外,液晶显示的可靠性与液晶材料、液晶盒的组成材料、组装技术等也有很大关系。例如,尽管选取的液晶材料纯度很高,但如在液晶盒的组装技术方面稍有缺欠,液晶材料不久就会分解变质。如果取向层是经过有机取向处理的,还会因液晶的变质而遭受破坏。再者,生产过程的环境(清洁度、温度、湿度等)管理不善,也会使液晶显示元件的可靠性显著下降。

液晶显示元件除了上述制造方面的注意事项之外,若与制造 LSI 等比较,其制造过程虽然简单,但是也要按照生产 LSI 的标准精心管理。图 8-2-1 是本篇论文设计的制造 LCoS 液晶显示器生产过程框图示意。其中参考了 DisplayTech 公司公布的生产流程<sup>[8-1]</sup>。

## 8.3 LCoS 显示芯片液晶盒测试概述

无论如何,成品率的提高是 LCoS 技术产品成本下降的关键。在接近 1/5 平方英寸的硅片上以亚微米级工艺精度制作近 50 万个 MOS 器件和几千条微米宽的扫描线和数据线,要保证无一缺陷几乎是不可能的。从目前 LCoS 显示屏的生产状况来看,以 0.35 $\mu\text{m}$ -CMOS 工艺制作的 LCoS 显示芯片的前道工序合格率可达 90%;但粘合玻璃上盖基板,灌注入液晶,并加以

切割、封装的后道工序,合格率却仍很低,仅约 30%左右<sup>[8.2]</sup>。

LCoS 显示芯片封盒过程中最易受到损失的工艺是摩擦取向和上下基板对位贴合工艺,它们经常会造成线缺陷,因此在封盒工艺完成之后需进行整个显示板检测。即把液晶盒通过导电胶带连接到测试板进行视频显示,从而测试显示器的显示信息和缺陷。现按试验类别,概述各种检查项目如下<sup>[8.3]</sup>。

1. 动作功能试验 [显示功能]……显示对比度

视角特性

响应特性(电压相依性、温度相依性)

占空因数(场序光源实际点亮时间分配)

彩色显示品位(色度、色的均匀性)

[绝对最大额定值]……工作电压范围、工作温度范围、保存温度范围

2. 可靠性实验……运转特件(显示功能、耗电)

环境特性(温度、湿度、紫外线)

机械强度(振动、冲击、负载、下落、减压)

偏振片、反射片的老化和剥离

3. 外观检查……外观(外形尺寸、外观损伤)

显示部位缺陷(电极图案形状异常、显示的缺陷)

在这些检查项目中,一部分可以靠目视检查,大部分要用试验设备检验。在 LCoS 液晶盒检测方面,Integral Vision 公司生产了计算机辅助全自动在线检验站——SharpEye 系统,这种检验站可对微型 LCoS 平板显示器件进行功能性和表面缺陷的探测。

用 SharpEye 系统开始检验前,待检的 LCoS 显示器既可用手也可自动装入测试夹具,测试夹具可提供电源。器件一旦装入并对准,SharpEye 系统就会进行预编好的测试程序。通过系统的高分辨率的照相机抓拍到被测器件的显示图像,该图像将转为数码形式后输入图像加工和缺陷探测中央处理器(CPU)的主存储器中。图像和检验结果会显示在监视器的显示器上,并通过以太网线传输到产品数据库。□

上述检查项目中有得还得作长时间的使用试验。通常,仅一部分检查项目要对全部产品检查,其余的检查项目大都按批抽样检查。还有一部分项目是根据需要才做的。

## 参考文献

- [8.1] Chris Berliner, Beth Ellis, Mark Handschy. Wafer-scale manufacturing of FLC microdisplays [C], DisplayWorks'00, 2000
- [8.2] Carl E.Derrington, Peter A.Smith, Henning C.Stauss. High Volume Microdisplay Manufacturing [J], SID'00 Digest, 2000, 31(1): 371-375
- [8.3] Matthias Pfeiffer. An Overview with focus on LC Silicon (LCoS) Displays [C], Micro.tec 2000, B1.5

## 第9章 论文设计要点与思考

### 9.1 不连续场序光脉冲彩色模式

本篇论文设计了一种不连续场序三基色光脉冲源来实现彩色化。

如图 9-1-1 所示,红、绿、蓝三基色组成不连续场序光脉冲源,当在 LCoS 显示芯片上写入场序光源无光照;而在一场基色图像写完,且液晶分子实现响应,则产生相应的基色光脉冲。LED 场序发光源在时序时钟信号作用下,配合 LCoS 芯片电路运作,依次产生红色、绿色、蓝色光脉冲,利用人眼的视觉惰性合成彩色。这种功能级设计具有如下优势:

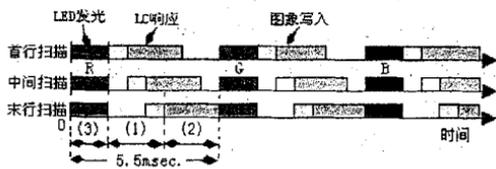


图 9-1-1 驱动时间分配

- (1) 在芯片物理结构上既减少了制作微滤色膜的复杂工艺,又避免了微滤色膜对光线的衰减,非常有利于提高显示分辨率和亮度;
- (2) 在光脉冲时序关系中,明确划分了写入时间,稳定时间,有效光照时间;
- (3) 在显示性能上可以根本避免像素电极上信号电平跟换时产生的闪烁现象。

### 9.2 场序彩色 LCoS 显示芯片电路设计要点

#### 1. 低功耗数模转换器设计技术

本篇论文设计了一种权电容 DA 转换器,其输出电压的精度只与各个电容器电容量的比例有关,而与它们电容量的绝对值无关;输出电压的稳态值不受开关内阻及参考电压源内阻的影响,因而降低了对开关电路及参考电压源的要求;另外,稳态下权电容网络不消耗功率。见图 9-2-1。

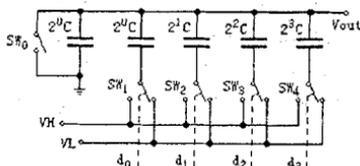


图9-2-1 权电容网络DA转换器

#### 2. 钟控数字电路技术应用

在数字电路部分中,采用钟控 CMOS 逻辑电路(见图 9-2-2),时钟  $CLK$  和  $\overline{CLK}$  是一对互补时钟,但在钟控 CMOS 逻辑电路应用中,该两相时钟边沿的对准性并不像两相重叠时钟或两相不重叠时钟那样要

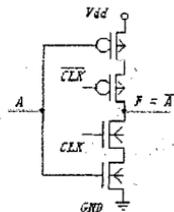


图 9-2-2 钟控 CMOS 反相器

求严格。采用钟控 CMOS 反相器的另一个原因是, 该电路中相邻两个 NMOS 或 PMOS 的源、漏可以重叠缩小版图面积, 而且 MOS 管均可按同一方向放置, 减少布线交差桥, 使版图更加紧凑。

### 3. 公共电极场反转低压驱动液晶显示设计技术

我们设计了一种公共电极电位场反转低压驱动液晶工作模式, 见图 9-2-3, 避免了像素单元电路中电压自举现象的发生。具体方法是在公共电极电位  $V_{com}$  从 0V 反转到 5V 之前, 导通显示矩阵中的

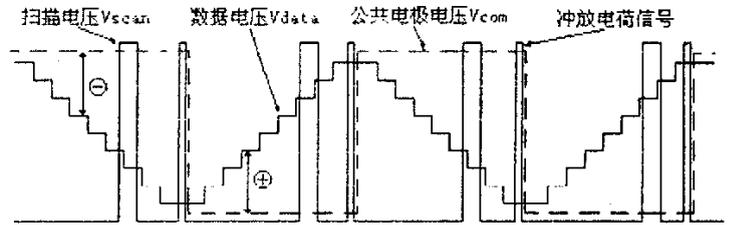


图9-2-3 低压驱动显示方法示意

NMOS 管, 泄放存储电容  $C_s$  上的残余电荷; 而  $V_{com}$  从 5V 反转到 0V 之前同样导通 NMOS, 使存储电容  $C_s$  充电接近到 5V。这个充放电过程可以在相当于 1 行的扫描周期 ( $2.3\mu s$ ) 内完成。在  $V_{com}$  场反转之前进行的冲放电荷行为, 有助于消除残余电荷引起的图像闪烁。

## 9.3 版图布局技巧

分析 LCoS 芯片后发现, NMOS 驱动矩阵可视为一个像素单元的版图作  $640 \times 480$  ( $800 \times 600$ ) 的阵列展开; 周边驱动电路也具有—维高度重复性, 即各行扫描驱动器电路结构完全一致, 各列也是电路结构完全一致。因此, 我们只消按照—维布图样式布局出一列或一行的版图, 然后相邻行或列作镜相复制, 这样可以使相邻的行或列供用电源线或地线, 则能设计出最紧凑的版图。见图 9-3-1 和图 9-3-2。

设计行或列的版图采用核心生长法。首先将 NMOS 驱动矩阵安置在芯片的中部, 然后以这些单元为核心放置行或列的相关单元, 接着是时钟树和输入数据线, 逐渐向芯片的四周扩展和生长, 直至单元全部安置完毕。另外, LCoS 芯片对 PAD 的位置没有限制, 则引出接点的位置可取决于芯片内部单元的安置结果。最后再考虑放置陪管、测试点和测试电路。

## 9.4 单色 LCoS 显示芯片显微照片

本篇论文还有一个独到之处, 即论文中相关的研究工作没有仅仅停留在理论研究和计算机辅助设计, 而是进一步把研究工作实物化, 根据实际 CMOS 生产线的工艺要求, 设计了一类用于投影显示系统的单色 LCoS 显示芯片, 并付诸生产流片, 图 9-4-1 给出采用本篇论文设计结果制作的光刻掩模版, 在首钢日电电子公司所生产出的 LCoS 显示芯片实物照片。其中, 每个 LCoS 显示芯片尺寸:  $17010\mu m \times 12420\mu m$ , 硅晶圆片直径 6 英寸。

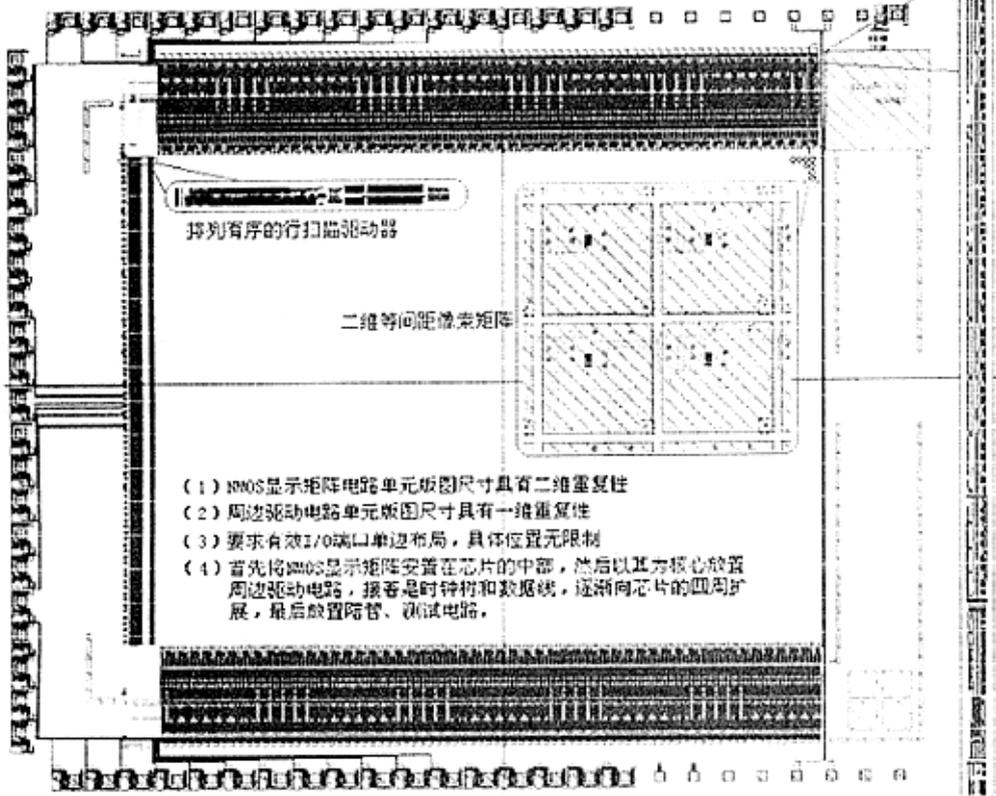


图 9-3-1 彩色LCoS显示芯片版图示意

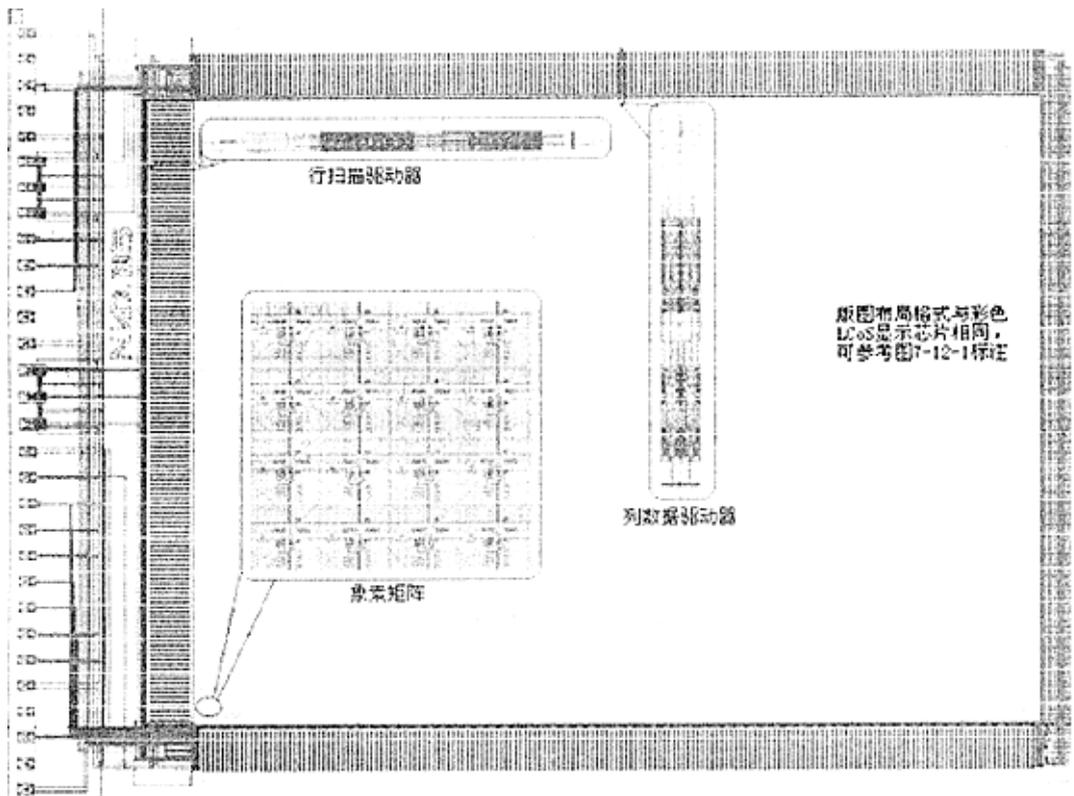
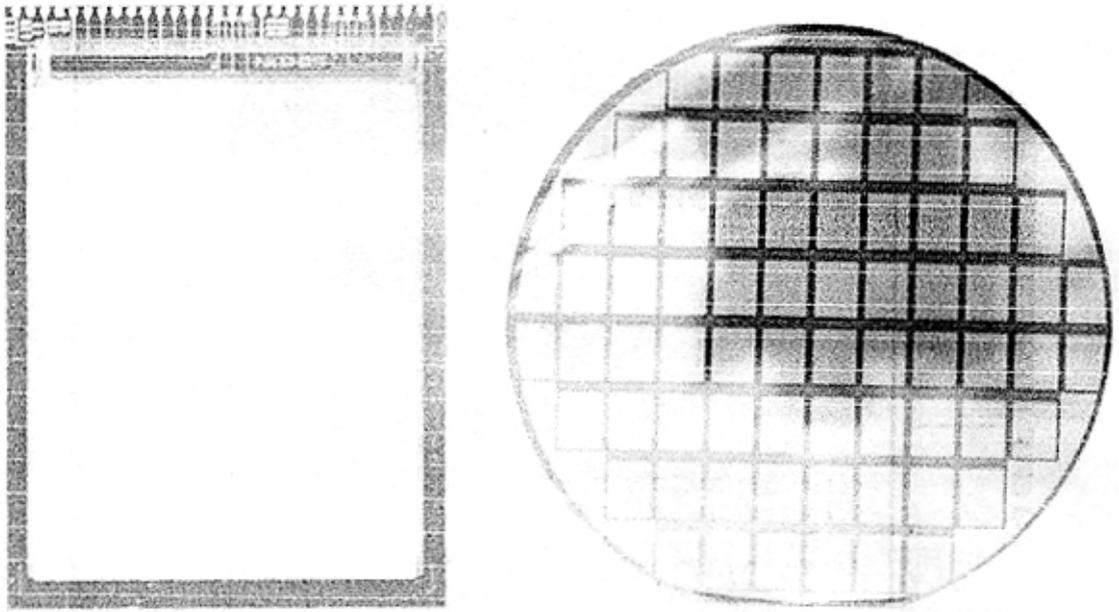


图 9-3-2 投影用单色LCoS显示芯片版图及相关注释



(a) 投影用单色LCoS显示芯片实物显微照片

(b) 制作了LCoS显示芯片的6英寸硅圆片(64枚芯片有效)

图9-4-1 按照本篇论文设计结果在首钢日电生产出的单色LCoS显示芯片实物照片

## 9.5 快速液晶材料选择考虑

在现场序彩色显示模式中，由于颜色是顺序出现的，为避免色串扰，液晶必须快速切换，其响应速度最慢也要达到帧频的 1/3(约 18.7ms 左右)，而要达到优良的显示质量，响应时间应为 3ms 左右。

本篇论文设计的彩色 LCoS 显示器采用德国 Merck 液晶公司专为时序彩色显示模式生产的快速 TN 液晶，其液晶材料的电光特性见表 9-3-1。表中型号为 LC-A 的液晶材料的上升时间和下降时间，完全满足我们设计的时序彩色化模式。而且由于  $V_{th}$  和  $V_{90\%}$  较低，适合于使用 5V 电压的标准 CMOS 显示芯片所驱动。

Model	LC-A	BDH-TL202
$V_{th}$	1.07(V)	2.00(V)
$V_{90}$	3.98(V)	3.09(V)
$T_{on}$	1.8(ms)	3.2(ms)
$T_{off}$	4.4(ms)	8.0(ms)

## 9.6 硅基微显芯片中的 IP 设计方法探讨

随着 IC 工艺技术日趋精细，以单晶硅片为基底、运用 IC 平面技术来产生更高显示分辨率的微型显示器，逐渐出现在集成数字投影显示系统、军用头盔式多图像集成环境、及虚拟现实等方面。我们认为硅基微显芯片是一块多功能、多结构的片上系统，即整个显示系统集

成在一块0.7"左右的晶片上。然而 SoC 类芯片的设计必须全盘考虑整个系统的各种情况，也正是因为如此设计周全，与由分离 IC 组合的显示系统相比，硅基微显可以在同样的工艺技术条件下，实现更高性能的系统指标。一般说来微显占有空间少且重量轻，是未来潜在的高清晰度显示器，特别是功耗小于许多有源矩阵液晶显示(AMLCD)，具有可与阴极射线管(CRT)相比拟的价格。以系统芯片方式设计生产的新一代微型显示器预计应用前景将非常广阔。

### 9.6.1 硅基微显芯片的基本电路分析及其相应基本功能模块划分

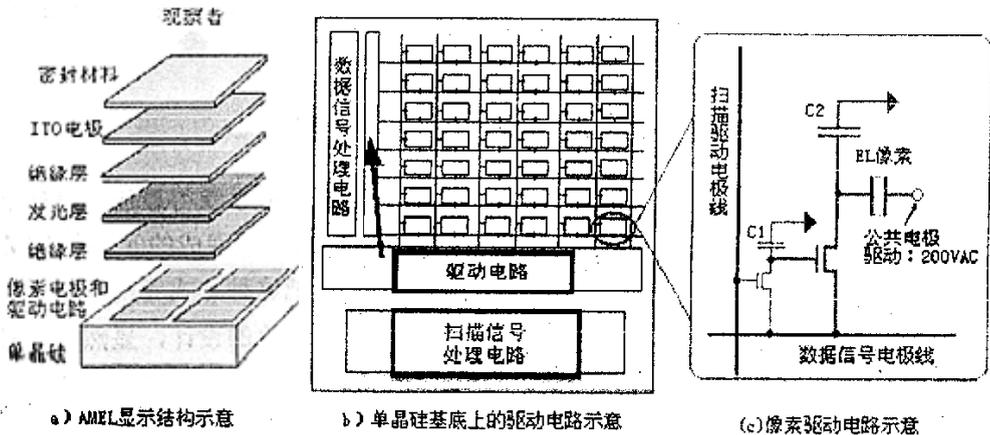


图 9-6-1 AMEL 结构

Planar 公司新开发出的 AMEL (Active Matrix Electro-luminescence) 微显示器结构示意图如图 9-6-1 所示，它将驱动电路和显示矩阵制作在晶片上，然后在该晶片上沉积场致发光层，显示矩阵将有选择地激发场致发光层发光，从而产生图像。这样的显示器可用于恶劣的高温环境。Planar 现已向市场推出对角线 0.75 英寸 VGA 分辨率的军用产品<sup>[9.1]</sup>。

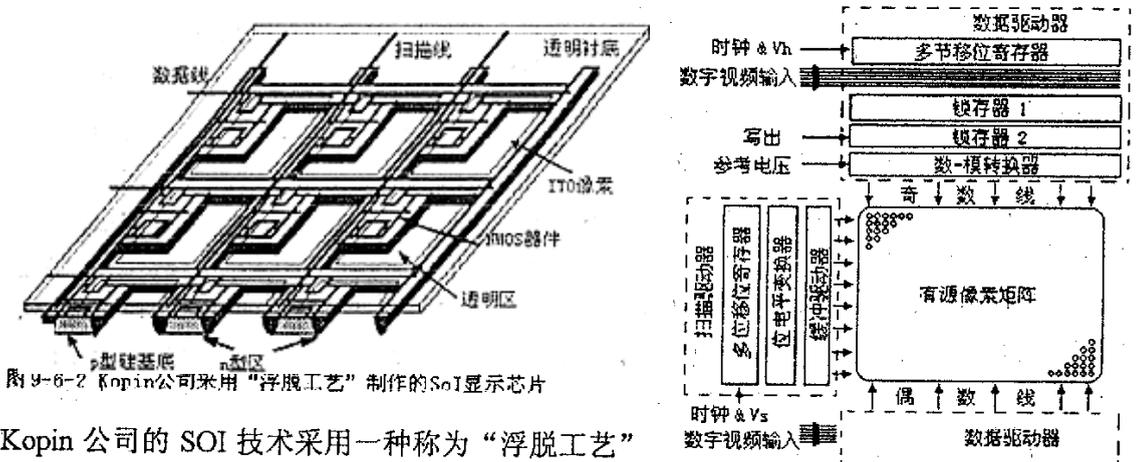


图 9-6-2 Kopin 公司采用“浮脱工艺”制作的 SOI 显示芯片

Kopin 公司的 SOI 技术采用一种称为“浮脱工艺”的工序<sup>[9.2]</sup>，把预先制作在单晶硅基片上的电路剥离出来，然后再粘附到透明的玻璃基底上（如图 9-6-2 所示），封装液晶盒形成显示器。如此巧妙设计一方面是利用单晶硅的优质电学性能，另一方面则是利用成熟的 IC 设计制造技术。

本篇论文设计的 LCoS 微显芯片同样是运用 CMOS 集成技术，直接在晶片上制作驱动电

路和显示矩阵电路,然后以之为基底封装液晶材料形成的型显示器,所以常规 IC 技术可直接用于设计制作硅基微显的基底(微显芯片)。

显然,硅基微显晶片上的驱动控制电路具有图 9-6-3 所示的电路结构。在 LCoS 显示模式中,有源显示驱动矩阵采用一个 NMOS 晶体管配置一个存储电容的方式,去驱动一个液晶像素;在 AMEL 显示模式中(如图 1 所示),因无机固体发光材料的电学特性要求较高的驱动电场作用,可为每个像素增加一级升压晶体管控制;透射型硅基微显的电路结构与 LCoS 一致。

综上所述,不同的显示模式或发光材料、光阀材料,只需对有源显示驱动矩阵电路结构作相应修改,就能得到相应的微显芯片电路。所以,微显芯片制作在晶片上的驱动控制电路,完全可以建立成微显的可重用模块库,所谓一类新型 SOC 芯片的 IP 模块应运而生。

## 9.6.2 用定制设计方法建立微显专用 IP 模块

无论是科研还是生产,都希望尽可能短的时间内以最低的成本获得最佳的设计指标,这让我们想起了过去做整机或电路板设计的情况,那时候通常买一些现成的元件和 IC 芯片,然后把它们组合起来,调试、查错,最终完成产品。现在我们把这种方式应用到显示芯片设计上,把已经经过验证的驱动控制电路以模块的形式参加显示芯片的设计,显然设计就变得容易了,也可大大缩短设计时间,从而解决了 SOC 显示芯片上市时间和设计成本高的问题。当然,这些模块具有知识产权问题,也有人称它为宏单元(system-level macro),或虚拟部件(virtual component)、芯核(core)。

建立在芯核基础上的系统级微显芯片设计,其设计重心将从今天的逻辑综合、门级布局布线、后模拟转向系统级模拟,软硬件联合仿真,以及若干个芯核组合在一起的物理设计。迫使微显芯片设计业向两极分化,一是转向系统,利用 IP 设计高性能高分辨率的专用系统。另一方面是设计微显芯片中 IP 核,步入物理层设计,使微显 IP 核的性能更好并可预测。

我们将系统级微显芯片设计归纳出三种方法<sup>[9.3]</sup>。第一种方法称专用系统设计法。譬如 AMEL 和 LCoS(Liquid Crystal on Silicon)便是两个不同的系统,具有各自的显示特性和显示功能指标,那么我们按两个独立系统去设计,最后可能得到两个非常紧凑的显示芯片,但以较长的设计时间为代价,可见该方法灵活性较小。第二种方法称部分集成法。如我们在前文对硅基微显的电路结构分析后发现,行信号处理电路和列信号处理电路可以建立成几个相对独立的 IP 模块,根据不同的显示模式(如 QVGA、VGA、SVGA 等)组合这些 IP 模块形成驱动电路,而真正花费设计者时间和精力的是有源驱动矩阵的设计,而这也是我们迫切要探索的微显方式的问题所在。我们认为第二种方法既能继承已有的设计成果,又留有创新的余地,非常适合当今呈百花齐放之势的微显研发。第三种方法称桌面集成法,即把微显的驱动 IP 模块与现成的有源驱动矩阵模块相组合完成显示芯片设计。这种设计方法成本最低,设计灵活性最大,但对于还处在研发中微显产业,这是未来的希望。

因此本篇论文就是基于第二种方法优化硅基微显设计,建立显示芯片的 IP 模块库。具体方案是采用定制方法先设计出基本电路单元,然后再组合出 IP 模块。我们为硅基微显芯片所

建立的基本单元包括：反相器，门电路，准静态 D 触发器，模拟电子开关，基本运算放大器，电平变换器，电容网络，以及各种应用的 I/O 单元，共 10 个，图 9-6-4 展示了部分单元版图。我们注意到各基本单元的逻辑功能不同，其版图面积也不可能一样大小，因此我们规定列方向上的基本单元，其宽度一致；而在行方向上的基本单元，其高度一致；并且与显示矩阵的规则排列相一致。这为 IP 模块的自动化设计铺平了道路。

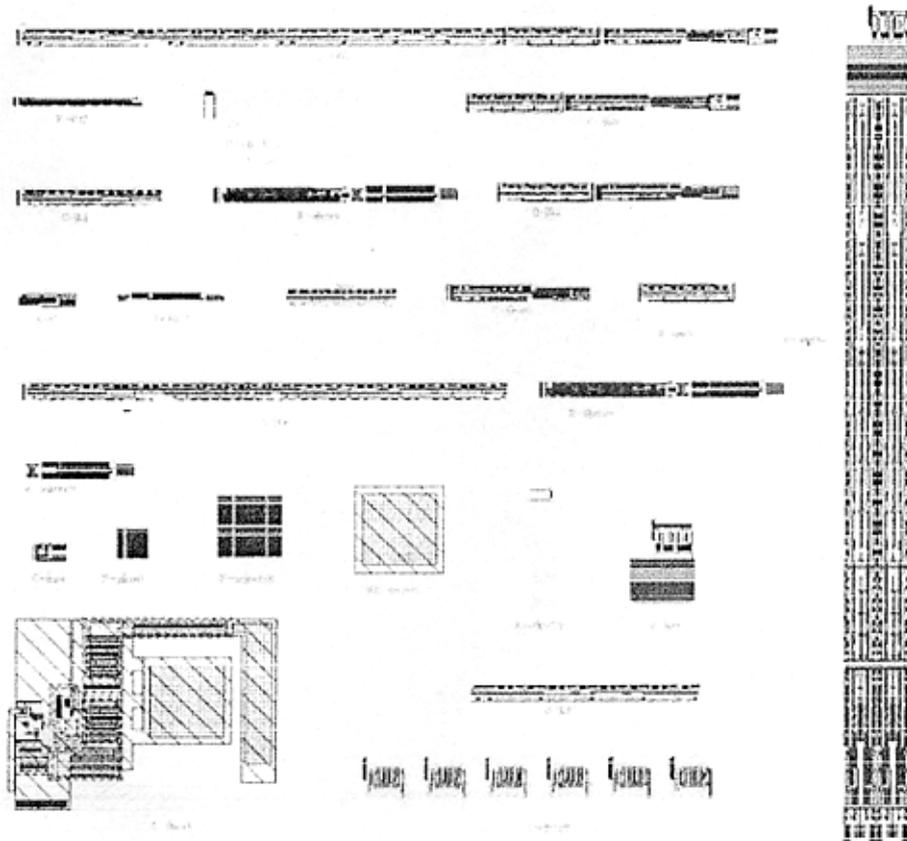


图 9 6 4 LCoS 显示芯片部分库单元版图

硅基微型显示器市场是消费市场，相对现在的主流显示器市场，其产品生命期较短，市场占有率有份额较小。因此，建立微显 IP 模块库，无疑是开发微显产品的必经之路。恰当的 EDA 设计方法，不仅极大地提高电路性能，而且显著缩短了设计时间和成本。

## 参考文献

- [9.1] Michael Stefanov. Manufacturing LCoS Microdisplays [J], Information Display, 2000, 16(7): 24-27
- [9.2] R. Khormaei, et. al. A 1280x1024 Active Matrix EL Display [J] SID'95 Digest, 1995: 891
- [9.3] Dai Yongping, Gen Weidong, Sun Zhonglin. Optimizing the Design for Microdisplay on Silicon, Creating IP Modules for a New Type of SOC[C]. 2001 4th International Conference On ASIC PROCEEDINGS, ShangHai, 2001: 785-788

## 附录1 彩色 LCoS 显示芯片电路图(部分)

### 电路图 (Schematic)

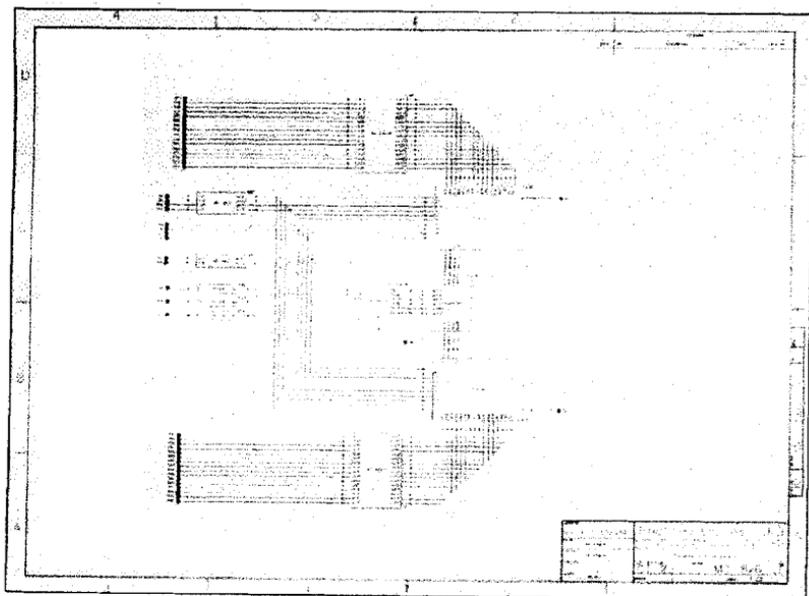
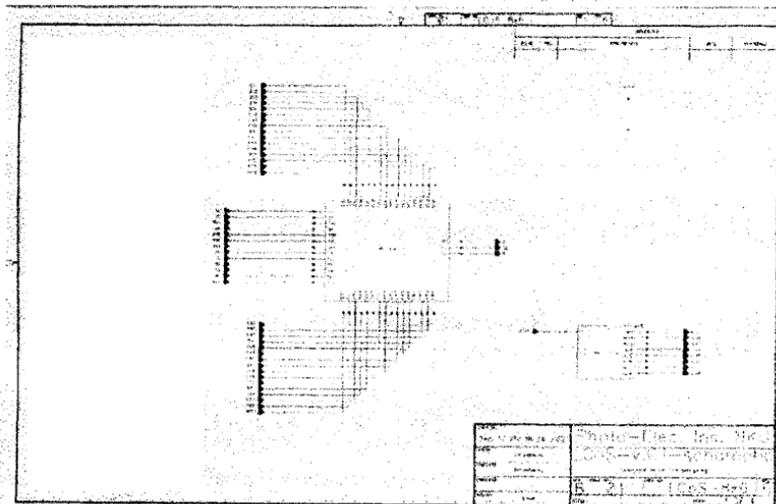
Cadence (97) version 4.4.1

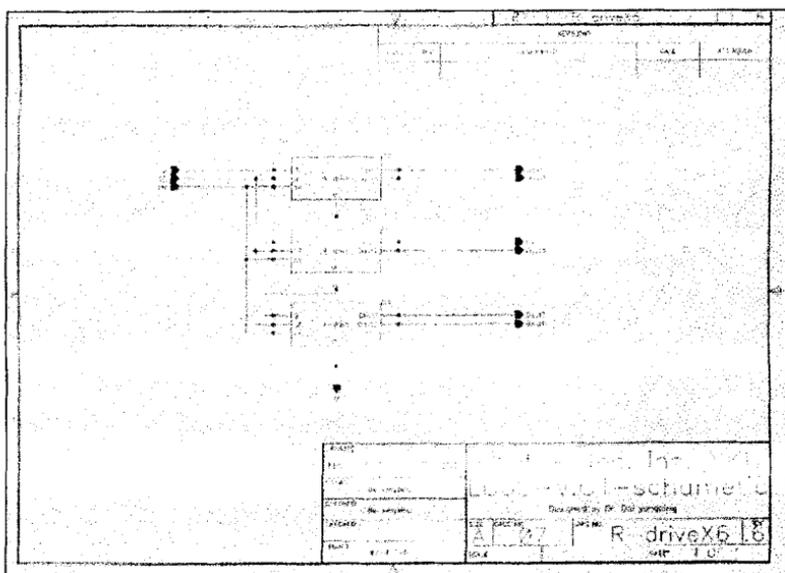
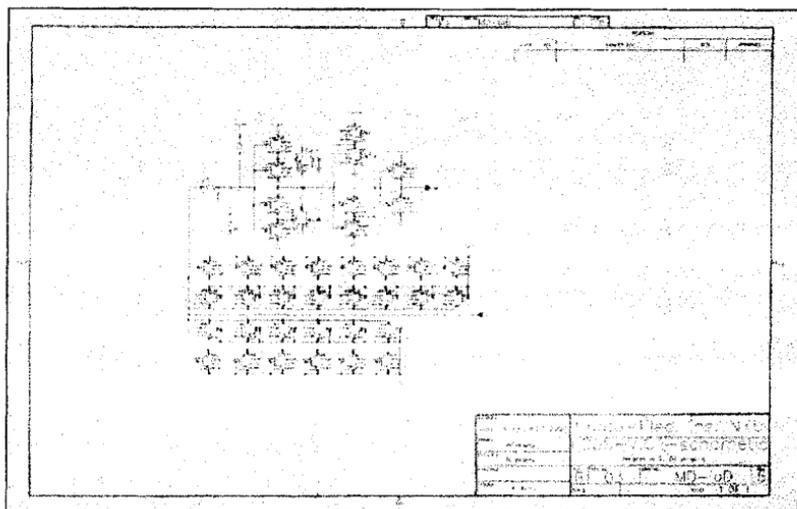
设计者: 代永平

2001 年 11 月

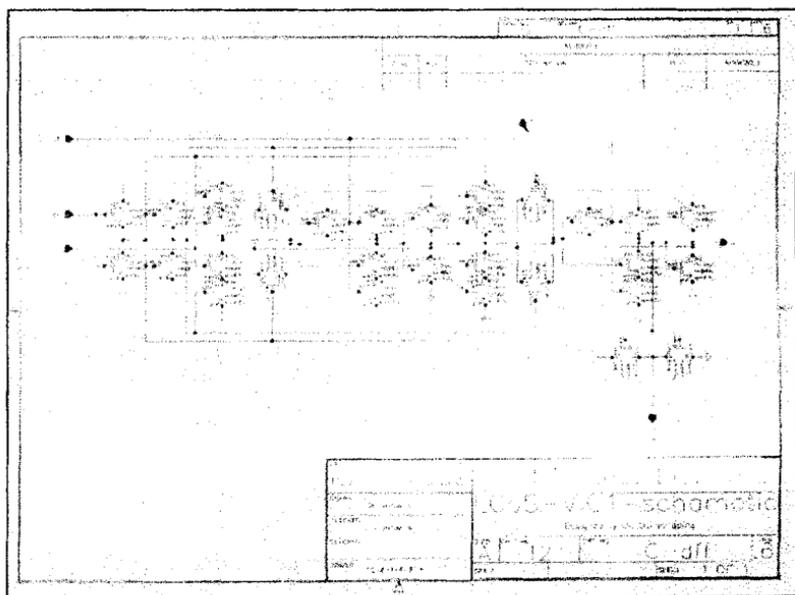
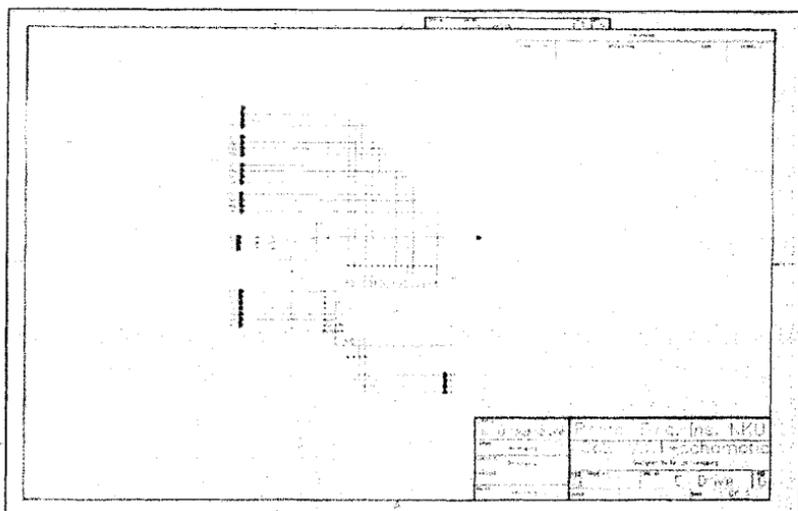
于 北京微电子技术研究所

电路图(Schematic)	
Cadence (97) version 4.4.1	
设计者	代永平博士
时 间	2001 年 11 月
地 点	北京微电子 技术研究所

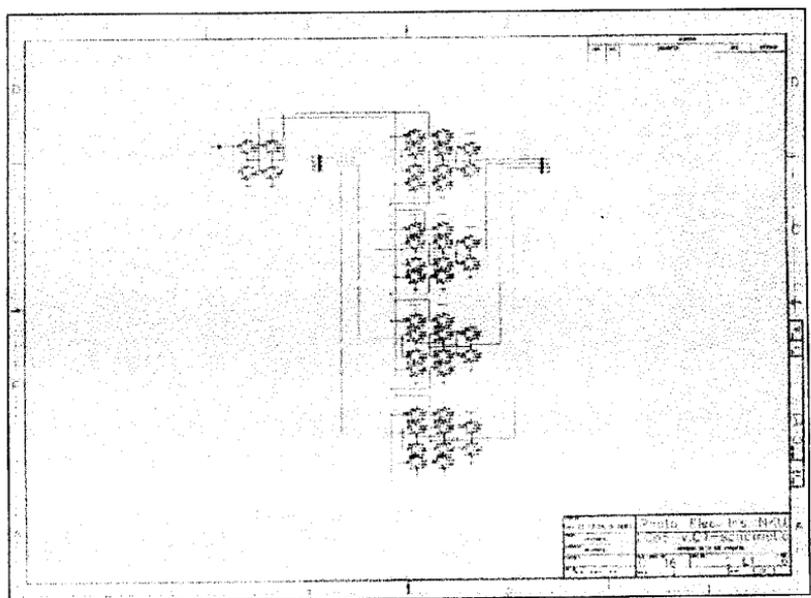
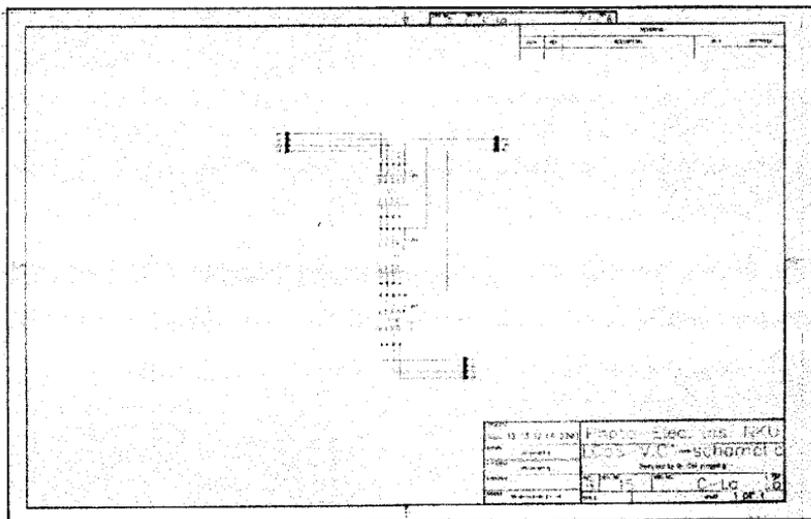


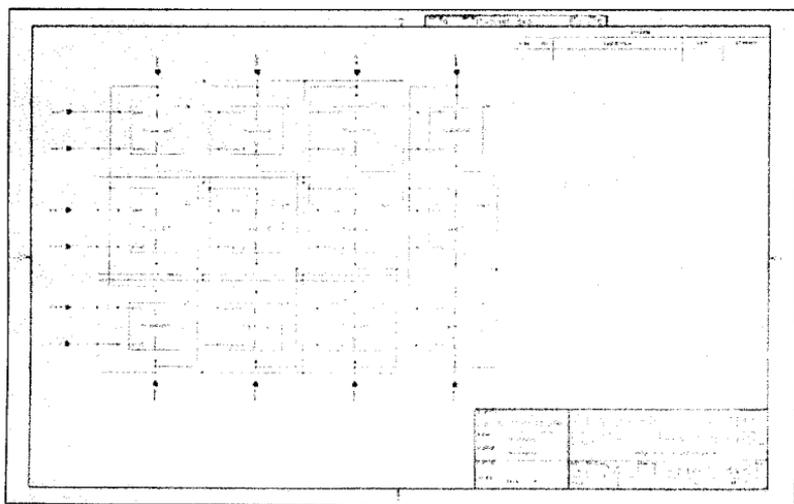
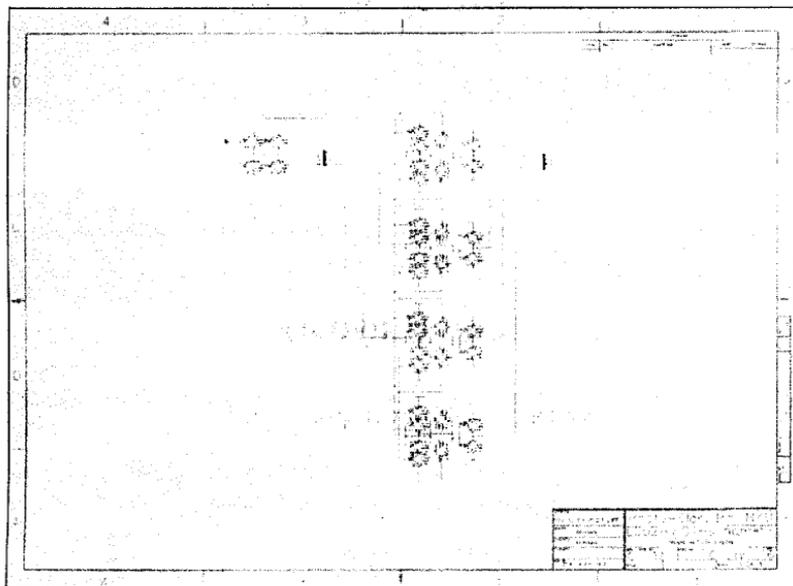












## 附录2 彩色 LCoS 微显芯片版图

### 版图 (Layout)

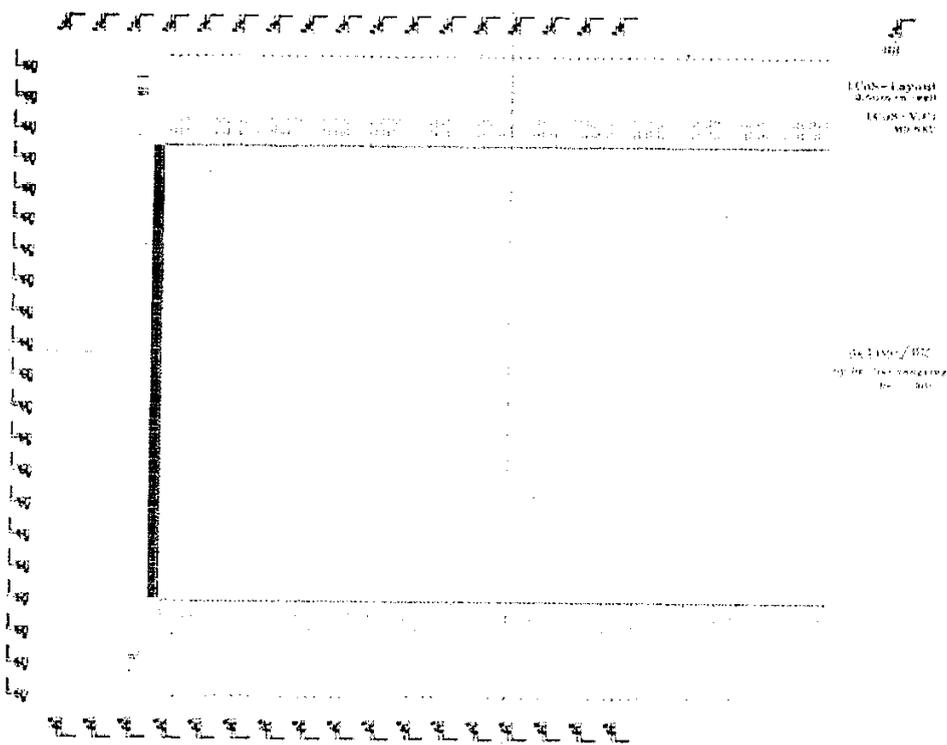
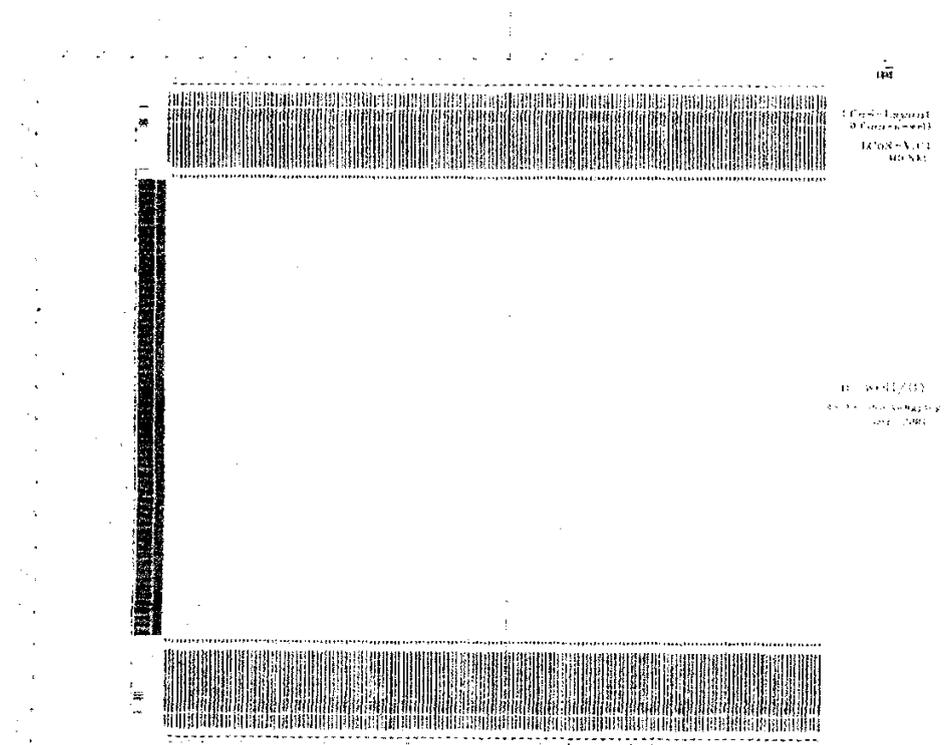
Cadence (97) version 4.4.1

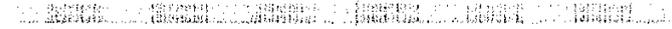
设计者: 代永平

2001 年 11 月

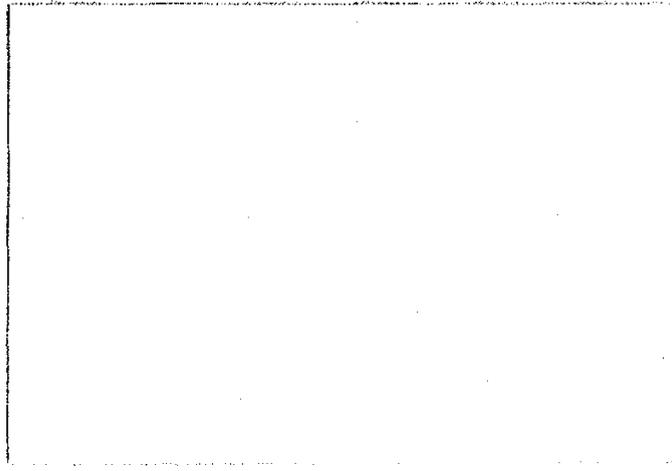
于 北京微电子技术研究所

版图 (Layout)	
Cadence (97)	Version 4.4.1
设计者	代永平
时间	2001 年 11 月
地点	北京微电子技术研究所





LCOS-Layout  
©GSM-U-CELL  
LCOS-V-C1  
MR.FKU



poly-Si/OS  
by Dr. Bao Jieping  
Date: 2004

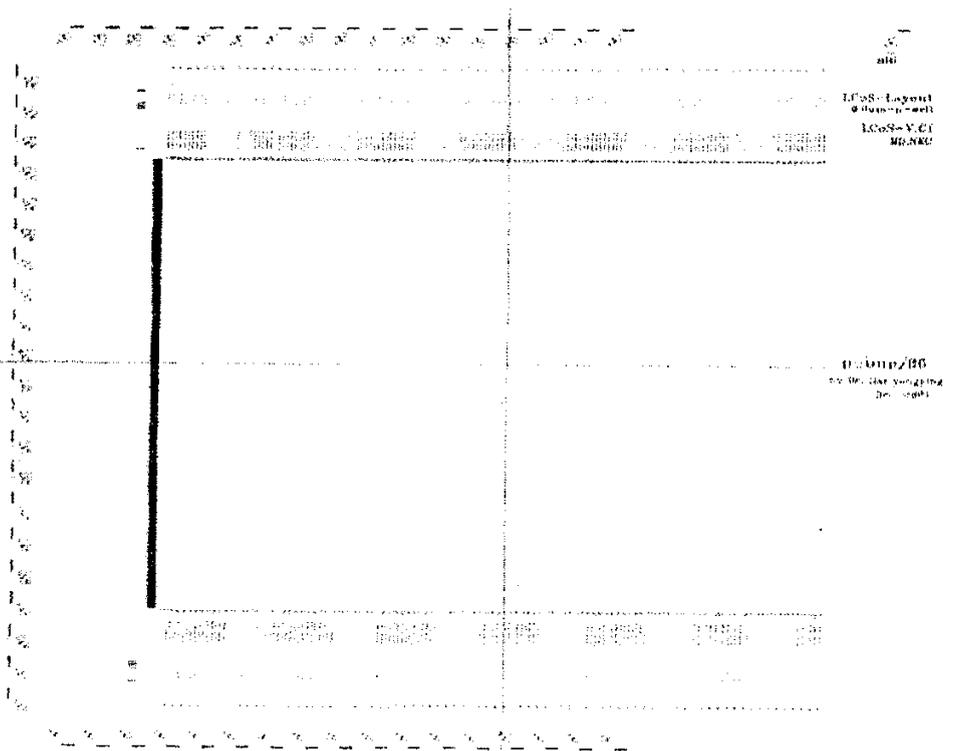
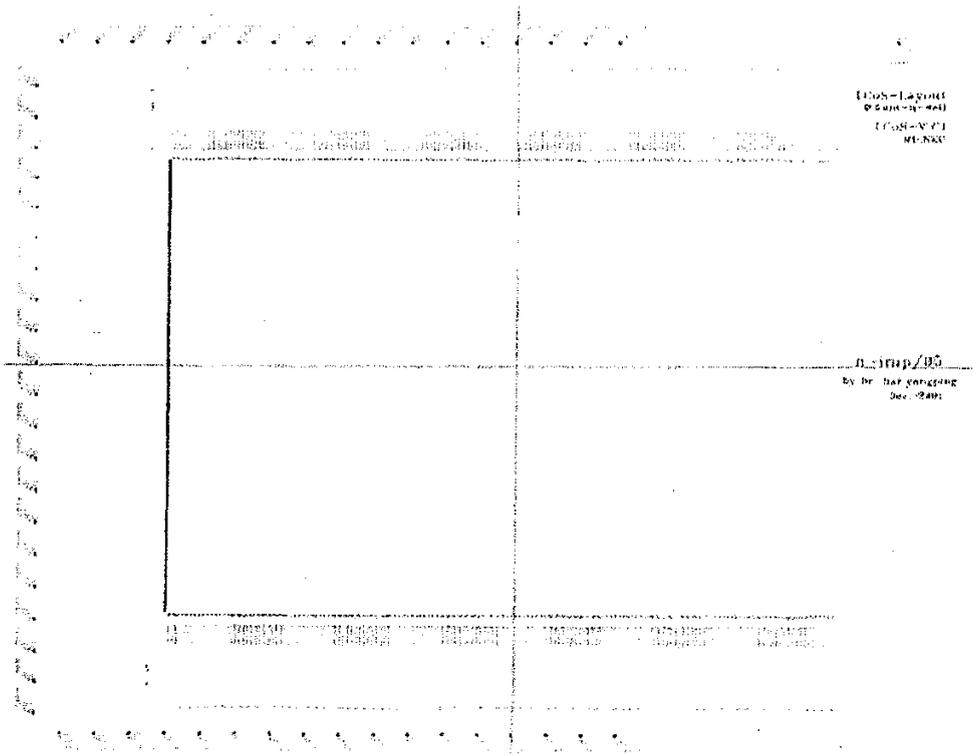


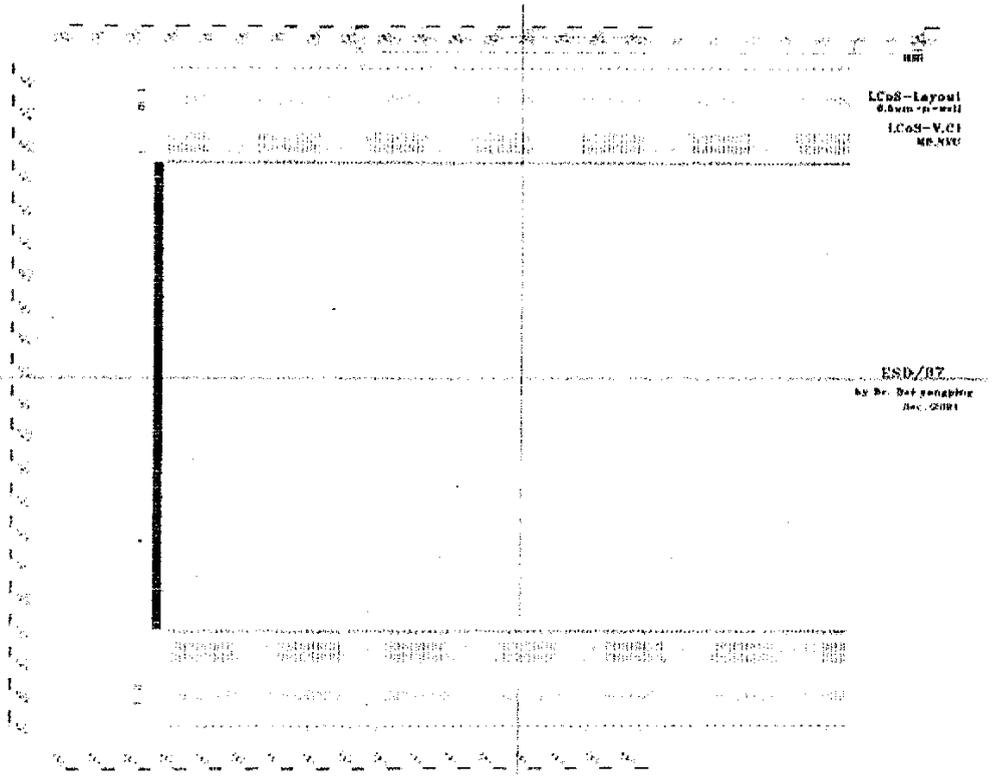
LCOS-Layout  
©GSM-U-CELL  
LCOS-V-C1  
MR.FKU



poly-Si/OS  
by Dr. Bao Jieping  
Date: 2004







LCOS-Layout  
8.0um-p-well  
LCOS-V.CI  
MR.NTU

ESD/07  
by Dr. Dai pengting  
Dec. 2001

LCOS-Layout  
8.0um-p-well  
LCOS-V.CI  
MR.NTU

ESD/08  
by Dr. Dai pengting  
Dec. 2001

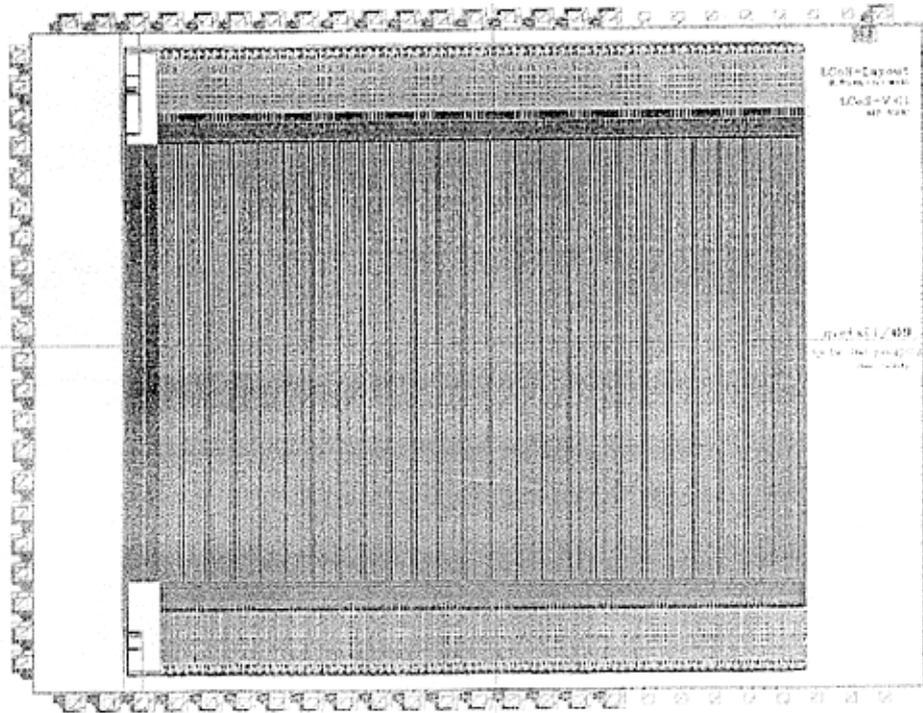
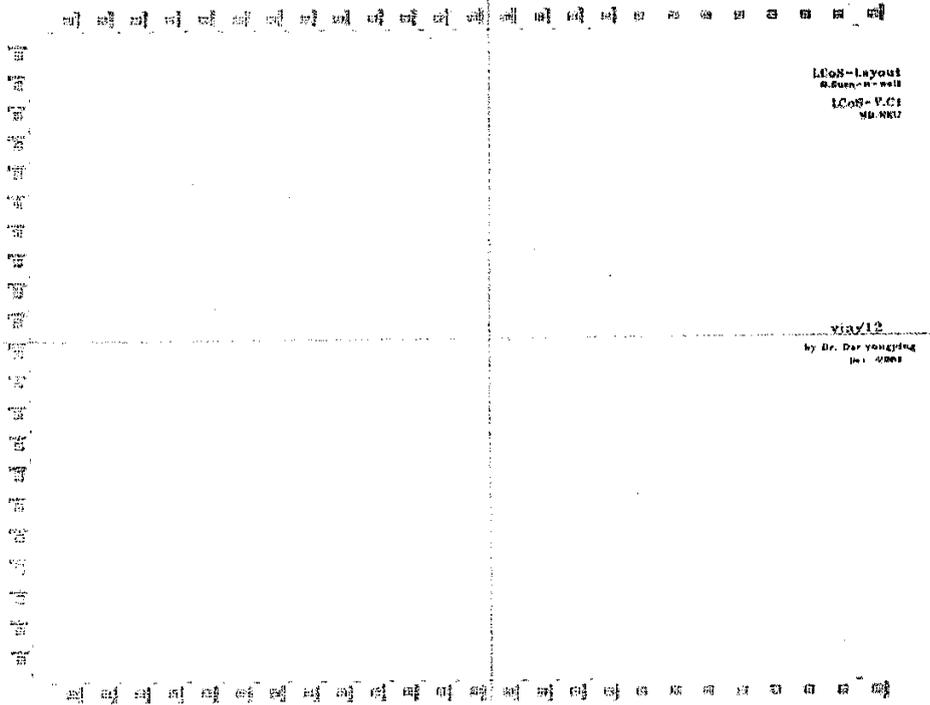
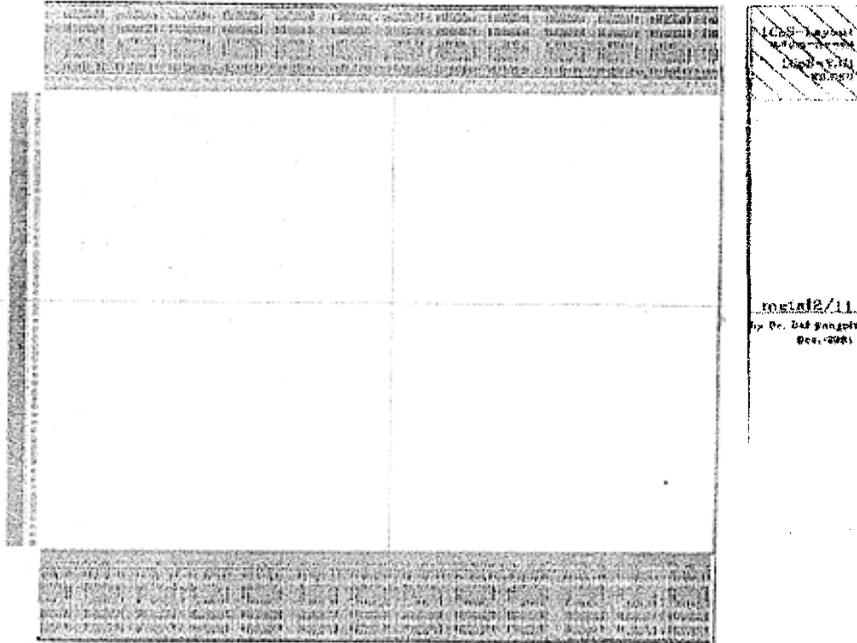
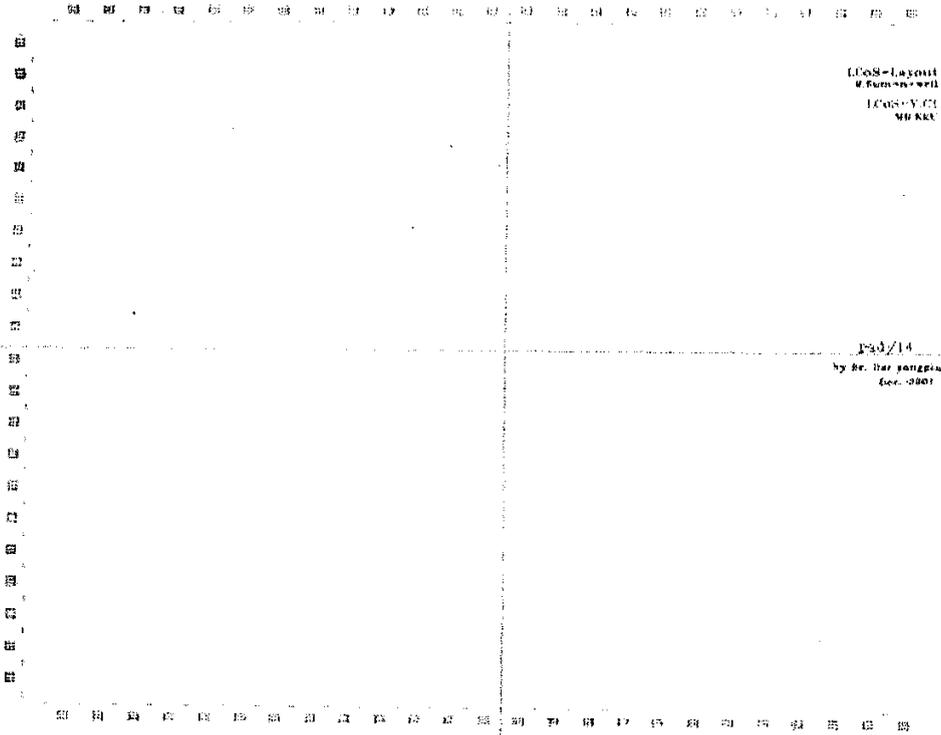
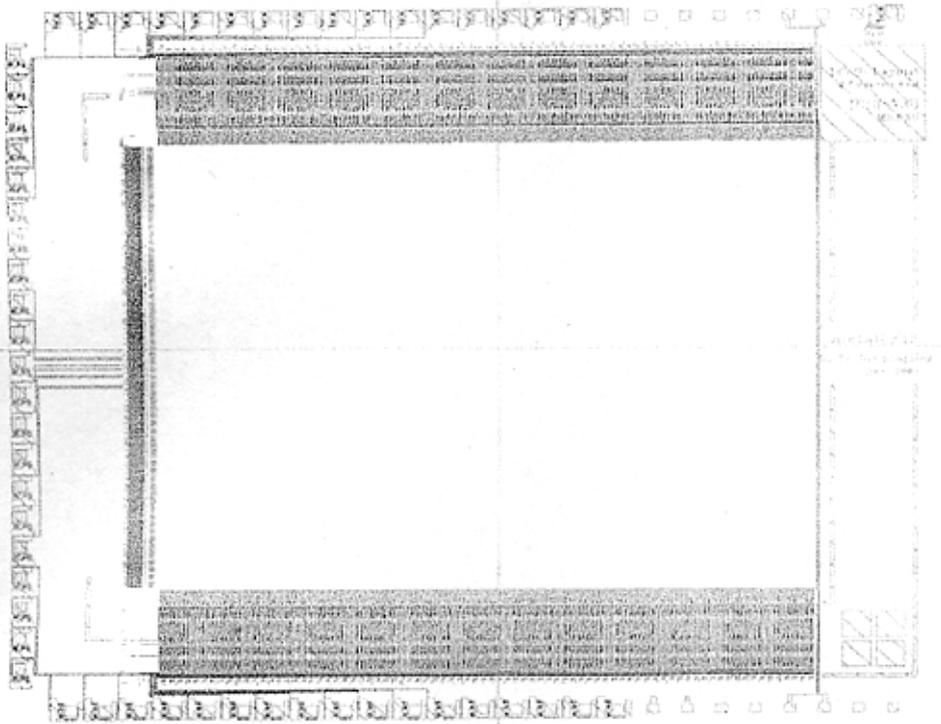


图 3-1-10 硅基液晶显示器 LCOS 的扫描电路

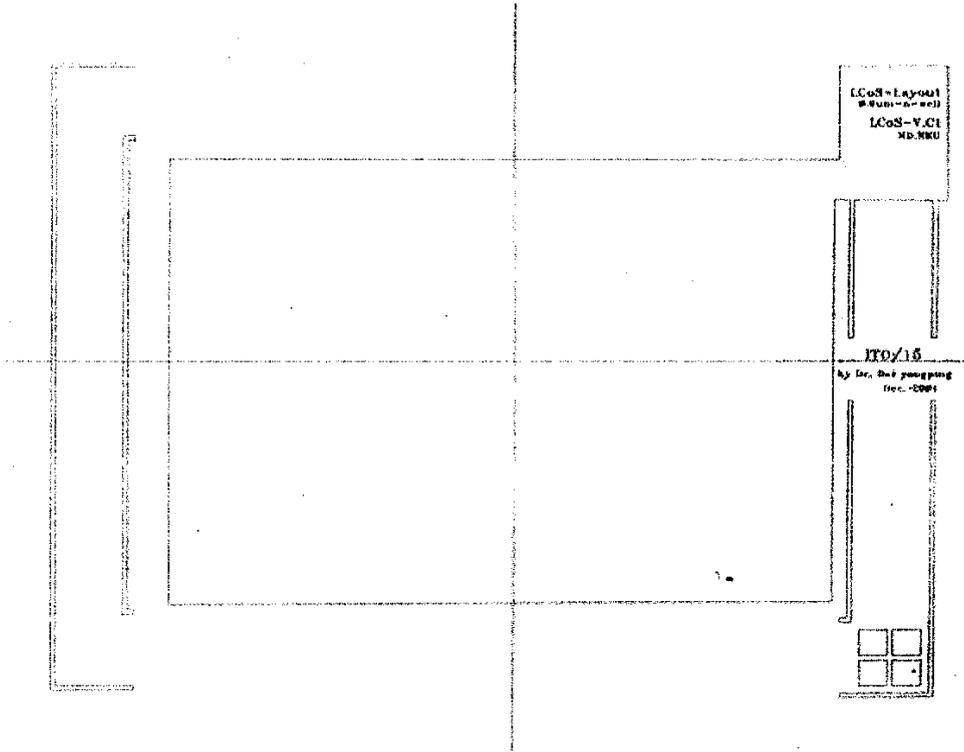
001 002 003 004 005 006 007 008 009 010 011 012 013 014 015 016 017 018 019 020 021 022 023 024 025 026 027 028 029 030 031 032 033 034 035 036 037 038 039 040 041 042 043 044 045 046 047 048 049 050 051 052 053 054 055 056 057 058 059 060 061 062 063 064 065 066 067 068 069 070 071 072 073 074 075 076 077 078 079 080 081 082 083 084 085 086 087 088 089 090 091 092 093 094 095 096 097 098 099 100 101 102 103 104 105 106 107 108 109 110 111 112 113 114 115 116 117 118 119 120 121 122 123 124 125 126 127 128 129 130 131 132 133 134 135 136 137 138 139 140 141 142 143 144 145 146 147 148 149 150 151 152 153 154 155 156 157 158 159 160 161 162 163 164 165 166 167 168 169 170 171 172 173 174 175 176 177 178 179 180 181 182 183 184 185 186 187 188 189 190 191 192 193 194 195 196 197 198 199 200 201 202 203 204 205 206 207 208 209 210 211 212 213 214 215 216 217 218 219 220 221 222 223 224 225 226 227 228 229 230 231 232 233 234 235 236 237 238 239 240 241 242 243 244 245 246 247 248 249 250 251 252 253 254 255 256 257 258 259 260 261 262 263 264 265 266 267 268 269 270 271 272 273 274 275 276 277 278 279 280 281 282 283 284 285 286 287 288 289 290 291 292 293 294 295 296 297 298 299 300 301 302 303 304 305 306 307 308 309 310 311 312 313 314 315 316 317 318 319 320 321 322 323 324 325 326 327 328 329 330 331 332 333 334 335 336 337 338 339 340 341 342 343 344 345 346 347 348 349 350 351 352 353 354 355 356 357 358 359 360 361 362 363 364 365 366 367 368 369 370 371 372 373 374 375 376 377 378 379 380 381 382 383 384 385 386 387 388 389 390 391 392 393 394 395 396 397 398 399 400 401 402 403 404 405 406 407 408 409 410 411 412 413 414 415 416 417 418 419 420 421 422 423 424 425 426 427 428 429 430 431 432 433 434 435 436 437 438 439 440 441 442 443 444 445 446 447 448 449 450 451 452 453 454 455 456 457 458 459 460 461 462 463 464 465 466 467 468 469 470 471 472 473 474 475 476 477 478 479 480 481 482 483 484 485 486 487 488 489 490 491 492 493 494 495 496 497 498 499 500 501 502 503 504 505 506 507 508 509 510 511 512 513 514 515 516 517 518 519 520 521 522 523 524 525 526 527 528 529 530 531 532 533 534 535 536 537 538 539 540 541 542 543 544 545 546 547 548 549 550 551 552 553 554 555 556 557 558 559 560 561 562 563 564 565 566 567 568 569 570 571 572 573 574 575 576 577 578 579 580 581 582 583 584 585 586 587 588 589 590 591 592 593 594 595 596 597 598 599 600 601 602 603 604 605 606 607 608 609 610 611 612 613 614 615 616 617 618 619 620 621 622 623 624 625 626 627 628 629 630 631 632 633 634 635 636 637 638 639 640 641 642 643 644 645 646 647 648 649 650 651 652 653 654 655 656 657 658 659 660 661 662 663 664 665 666 667 668 669 670 671 672 673 674 675 676 677 678 679 680 681 682 683 684 685 686 687 688 689 690 691 692 693 694 695 696 697 698 699 700 701 702 703 704 705 706 707 708 709 710 711 712 713 714 715 716 717 718 719 720 721 722 723 724 725 726 727 728 729 730 731 732 733 734 735 736 737 738 739 740 741 742 743 744 745 746 747 748 749 750 751 752 753 754 755 756 757 758 759 760 761 762 763 764 765 766 767 768 769 770 771 772 773 774 775 776 777 778 779 780 781 782 783 784 785 786 787 788 789 790 791 792 793 794 795 796 797 798 799 800 801 802 803 804 805 806 807 808 809 810 811 812 813 814 815 816 817 818 819 820 821 822 823 824 825 826 827 828 829 830 831 832 833 834 835 836 837 838 839 840 841 842 843 844 845 846 847 848 849 850 851 852 853 854 855 856 857 858 859 860 861 862 863 864 865 866 867 868 869 870 871 872 873 874 875 876 877 878 879 880 881 882 883 884 885 886 887 888 889 890 891 892 893 894 895 896 897 898 899 900 901 902 903 904 905 906 907 908 909 910 911 912 913 914 915 916 917 918 919 920 921 922 923 924 925 926 927 928 929 930 931 932 933 934 935 936 937 938 939 940 941 942 943 944 945 946 947 948 949 950 951 952 953 954 955 956 957 958 959 960 961 962 963 964 965 966 967 968 969 970 971 972 973 974 975 976 977 978 979 980 981 982 983 984 985 986 987 988 989 990 991 992 993 994 995 996 997 998 999 1000 1001 1002 1003 1004 1005 1006 1007 1008 1009 1010 1011 1012 1013 1014 1015 1016 1017 1018 1019 1020 1021 1022 1023 1024 1025 1026 1027 1028 1029 1030 1031 1032 1033 1034 1035 1036 1037 1038 1039 1040 1041 1042 1043 1044 1045 1046 1047 1048 1049 1050 1051 1052 1053 1054 1055 1056 1057 1058 1059 1060 1061 1062 1063 1064 1065 1066 1067 1068 1069 1070 1071 1072 1073 1074 1075 1076 1077 1078 1079 1080 1081 1082 1083 1084 1085 1086 1087 1088 1089 1090 1091 1092 1093 1094 1095 1096 1097 1098 1099 1100 1101 1102 1103 1104 1105 1106 1107 1108 1109 1110 1111 1112 1113 1114 1115 1116 1117 1118 1119 1120 1121 1122 1123 1124 1125 1126 1127 1128 1129 1130 1131 1132 1133 1134 1135 1136 1137 1138 1139 1140 1141 1142 1143 1144 1145 1146 1147 1148 1149 1150 1151 1152 1153 1154 1155 1156 1157 1158 1159 1160 1161 1162 1163 1164 1165 1166 1167 1168 1169 1170 1171 1172 1173 1174 1175 1176 1177 1178 1179 1180 1181 1182 1183 1184 1185 1186 1187 1188 1189 1190 1191 1192 1193 1194 1195 1196 1197 1198 1199 1200 1201 1202 1203 1204 1205 1206 1207 1208 1209 1210 1211 1212 1213 1214 1215 1216 1217 1218 1219 1220 1221 1222 1223 1224 1225 1226 1227 1228 1229 1230 1231 1232 1233 1234 1235 1236 1237 1238 1239 1240 1241 1242 1243 1244 1245 1246 1247 1248 1249 1250 1251 1252 1253 1254 1255 1256 1257 1258 1259 1260 1261 1262 1263 1264 1265 1266 1267 1268 1269 1270 1271 1272 1273 1274 1275 1276 1277 1278 1279 1280 1281 1282 1283 1284 1285 1286 1287 1288 1289 1290 1291 1292 1293 1294 1295 1296 1297 1298 1299 1300 1301 1302 1303 1304 1305 1306 1307 1308 1309 1310 1311 1312 1313 1314 1315 1316 1317 1318 1319 1320 1321 1322 1323 1324 1325 1326 1327 1328 1329 1330 1331 1332 1333 1334 1335 1336 1337 1338 1339 1340 1341 1342 1343 1344 1345 1346 1347 1348 1349 1350 1351 1352 1353 1354 1355 1356 1357 1358 1359 1360 1361 1362 1363 1364 1365 1366 1367 1368 1369 1370 1371 1372 1373 1374 1375 1376 1377 1378 1379 1380 1381 1382 1383 1384 1385 1386 1387 1388 1389 1390 1391 1392 1393 1394 1395 1396 1397 1398 1399 1400 1401 1402 1403 1404 1405 1406 1407 1408 1409 1410 1411 1412 1413 1414 1415 1416 1417 1418 1419 1420 1421 1422 1423 1424 1425 1426 1427 1428 1429 1430 1431 1432 1433 1434 1435 1436 1437 1438 1439 1440 1441 1442 1443 1444 1445 1446 1447 1448 1449 1450 1451 1452 1453 1454 1455 1456 1457 1458 1459 1460 1461 1462 1463 1464 1465 1466 1467 1468 1469 1470 1471 1472 1473 1474 1475 1476 1477 1478 1479 1480 1481 1482 1483 1484 1485 1486 1487 1488 1489 1490 1491 1492 1493 1494 1495 1496 1497 1498 1499 1500 1501 1502 1503 1504 1505 1506 1507 1508 1509 1510 1511 1512 1513 1514 1515 1516 1517 1518 1519 1520 1521 1522 1523 1524 1525 1526 1527 1528 1529 1530 1531 1532 1533 1534 1535 1536 1537 1538 1539 1540 1541 1542 1543 1544 1545 1546 1547 1548 1549 1550 1551 1552 1553 1554 1555 1556 1557 1558 1559 1560 1561 1562 1563 1564 1565 1566 1567 1568 1569 1570 1571 1572 1573 1574 1575 1576 1577 1578 1579 1580 1581 1582 1583 1584 1585 1586 1587 1588 1589 1590 1591 1592 1593 1594 1595 1596 1597 1598 1599 1600 1601 1602 1603 1604 1605 1606 1607 1608 1609 1610 1611 1612 1613 1614 1615 1616 1617 1618 1619 1620 1621 1622 1623 1624 1625 1626 1627 1628 1629 1630 1631 1632 1633 1634 1635 1636 1637 1638 1639 1640 1641 1642 1643 1644 1645 1646 1647 1648 1649 1650 1651 1652 1653 1654 1655 1656 1657 1658 1659 1660 1661 1662 1663 1664 1665 1666 1667 1668 1669 1670 1671 1672 1673 1674 1675 1676 1677 1678 1679 1680 1681 1682 1683 1684 1685 1686 1687 1688 1689 1690 1691 1692 1693 1694 1695 1696 1697 1698 1699 1700 1701 1702 1703 1704 1705 1706 1707 1708 1709 1710 1711 1712 1713 1714 1715 1716 1717 1718 1719 1720 1721 1722 1723 1724 1725 1726 1727 1728 1729 1730 1731 1732 1733 1734 1735 1736 1737 1738 1739 1740 1741 1742 1743 1744 1745 1746 1747 1748 1749 1750 1751 1752 1753 1754 1755 1756 1757 1758 1759 1760 1761 1762 1763 1764 1765 1766 1767 1768 1769 1770 1771 1772 1773 1774 1775 1776 1777 1778 1779 1780 1781 1782 1783 1784 1785 1786 1787 1788 1789 1790 1791 1792 1793 1794 1795 1796 1797 1798 1799 1800 1801 1802 1803 1804 1805 1806 1807 1808 1809 1810 1811 1812 1813 1814 1815 1816 1817 1818 1819 1820 1821 1822 1823 1824 1825 1826 1827 1828 1829 1830 1831 1832 1833 1834 1835 1836 1837 1838 1839 1840 1841 1842 1843 1844 1845 1846 1847 1848 1849 1850 1851 1852 1853 1854 1855 1856 1857 1858 1859 1860 1861 1862 1863 1864 1865 1866 1867 1868 1869 1870 1871 1872 1873 1874 1875 1876 1877 1878 1879 1880 1881 1882 1883 1884 1885 1886 1887 1888 1889 1890 1891 1892 1893 1894 1895 1896 1897 1898 1899 1900 1901 1902 1903 1904 1905 1906 1907 1908 1909 1910 1911 1912 1913 1914 1915 1916 1917 1918 1919 1920 1921 1922 1923 1924 1925 1926 1927 1928 1929 1930 1931 1932 1933 1934 1935 1936 1937 1938 1939 1940 1941 1942 1943 1944 1945 1946 1947 1948 1949 1950 1951 1952 1953 1954 1955 1956 1957 1958 1959 1960 1961 1962 1963 1964 1965 1966 1967 1968 1969 1970 1971 1972 1973 1974 1975 1976 1977 1978 1979 1980 1981 1982 1983 1984 1985 1986 1987 1988 1989 1990 1991 1992 1993 1994 1995 1996 1997 1998 1999 2000 2001 2002 2003 2004 2005 2006 2007 2008 2009 2010 2011 2012 2013 2014 2015 2016 2017 2018 2019 2020 2021 2022 2023 2024 2025 2026 2027 2028 2029 2030 2031 2032 2033 2034 2035 2036 2037 2038 2039 2040 2041 2042 2043 2044 2045 2046 2047 2048 2049 2050 2051 2052 2053 2054 2055 2056 2057 2058 2059 2060 2061 2062 2063 2064 2065 2066 2067 2068 2069 2070 2071 2072 2073 2074 2075 2076 2077 2078 2079 2080 2081 2082 2083 2084 2085 2086 2087 2088 2089 2090 2091 2092 2093 2094 2095 2096 2097 2098 2099 2100 2101 2102 2103 2104 2105 2106 2107 2108 2109 2110 2111 2112 2113 2114 2115 2116 2117 2118 2119 2120 2121 2122 2123 2124 2125 2126 2127 2128 2129 2130 2131 2132 2133 2134 2135 2136 2137 2138 2139 2140 2141 2142 2143 2144 2145 2146 2147 2148 2149 2150 2151 2152 2153 2154 2155 2156 2157 2158 2159 2160 2161 2162 2163 2164 2165 2166 2167 2168 2169 2170 2171 2172 2173 2174 2175 2176 2177 2178 2179 2180 2181 2182 2183 2184 2185 2186 2187 2188 2189 2190 2191 2192 2193 2194 2195 2196 2197 2198 2199 2200 2201 2202 2203 2204 2205 2206 2207 2208 2209 2210 2211 2212 2213 2214 2215 2216 2217 2218 2219 2220 2221 2222 2223 2224 2225 2226 2227 2228 2229 2230 2231 2232 2233 2234 2235 2236 2237 2238 2239 2240 2241 2242 2243 2244 2245 2246 2247 2248 2249 2250 2251 2252 2253 2254 2255 2256 2257 2258 2259 2260 2261 2262 2263 2264 2265 2266 2267 2268 2269 2270 2271 2272 2273 2274 2275 2276 2277 2278 2279 2280 2281 2282 2283 2284 2285 2286 2287 2288 2289 2290 2291 2292 2293 2294 2295 2296 2297 2298 2299 2300 2301 2302 2303 2304 2305 2306 2307 2308 2309 2310 2311 2312 2313 2314 2315 2316 2317 2318 2319 2320 2321 2322 2323 2324 2325 2326 2327 2328 2329 2330 2331 2332 2333 2334 2335 2336 2337 2338 2339 2340 2341 2342 2343 2344 2345 2346 2347 2348 2349 2350 2351 2352 2353 2354 2355 2356 2357 2358 2359 2360 2361 2362 2363 2364 2365 2366 2367 2368 2369 2370 2371 2372 2373 2374 2375 2376 2377 2378 2379 2380 2381 2382 2383 2384 2385 2386 2387 2388 2389 2390 2391 2392 2393 2394 2395 2396 2397 2398 2399 2400 2401 2402 2403 2404 2405 2406 2407 2408 2409 2410 2411 2412 2413 2414 2415 2416 2417 2418 2419 2420 2421 2422 2423 2424 2425 2426 2427 2428 2429 2430 2431 2432 2433 2434 2435 2436 2437 2438 2439 2440 2441 2442 2443 2444 2445 2446 2447 2448 2449 2450 2451 2452 2453 2454 2455 2456 2457 2458 2459 2460 2461 2462 2463 2464 2465 2466 2467 2468 2469 2470 2471 2472 2473 2474 2475 2476 2477 2478 2479 2480 2481 2482 2483 2484 2485 2486 2487 2488 2489 2490 2491 2492 2493 2494 2495 2496 2497 2498 2499 2500 2501 2502 2503 2504 2505 2506 2507 2508 2509 2510 2511 2512 2513 2514 2515 2516 2517 2518 2519 2520 2521 2522 2523 2524 2525 2526 2527 2528 2529 2530 2531 2532 2533 2534 2535 2536 2537 2538 2539 2540 2541 2542 2543 2544 2545 2546 2547 2548 2549 2550 2551 2552 2553 2554 2555 2556 2557 2558 2559 2560 2561 2562 2563 2564 2565 2566 2567 2568 2569 2570 2571 2572 2573 2574 2575 2576 2577 2578 2579 2580 2581 2582 2583 2584 2585 2586 2587 2588 2589 2590 2591 2592 2593 2594 2595 2596 2597 2598 2599 2600 2601 2602 2603 2





LCOS-Layout  
© Funsong  
LCOS-VCL  
MURK

199/14  
by Dr. Funsong  
(cc. 2001)



### 附录3 LCoS 微显芯片工艺文件

```

drcExtractRules((tmp = "/home11/home12/user7/ad2/practice/stream/phy/adpFlatten/si.env")
(tmp = "/home12/user7/ad2/practice/stream/phy/adpFlatten/si.env")

(nwell = geomOr("nwell"))
(diff = geomOr("active"))
(nimp = geomOr("nimp"))
(pimp = geomOr("pimp"))
(poly = geomOr("poly"))
(contact = geomOr("cnt"))
(poly1 = geomOr("poly1"))
(metal1 = geomOr("met1"))
(metal2 = geomOr("met2"))
(metal3 = geomOr("met3"))
(via = geomOr("via"))
(via2 = geomOr("via2"))
(but = geomOr("but"))
(burnp = geomOr("buriedNP"))
(tunlox = geomOr("tunlox"))
(capdie = geomOr("capdielc"))
(pad = geomOr("pad"))
(pwell = geomOr("pwell"))
(crtcap = geomOr("crtCap"))
(inout = geomOr("inout"))
(diode = geomOr("diode"))
(bulk = geomBkgnd("bkgnd"))
(ndiff = geomAnd(diff nimp))
(pdifff = geomAnd(diff pimp))
(ngate = geomAnd(ndiff poly))
(pgate = geomAnd(pdifff poly))
(gate = geomOr(ngate pgate))
(psd = geomAndNot(pdifff poly))
(nsd = geomAndNot(ndiff poly))
(comp = geomOr(ndiff pdifff))
(ntap = geomAnd(nsd nwell))
(tmp = geomOutside(ndiff nwell))
(tmp1 = geomOutside(pdifff nwell))
(tmpnwl = geomOutside(nwell pad))
(nouse = geomOr("nouse"))
(rpg = geomAndNot(pgate nouse))
(rng = geomAndNot(ngate nouse))
(res = geomOr("res"))
(bar = geomOr("bar"))
(jing = geomAndNot(nwell bar))
(cap = geomOr("cap"))
(dio = geomOr("dio"))
(text = geomOr("text"))
(Ptap = geomAndNot(psd jing))
(Ntap = geomAnd(nsd jing))
(sub = geomAndNot(bulk jing))
(caphody = geomAnd(metal1 metal2))
(capacitor = geomAnd(caphody cap))
(jingres = geomAnd(jing res))
(jingrtm = geomAndNot(jing res))
(diobody = geomAnd(diff dio))
(dioptm = geomAndNot(psd dio))
(diontm = geomAndNot(nsd dio))
globalLabel("L52" "VDD" "VSS")
changeLabel(("VDD" "vdd!"
("VSS" "gnd!"))
ivIf((switch "do_PRE?" then
measureResistance(poly "lrescap symbol" 40
0.56 "r"
(cap "c"
((1.6e-17 * a) + (2.8e-18 * p)))
(ignore <= 0.1)
(save "yl")
(contact contact 0.03 0.5))
measureResistance(metal2 "lrescap symbol"
0.03 0.56 "r"
(cap "c"
((1.2e-17 * a) + (1.8e-18 * p)))
(ignore <= 0.1)
(save "y3")
(contact via 0.02 0.6))
geomConnect((via contact poly metal1 psd
nsd dioptm diontm)
(via via metal1 metal2)
(via via2 metal2 metal3)
(via Ptap sub psd)
(via Ntap jing nsd jingrtm)
(label "L52" metal1)
)
extractDevice(rpg
(poly "G")
(psd "S" "D")
(jing "B") "pfet ivpcell"
physical)
extractDevice(rng
(poly "G")
(nsd "S" "D")
(sub "B") "nfet ivpcell"
physical)
(wp = measureParameter(length
rpg coincident poly) 5e-07))
(wn = measureParameter(length
rng coincident poly) 5e-07))
(lp = measureParameter(length
rpg inside poly) 5e-07))
(ln = measureParameter(length
rng inside poly) 5e-07))
saveParameter(lp "l")
saveParameter(ln "1")
saveParameter(wp "w")
saveParameter(wn "w")
saveRecognition(rpg "poly")
saveRecognition(rng "poly")
saveInterconnect(metal1 "met1")
(metal2 "met2")
(poly "poly")
(contact "cnt")
(nwell "nwell")
(via "via")
(psd "pimp")
(nsd "nimp")
(diff "active"))
ivIf((switch "drc?" then
geomConnect((via contact poly metal1 psd nsd
dioptm diontm)
(via via metal1 metal2)
(via via2 metal2 metal3)
- (via Ptap sub psd)
(via Ntap jing nsd jingrtm)
(label "L52" metal1))
(ftlnwl = geomOutside(tmpnwl contact))
saveDerived(ftlnwl)
(ftnwl = geomOutside(tmpnwl ndiff))
saveDerived(ftnwl)

```

```

drc(nwell (width < 3.0) edge)
drc(nwell ((0 < sep) < 3.0) edge)
drc(nwell (notch < 3.0))
drc(nwell pdiff
    (enc < 1.8) shielded edge)
drc(nwell ndiff
    (enc < 1.8) shielded edge)
drc(nwell tmp (sep < 1.8) edge)
drc(nwell tmp1 (sep < 0.6) edge)
drc(ndiff (width < 0.6) edge)
drc(pdifff (width < 0.6) edge)
(gtelen = drc(poly gate
    (enc < 0.001) opposite shielded))
saveDerived(geomGetLength(gtelen
    ((0.0 <= length) (<= 0.795) contiguous))
(cmptmp = drc(ndiff ((0 < sep) < 1.0))
(cmps2 = geomOutside(cmptmp ngate))
(ndf823 = geomOutside(cmps2 but))
saveDerived(ndf823)
(cmptmp = drc(pdifff
    ((0 < sep) < 1.0)))
(cmps1 = geomOutside(cmptmp pgate))
(pdf823 = geomOutside(cmps1 but))
saveDerived(pdf823)
(di8233 = drc(nsd psd
    (sep < 1.0) opposite))
(di823 = geomOutside(di8233 but))
saveDerived(di823)
drc(ngate psd ((0 < sep) < 1.0) edge)
drc(pgate nsd ((0 < sep) < 1.0) edge)
(df823n = drc(ndiff ((0 < sep) < 1.0) opposite))
drc(ndiff (notch < 1.0))
(df823n1 = geomAndNot(df823n pdifff))
saveDerived(df823n1)
(df823p = drc(pdifff
    ((0 < sep) < 1.0) opposite))
drc(pdifff (notch < 1.0))
(df823p1 = geomAndNot(df823p ndiff))
saveDerived(df823p1)
(pdf1 = geomAndNot(pdifff nwell))
(dfnw1 = geomAnd(pdf1 poly))
saveDerived(dfnw1)
(fltpdf = geomOutside(pdifff contact))
saveDerived(fltpdf)
(fltndf = geomOutside(ndiff contact))
saveDerived(fltndf)
(ovlidf = geomAnd(ndiff pdifff))
saveDerived(ovlidf)
(p2cap1 = geomButtOrOver(poly capdie))
(p2cap2 = geomButting(poly capdie))
(p2cap = geomAndNot(p2cap1 p2cap2))
(plcap = geomButtOrOver(poly1 capdie))
(plcon = geomInside(contact poly1))
(plcont = geomAndNot(plcon poly1))
(cap1py = geomAnd(capdie poly1))
(cap2py = geomAnd(capdie poly))
(cplcap = geomAnd(plcap crtcap))
(nplcap = geomAndNot(plcap cplcap))
(fltp11 = geomOutside(poly1 contact))
saveDerived(fltp11)
(stkply = geomAnd(poly1 poly))
(ntcap = geomAndNot(stkply capdie))
(poly12 = geomOr(poly poly1))
(poly12c = geomAnd(poly12 comp))
(gatel = geomAndNot(poly12c burnp))
(stkgt = geomAnd(gatel stkply))
(plstkg = geomInside(poly1 stkgte))
(flfgat = geomInside(plstkg tunlox))
(cplcsp = geomButtOrOver(cplcap capdie))
(nplcsp = geomButtOrOver(nplcap capdie))
(plcsp = geomOr(nplcsp cplcsp))
(othply1 = geomOutside(poly1 plcsp))
drc(poly1 (width < 0.6) edge)
(pl1832 = geomAnd(poly1 comp))
saveDerived(pl1832)
drc(poly1 ((0 < sep) < 0.7) edge)
drc(poly1 (notch < 0.7))
(poly1835 = geomAndNot(ntcap fltgate))
saveDerived(poly1835)
drc(plcap p2cap (enc < 0.8) shielded edge)
drc(nplcsp comp (sep < 0.2) edge)
drc(cplcsp comp (sep < 3.2) edge)
drc(othply1 comp (sep < 0.2) edge)
drc(poly1 poly (sep < 1.2) edge)
drc(nwell cplcsp
    (enc < 3.2) shielded edge)
(py1839 = geomAndNot(cplcsp nwell))
saveDerived(py1839)
(ply2cap = geomStraddle(poly capdie))
drc(capdie ((0 < sep) < 0.8) edge)
drc(capdie plcap (enc < 0.6) shielded edge)
drc(capdie p2cap
    (enc < 0.8) shielded edge)
drc(capdie plcont
    (sep < 0.8) edge)
saveDerived(geomAnd(capdie plcont))
drc(comp capdie
    (sep < 0.8) edge)
saveDerived(geomStraddle(comp capdie))
drc(poly12 capdie
    (sep < 0.8) edge )
(uncply2 = geomAndNot(ply2cap capdie))
saveDerived(uncply2)
(fltpy2 = geomOutside(cap2py cap1py))
saveDerived(fltpy2)
(intcap = geomButtOrOver(poly1 poly))
(gintca = geomSize(intcap 3))
(patnot = drc(gintca
    ((0 < sep) < 2))
drc(gintca (notch < 2))
(gintcap = geomOr(gintca patnot))
(intmt1 = geomAnd(metall gintcap))
(falserr = drc(intmt1
    ((0 < sep) < 2))
(cap87a = geomAndNot(falserr metall))
saveDerived(cap87a)
(purepy2 = geomAndNot(poly poly1))
(chkcap = drc(intcap purepy2
    (sep < 5))
(mlcscap = geomAnd(metall chkcap))
(errmt1 = drc(mlcscap
    ((0 < sep) < 2))
(plcp2 = geomButtOrOver(poly1 poly))
(pl183b = drc(plcp2
    ((0 < sep) < 6.0))
drc(plcp2 (notch < 6.0))
(pl183b1 = geomAnd(pl183b gintca))
(pl183b2 = geomButting(pl183b1 poly1
    ((3 <= keep) <= 3))
saveDerived(pl183b2)
(cp8762 = geomAndNot(errmt1 metall))
saveDerived(cp8762)
(pmetall = geomAnd(metall pdifff))
(nmetall = geomAnd(metall ndifff))
(gintcap = geomSize(intcap 7.5))
(c1 = drc(pmetall intcap
    ((0 < sep) < 7.5) fig))
(c2 = drc(nmetall intcap
    ((0 < sep) < 7.5) fig))
(cc1 = geomAnd(c1 gintcap))
(cc2 = geomAnd(c2 gintcap))
(c1 = drc(cc1
    ((0 < sep) < 2) opposite))
(c2 = drc(cc2

```

```

..... ((0 < sep) < 2) opposite)).....
(cc1 = geomOutside(c1 pgate))
(cap877 = geomAndNot(cc1 metall))
saveDerived(cap877)
(cc2 = geomOutside(c2 ngate))
(cp877 = geomAndNot(cc2 metall))
saveDerived(cp877)
(tmpcn1 = geomAnd(plcap plcont))
(tmpcn2 = geomAnd(p2cap contact))
(capcon = geomOr(tmpcn1 tmpcn2))
drc(capcon
  (width < 2.0) edge)
drc(capcon
  ((4.05 < area) < 100.0))
(plcon1 = geomInside(contact poly))
(plcon2 = geomStraddle(contact poly))
(plycon = geomOr(plcon1 plcon2))
(plcont = geomOutside(plycon poly))
(plcaen = geomAnd(plcap plcont))
drc(poly
  (width < 0.6) edge)
drc(ngate (width < 0.6) edge)
drc(pgate
  (width < 0.6) edge)
drc(comp poly
  (enc < 0.6) shielded edge)
drc(poly comp
  ((0 < enc) < 0.6) opposite shielded edge)
drc(poly ((0 < sep) < 0.7) edge)
drc(poly (notch < 0.7))
drc(poly pdiff (sep < 0.4) edge)
drc(poly ndiff (sep < 0.4) edge)
(pgtwow = geomAndNot(pgate nwell))
saveDerived(pgtwow)
(miscon = geomOutside(but contact))
saveDerived(miscon)
(contact = geomAndNot(contact but))
(cointm = geomAndNot(contact metall))
saveDerived(cointm)
(butt = geomAnd(but contact))
(padcon = geomButtOrOver(contact pad))
(ncapco = geomAndNot(contact capcon))
drc(ncapco (width < 0.6) edge)
(tmpcnt1 = geomOutside(contact pad))
(tmpcnt2 = geomButtOrOver(tmpcnt1 inout))
(tmpcnt3 = geomAndNot(tmpcnt2 diode))
(iocon = drc(tmpcnt3
  ((0.361 < area) < 90.0))
(tmpcn1 = geomAndNot(contact capcon))
(tmpcn2 = geomAndNot(tmpcn1 padcon))
(tmpcn3 = geomAndNot(tmpcn2 iocon))
(bgcon = drc(tmpcn3
  ((0.361 < area) < 90.0))
drc(bgcon
  ((4.05 < area) < 90.0))
drc(contact ((0 < sep) < 0.6) edge)
(conpad = geomAnd(contact pad))
saveDerived(conpad)
drc(iocon
  (width < 0.6) edge)
(padc = drc(iocon
  ((0.6 <= width) <= 900) edge))
(padcon1 = drc(padc
  ((0.359 < area) < 0.361))
(padc1 = geomAndNot(padc padcon1))
(padcon2 = drc(padc1
  ((0.959 < area) < 0.961))
(padc2 = geomAndNot(padc1 padcon2))
(padcon3 = drc(padc2
  ((1.439 < area) < 1.441))
(pd86a4 = geomAndNot(padc2 padcon3))
saveDerived(pd86a4)
.....(pycnt1 = geomInside(contact poly)).....
(indent1 = geomInside(contact ndiff))
(pdcont1 = geomInside(contact pdiff))
(mlcnt1 = geomInside(contact metall))
(pycnt2 = geomStraddle(contact poly))
(indent2 = geomStraddle(contact ndiff))
(pdcont2 = geomStraddle(contact pdiff))
(mlcnt2 = geomStraddle(contact metall))
(plycont = geomOr(pycnt1 pycnt2))
(indent = geomOr(indent1 indent2))
(pdcont = geomOr(pdcont1 pdcont2))
(mlcont = geomOr(mlcnt1 mlcnt2))
(capcon1 = geomOr(capcon bgcon))
(ncpcon = geomOutside(contact capcon))
(flitcon = geomOutside(contact metall))
saveDerived(flitcon)
drc(ndiff contact
  (enc < 0.4) shielded edge)
saveDerived(geomStraddle(contact ndiff))
drc(pdiff contact
  (enc < 0.4) shielded edge)
saveDerived(geomStraddle(contact pdiff))
drc(poly1 capcon1
  (enc < 0.8) shielded edge)
saveDerived(geomStraddle(capcon1 poly1))
drc(poly1 ncpcon
  (enc < 0.6) shielded edge)
saveDerived(geomStraddle(ncpcon poly1))
drc(poly capcon1
  (enc < 0.8) shielded edge)
saveDerived(geomStraddle(capcon1 poly))
drc(poly ncpcon
  (enc < 0.4) shielded edge)
saveDerived(geomStraddle(ncpcon poly))
(polyc = geomOr(plycont plycon))
(polyc1 = geomOr(poly ndcont))
(tmpcac = geomAnd(crtcap plcaen))
(tpcaen = geomAndNot(plcaen crtcap))
(poly12v = geomAnd(via poly12))
(poly12c = geomAnd(contact poly12))
drc(ndiff plycon
  (sep < 0.8) edge)
saveDerived(geomStraddle(ndiff plycon))
drc(pdiff plycon
  (sep < 0.8) edge)
saveDerived(geomStraddle(pdiff plycon))
drc(tmpcac poly
  (sep < 2.6) edge)
saveDerived(geomStraddle(tmpcac poly))
drc(tpcaen poly
  (sep < 1.6) edge)
saveDerived(geomStraddle(tpcaen poly))
(ocon = geomOr(polyc1 pdcont))
(mislay = geomAndNot(mlcont ocon))
saveDerived(mislay)
(npcc = geomAnd(plycont ndiff))
(ppcc = geomAnd(plycont pdiff))
(ngate = geomOr(ngate pgate))
(ovlerr = geomOr(npcc ppcc))
saveDerived(ovlerr)
drc(contact pngate
  (sep < 0.6) edge)
drc(ndiff plycont
  (sep < 0.8) edge)
drc(pdiff plycont
  (sep < 0.8) edge)
(bcaccon = geomOr(butt iocon))
drc(metall
  (width < 0.8) edge)
drc(metall
  ((0 < sep) < 0.8) edge)
drc(metall (notch < 0.8))

```

```
drc(metal1 ncpcn
  (enc < 0.4) shielded edge)
saveDerived(geomStraddle(ncpcn metal1))
drc(metal1 beacon
  (enc < 0.6) shielded edge)
saveDerived(geomStraddle(beacon metal1))
drc(metal1 capcon1
  (enc < 0.7) shielded edge)
saveDerived(geomStraddle(capcon1 metal1))
(viacon = geomOr(via contact))
(fltmt = geomOutside(metal1 viacon))
saveDerived(fltmt)
(nvia = geomOutside(via pad))
(vi881 = geomAnd(via contact))
saveDerived(vi881)
(nminvia = drc(nvia
  ((0.365 < area) < 90.0)))
(norvia = geomAndNot(nvia nminvia))
(compcnt = geomAnd(contact comp))
drc(nvia
  (width < 0.6) edge)
drc(nvia ((0 < sep) < 0.8) edge)
drc(metal1 nminvia
  (enc < 0.6) shielded edge)
saveDerived(geomStraddle(nminvia metal1))
drc(metal1 norvia
  (enc < 0.4) shielded edge)
saveDerived(geomStraddle(norvia metal1))
drc(poly12v poly12c (sep < 0.6) edge)
drc(nvia compcnt (sep < 0.6) edge)
drc(stkply nvia
  ((0 < sep) < 2.0) edge)
(mt1wov = geomAndNot(nvia metal1))
saveDerived(mt1wov)
(mt2wov = geomAndNot(nvia metal2))
saveDerived(mt2wov)
(viptdf = geomAnd(poly12v comp))
saveDerived(viptdf)
(fltmt2 = geomOutside(metal2 via))
saveDerived(fltmt2)
(vonply = geomAnd(nvia stkply))
saveDerived(vonply)
drc(metal2
  (width < 0.8) edge)
drc(metal2 ((0 < sep) < 0.9) edge)
drc(metal2 (notch < 0.9))
drc(metal2 norvia
  (enc < 0.4) shielded edge)
saveDerived(geomStraddle(norvia metal2))
drc(metal2 nminvia
  (enc < 0.6) shielded edge)
saveDerived(geomStraddle(nminvia metal2))
drc(stkply metal2
  ((0 < sep) < 1.6) edge)
(nvia2 = geomOutside(via2 pad))
(nminvi2 = drc(nvia2
  ((0.645 < area) < 90.0)))
(norvia2 = geomAndNot(nvia2 nminvia))
drc(nvia2 (width < 0.6) edge)
drc(nvia2 ((0 < sep) < 0.8) edge)
drc(metal2 norvia2
  (enc < 0.4) shielded edge)
saveDerived(geomStraddle(norvia2 metal2))
drc(metal2 nminvi2
  (enc < 0.6) shielded edge)
saveDerived(geomStraddle(nminvi2 metal2))
drc(nvia2 nvia (sep < 0.8) edge)
drc(metal3 (width < 0.8) edge)
drc(metal3 ((0 < sep) < 0.9) edge)
drc(metal3 (notch < 0.9))
(me310 = drc(metal3
  ((10 < width) <= 900) edge))
```

```
drc(me310
  ((0 < sep) < 2.0) edge)
drc(me310 (notch < 2.0))
drc(metal3 norvia2
  (enc < 0.4) shielded edge)
saveDerived(geomStraddle(norvia2 metal3))
drc(metal3 nminvi2
  (enc < 0.6) shielded edge)
saveDerived(geomStraddle(nminvi2 metal3))
(nonmin = geomOr(beacon ioccon))
drc(ndiff nonmin
  ((0 < enc) < 0.6) shielded edge)
drc(pdifff nonmin
  ((0 < enc) < 0.6) shielded edge)
(butmp1 = drc(butt
  (width < 0.6) fig))
(butmp2 = drc(butt
  ((0.6 < width) <= 900) edge))
(butmp3 = geomOr(butmp1 butmp2))
saveDerived(butmp3)
(buteq3 = geomAndNot(butt butmp3))
(pbuta = geomAnd(buteq3 pdifff))
(nbuta = geomAnd(buteq3 ndifff))
drc(pbuta (width < 0.6) edge)
drc(nbuta (width < 0.6) edge)
(pibut = geomStraddle(butt pdifff))
(nlbut = geomStraddle(butt ndifff))
(pnbut = geomStraddle(pibut ndifff))
(npnbut = geomStraddle(pibut ndifff))
(ppnbut = geomStraddle(nlbut pdifff))
(dualbut = geomOr(pnpbut npnbut))
(butbut = geomOr(pnbut dualbut))
(pneq3 = geomAnd(pnbut buteq3))
(dualeq3 = geomAnd(dualbut buteq3))
(pnok = drc(pneq3
  ((0.959 < area) < 0.961)))
(bt8611 = geomAndNot(pneq3 pnok))
saveDerived(bt8611)
(dualok = drc(dualeq3
  ((1.439 < area) < 1.441)))
(bt8612 = geomAndNot(dualeq3 dualok))
saveDerived(bt8612)
drc(butt pngate (sep < 0.8) edge)
(fltbut = geomAndNot(butt metal1))
saveDerived(fltbut)
(butos = geomSize(butt 0.6))
(mt1but = geomAnd(metal1 butos))
(ndifbut = geomAnd(mt1but ndifff))
(pdifbut = geomAnd(mt1but pdifff))
(difbut = geomOr(ndifbut pdifbut))
(fltbut1 = geomAndNot(mt1but difbut))
saveDerived(fltbut1)
(pbutc1k = geomAnd(pnpbut pbuta))
(pbutc2k = geomAnd(pnbut pbuta))
(pbutcchk = geomOr(pbutc1k pbutc2k))
(pbutcok = drc(pbutcchk
  ((0.479 < area) < 0.481))
(bt866 = geomAndNot(pbutcchk pbutok))
saveDerived(bt866)
(nbutck1 = geomAnd(pnbut nbuta))
(nbutck2 = geomAnd(pnbut pbuta))
(nbutchk = geomOr(nbutck1 nbutck2))
(nbutok = drc(nbutchk
  ((0.479 < area) < 0.481))
(bt866 = geomAndNot(nbutchk nbutok))
saveDerived(bt866)
(pbck1 = geomInside(pbuta nbutok))
(pbck2 = geomInside(nbuta pnpbut))
(cntbut = geomOr(pbck1 pbck2))
(cntbtk = drc(cntbut
  ((0.791 <= width) <= 0.801) opposite
  ))
```

```

(bconwi = geomOutside(cntbut cntbok))
saveDerived(bconwi)
(pbut = geomButtOrOver(butt pdiff))
(nbut = geomButtOrOver(butt ndiff))
(misndf = geomAndNot(pbut nbut))
saveDerived(misndf)
(mispdf = geomAndNot(nbut pbut))
saveDerived(mispdf)
drc(butt ((0 < sep) < 0.6) edge)
drc(butt contact
    ((0 < sep) < 0.6) edge)
drc(pad
    (width < 76.0) parallel edge)
drc(pad ((0 < sep) < 14.0) edge)
drc(pad (notch < 14.0))
(padd = geomSize(pad 7.0))
(padvia1 = geomAnd(via padd))
(padvia2 = geomAnd(via2 padd))
(padcont = geomAnd(contact padd))
(padmt1 = geomButtOrOver(metall1 pad))
(padmt2 = geomButtOrOver(metal2 pad))
(padmt3 = geomButtOrOver(metal3 pad))
(padply = geomButtOrOver(poly pad))
(padmet1 = geomAnd(padd padmt1))
(padmet2 = geomAnd(padd padmt2))
(npadm1 = geomAndNot(metall1 padmt1))
(npadm2 = geomAndNot(metal2 padmt2))
(npadm3 = geomAndNot(metal3 padmt3))
(me1spad = geomAndNot(pad metall1))
(me2spad = geomAndNot(pad metal2))
drc(padmt3 pad
    (enc < 5.0) shielded edge)
saveDerived(geomStraddle(pad padmt3))
drc(padmt3 via2
    (enc < 1.0) shielded edge)
saveDerived(geomStraddle(via2 padmt3))
drc(padmt2 via2
    (enc < 2.0) shielded edge)
saveDerived(geomStraddle(via2 padmt2))
drc(padmt2 via
    (enc < 1.0) shielded edge)
saveDerived(geomStraddle(via padmt2))
drc(padmt1 via
    (enc < 2.0) shielded edge)
saveDerived(geomStraddle(via padmt1))
drc(me2spad (width < 52.0) edge)
drc(me1spad (width < 50.0) edge)
(okpvial = drc(padvia1
    ((0.639 < area) < 0.641)))
(errpvl = geomAndNot(padvia1 okpvial))
saveDerived(errpvl)
(okpvia2 = drc(padvia2
    ((0.639 < area) < 0.641)))
(errpv2 = geomAndNot(padvia2 okpvia2))
saveDerived(errpv2)
drc(padvia2 ((0 < sep) < 1.2) edge)
drc(padvia1 ((0 < sep) < 1.2) edge)
drc(padmt2 padmt3
    (enc < 1.0) shielded edge)
saveDerived(geomStraddle(padmt3 padmt2))
drc(padmt1 padmt2
    (enc < 1.0) shielded edge)
saveDerived(geomStraddle(padmt2 padmt1))
drc(padmt1 ((0 < sep) < 2.0) edge)
drc(padmt2 ((0 < sep) < 2.0) edge)
drc(padmt3 ((0 < sep) < 2.0) edge)
drc(pad comp ((0 < sep) < 17.0) edge)
drc(pad poly ((0 < sep) < 17.0) edge)
drc(pad npadm1 ((0 < sep) < 19.0) edge)
drc(pad npadm2 ((0 < sep) < 19.0) edge)
drc(pad npadm3 ((0 < sep) < 19.0) edge)
drc(poly padcont
    (enc < 3.5) shielded edge)
saveDerived(geomStraddle(padcont poly))
drc(padcont (width < 0.8) edge)
drc(padcont ((0 < sep) < 0.8) edge)
(szmt25 = geomSize(pad 25))
(sm25 = geomAnd(padmt1 szmt25))
(szmt34 = geomSize(pad 34))
(sm34 = geomAnd(padmt1 szmt34))
drc(sm25 (width < 42) edge)
drc(sm34 (width < 25.0) edge)
(sm225 = geomAnd(padmt2 szmt25))
(sm234 = geomAnd(padmt2 szmt34))
drc(sm225 (width < 42) edge)
drc(sm234 (width < 25.0) edge)
(sm325 = geomAnd(padmt3 szmt25))
(sm334 = geomAnd(padmt3 szmt34))
drc(sm325 (width < 42) edge)
drc(sm334 (width < 25.0) edge))
ivlIf((switch "do_LPE?") then
    geomConnect((via contact poly metall psd nsd
        dioptm diontm)
        (via via metall metal2)
        (via via2 metal2 metal3)
        (via Ptap sub psd)
        (via Ntap jing nsd jingrtm)
        (label "L52" metall) )
    extractDevice(rpg
        (poly "G")
        (psd "S" "D")
        (jing "B") "pfet ivpcell")
    extractDevice(rng
        (poly "G")
        (nsd "S" "D")
        (sub "B") "nfet ivpcell")
    (wp = measureParameter(length
        (rpg coincident poly) 5e-07))
    (wn = measureParameter(length
        (rng coincident poly) 5e-07))
    (lp = measureParameter(length
        (rpg inside poly) 5e-07))
    (ln = measureParameter(length
        (rng inside poly) 5e-07))
    saveParameter(lp "l")
    saveParameter(ln "l")
    saveParameter(wp "w")
    saveParameter(wn "w")
    extractDevice(diobody
        (dioptm "PLUS")
        (diontm "MINUS") "diode ivpcell")
    (dw = measureParameter(length
        (diobody coincident dio) 5e-07))
    (daera = calculateParameter((dw * 0.08)))
    saveParameter(daera "area")
    extractDevice(res
        (jingrtm "PLUS" "MINUS") "resistor
        ivpcell" physical
    )
    extractDevice(capacitor
        (metall "PLUS")
        (metal2 "MINUS") "capacitor pdvpcell")
    (caera = measureParameter(area
        (capacitor) 5e-07))
    (cc = calculateParameter((caera * 0.0005)))
    saveRecognition(rpg "poly")
    saveRecognition(rng "poly")
    (polymetall1 = measureParasitic(area
        (metall over poly) 2.8e-16 two_net))
    (polymetall2 = measureParasitic(area
        (metal2 over poly not_over metall) 2.4e-16
        two_net))
    (met2met1 = measureParasitic(area
        (metal2 over metall) 2e-16 two_net))

```

```

saveParasitic(polymetal1 "PLUS" "MINUS" "c"
"pcapacitor")
saveParasitic(polymetal2 "PLUS" "MINUS" "c"
"pcapacitor")
saveParasitic(met2met1 "PLUS" "MINUS" "c"
"pcapacitor")
saveInterconnect((metall "met1")
(metal2 "met2")
(poly "poly")
(contact "cnt")
(nwell "nwell")
(via "via")
(psd "pimp")
(nsd "nimp")
(diff "active")))
ivIf((switch "do_LVS?") then
geomConnect((via contact poly metall psd nsd
diopdm diopdm)
(via via1 metall metal2)
(via via2 metal2 metal3)
(via Ptap sub psd)
(via Ntap jing nsd jingrtm)
(label "L52" metall))
extractDevice(rpg
(poly "G")
(psd "S" "D")
(jing "B") "pfet ivpcell")
extractDevice(rng
(poly "G")
(nsd "S" "D")
(sub "B") "nfet ivpcell")
(wp = measureParameter(length
(rpg coincident poly) 5e-07))
(wn = measureParameter(length
(rng coincident poly) 5e-07))
(lp = measureParameter(length
(rpg inside poly) 5e-07))
(ln = measureParameter(length
(rng inside poly) 5e-07))
saveParameter(wp "w")
saveParameter(wn "w")
saveParameter(lp "l")
saveParameter(ln "l")
saveRecognition(rpg "poly")
saveRecognition(rng "poly")
saveInterconnect((metall "met1")
(metal2 "met2")
(poly "poly")
(contact "cnt")
(nwell "nwell")
(via "via")
(psd "pimp")
(nsd "nimp")
(diff "active")))
lvsRules(procedure(parallelMos(m1 m2)
prog((mt)
(mt = ncons(nil))
if(((m1->w) && (m2->w))
(mt->w = ((m1->w) + (m2->w)))
)
if(((m1->l) && (m2->l))
(mt->l = (((m1->l) + (m2->l)) / 2.0)))
return(mt)))
procedure(compareFet(m1 m2)
prog((mt)
(mt = ncons(nil))
if(((m1->w) && (m2->w))
if((abs((m1->w) - (m2->w))) > (0.1
* (m2->w)))
return(t) ) )
if(((m1->l) && (m2->l))
if((abs((m1->l) - (m2->l))) > (0.1
* (m2->l)))
return(t)))
return(nil)))
permuteDevice(parallel "pfet" parallelMos)
permuteDevice(parallel "nfet" parallelMos)
permuteDevice(MOS "pfet")
permuteDevice(MOS "nfet")
compareDeviceProperty("pfet" compareFet)
compareDeviceProperty("nfet" compareFet)
)))
lvsRules(procedure(parallelMos(m1 m2)
prog((mt)
(mt = ncons(nil))
if(((m1->w) && (m2->w))
(mt->w = ((m1->w) + (m2->w))))
if(((m1->l) && (m2->l))
(mt->l = (((m1->l) + (m2->l)) / 2.0)))
return(mt)))
procedure(compareFet(m1 m2)
prog((mt)
(mt = ncons(nil))
if(((m1->w) && (m2->w))
if((abs((m1->w) - (m2->w))) > (0.1
* (m2->w)))
return(t) ) )
if(((m1->l) && (m2->l))
if((abs((m1->l) - (m2->l))) > (0.1
* (m2->l)))
return(t)))
return(nil)))
permuteDevice(parallel "pfet" parallelMos)
permuteDevice(parallel "nfet" parallelMos)
permuteDevice(MOS "pfet")
permuteDevice(MOS "nfet")
compareDeviceProperty("pfet" compareFet)
compareDeviceProperty("nfet" compareFet))
abgenRules(joinableNet("VSS" "VDD")
(absSetTextMap "pintxt met1")
(absSetTextMap "pgtxt met1")
(m1 = geomOr("met1" "optm1")
(m2 = geomOr("met2" "optm2")
(m3 = geomOr("met3")
(cnt = geomOr("cnt")
(via = geomOr("via" "optvia")
(via2 = geomOr("via2")
(diff = geomOr("active")
(poly = geomOr("poly")
(pimplant = geomOr("pimp")
(nimplant = geomOr("nimp")
(pdifff = geomAnd(diff pimplant))
(ndifff = geomAnd(diff nimplant))
(pgate = geomAnd(poly pdiff))
(ngate = geomAnd(poly ndiff))
(nsd = geomAndNot(ndiff ngate))
(psd = geomAndNot(pdifff pgate))
(pcnt = geomAndNot(poly difff))
geomConnect((via cnt psd m1)
(via via1 m1 m2)
(via via2 m2 m3))
(m1Pin = getAllPinShapes(m1))
(m1Obs = geomAndNot(m1 m1Pins))
(m1Obs = obsResize(m1Obs 1.0))
(m2Pin = getAllPinShapes(m2))
(m2Obs = geomAndNot(m2 m2Pins))
(m2Obs = obsResize(m2Obs 1.0))
(m3Pin = getAllPinShapes(m3))
(m3Obs = geomAndNot(m3 m3Pins))
(m3Obs = obsResize(m3Obs 1.0))
(m3Blk = geomGetPurpose("met3" "boundary"))

```

```

(m3Obs = geomOr(m3Obs m3Blk))
(cntPins = getAllPinShapes(cnt))
(viaPins = getAllPinShapes(via))
(viaObs1 = geomOr(via cntPins))
(viaObs = geomAndNot(viaObs1 viaPins))
(via2Pins = getAllPinShapes(via2))
(via2Obs1 = geomOr(via2 viaPins))
(via2Obs = geomAndNot(via2Obs1 via2Pins))
saveInterconnect((cntPins "cnt"))
saveInterconnect((m1Pins "met1"))
saveInterconnect((viaPins "via"))
saveInterconnect((via2Pins "via2"))
saveInterconnect((m2Pins "met2"))
saveInterconnect((m3Pins "met3"))
saveDerived(m1Obs
("met1" "boundary" abs_view tile)
saveDerived(m2Obs
("met2" "boundary" abs_view tile)
saveDerived(m3Obs
("met3" "boundary" abs_view tile)
saveDerived(viaObs
("via" "boundary" abs_view tile)
saveDerived(via2Obs
("via2" "boundary" abs_view tile)
copyGraphics(("text" "drawing"))
copyGraphics(("met1" "label"))
copyGraphics(("met2" "label"))
copyGraphics(("met3" "label"))
copyGraphics(("boundary" "drawing"))
viaGen(("cnt" "cnt")
("via" "via")
("via2" "via2")))
.....
.....
Opus Pre-defined Class, Device and Wire Section
.....
.....
tCreateCDSDeviceClass()
tfcDefineDeviceClassProp(
: (viewName devClassName propName
propValue)
(symbolic syDepletion function
"transistor")
(symbolic syEnhancement function
"transistor")
(symbolic syContact function
"contact")
(symbolic syPin function
"pin")
(symbolic syRectPin function
"pin"))
:
tfcDefineSymContactDevice(
(cnt cnt drawing met1 drawing active drawing
0.6 0.6 (1 1 1.1 1.1 center center) 0.4 0.4 _NA_)
(via via drawing met1 drawing met2 drawing
0.7 0.7 (1 1 1.1 1.1 center center) 0.4 0.4 _NA_)
(optvia via drawing met1 drawing met2 drawing
0.6 0.6 (1 1 1.1 1.1 center center) 0.4 0.4 _NA_)
(MET2_MET1 via drawing met1 drawing met2 drawing
0.3 0.3 (1 1 0.6 0.6 center center) 0.4 0.4 _NA_)
(MET3_MET2 via2 drawing met2 drawing met3 drawing
0.3 0.3 (1 1 0.6 0.6 center center) 0.3 0.3 _NA_)
)
tfcDefineDeviceProp(
(symbolic via viaType
"default")
)
tfcDefineSymPinDevice(
(met1_T nil met1 drawing 1 _NA_ _NA_ _NA_ _NA_)
(met2_T nil met2 drawing 1 _NA_ _NA_ _NA_ _NA_)
(met3_T nil met3 drawing 1 _NA_ _NA_ _NA_ _NA_)
(met12_T nil met1 drawing 1 met2 drawing 1 _NA_)
(met23_T nil met2 drawing 1 met3 drawing 1 _NA_)
:
:
no syRectPin devices
:
no symbolic wires
:
tCreateDeviceClass("symbolic" "genContact"
: class parameters
: (layer1 nil) (layer2 nil) (viaLayer nil)
: )
: formal parameters
: (cutList nil) (layer1List nil) (layer2List
nil)
: )
: IL codes specifying geometry
(netId = dbMakeNet(tcCellView "pdd"))
when((viaLayer && cutList)
unless(((layer1 && layer1List) || (layer2 &&
layer2List)))
(dbId = dbCreateDot(tcCellView viaLayer
(0:0)))
(dbId = dbCreatePin(netId dbId "zero")))
foreach(cut cutList
(x1 = nth(0 cut))
(y1 = nth(1 cut))
(x2 = nth(2 cut))
(y2 = nth(3 cut))
(dbId = dbCreateRect(tcCellView viaLayer
list((x1:y1)
(x2:y2))))
dbAddFigToNet(dbId netId)))
when((layer1 && layer1List)
(dbId = dbCreateDot(tcCellView layer1
(0:0)))
(dbId = dbCreatePin(netId dbId "one")))
dbSetq(dbId
list("top" "bottom" "left" "right")
accessDir)
foreach(layer layer1List
(x1 = nth(0 layer))
(y1 = nth(1 layer))
(x2 = nth(2 layer))
(y2 = nth(3 layer))
(dbId = dbCreateRect(tcCellView layer1
list((x1:y1)
(x2:y2))))
dbAddFigToNet(dbId netId)))
when((layer2 && layer2List)
(dbId = dbCreateDot(tcCellView layer2
(0:0)))
(dbId = dbCreatePin(netId dbId "two")))
dbSetq(dbId
list("top" "bottom" "left" "right")
accessDir)
foreach(layer layer2List
(x1 = nth(0 layer))
(y1 = nth(1 layer))

```



## 摘要

现代电子技术的发展使得除了显示器几乎所有的电子器件都在缩小体积。然而,近来兴起来的硅基液晶(Liquid Crystal on Silicon, 简称 LCoS)显示技术,是一种既能只占有少量空间,又能获得高显示分辨率的显示技术。LCoS 显示器逐渐出现在集成数字投影显示系统、军用头盔显示器、虚拟现实等方面。LCoS 显示器最大的优点是显示分辨率可以很高,在携带型资讯设备的应用上,这个优点是其他技术无法与之看齐的。

表面上 LCoS 仍然是一种新型的反射式液晶显示技术,它把扫描驱动、时钟电路、存储器等周边驱动电路和 TFT(MOS)液晶显示寻址开关矩阵集成在同一块芯片上,提高了显示器件的紧凑性和可靠性。与传统的在非晶硅或者多晶硅材料上制作有源寻址矩阵相比,优势明显。首先,LCoS 的单晶硅基底便于施展现代大规模集成电路制作技术,因此保证了 LCoS 显示芯片的可靠性,而且很显然,LCoS 显示芯片可以在现成的 IC 生产线上代工,无需为新建的生产线而作巨额投资。其次,利用单晶硅高迁移率的特性,可集成高密度开关矩阵,从而在小尺寸显示面积上实现高密度高分辨率像素集成。另外,LCoS 因反射式显示几乎不受开口率的限制。实际上 LCoS 融合了当今信息产业的两大支柱技术——以单晶硅片为衬底的 CMOS 器件集成技术,和以透明平板硬质基底为封装盒的 LCD 显示技术。因而 LCoS 显示器具备小尺寸和高显示分辨率的双重特性。可以说,LCoS 显示技术将是一种比较全面、比较成熟的平板显示技术。

LCoS 显示器是硅半导体平面技术与平板显示技术发展相对成熟阶段相结合而诞生,因而具有了 VLSI 技术的全部设计特征,然而就其功能与应用领域而言,有源平板显示器仍是显示市场的一个产品。

本篇论文的研究工作不仅仅是局限于设计出两块可实现的 LCoS 显示芯片,更重要的是使人们能够对 LCoS 相关工艺、电路设计、版图设计和系统设计有足够的了解,以便能使产业届对 LCoS 工艺具有充分的自信。因此本篇论文把 LCoS 显示器设计工作分析得详尽到版图的水平,从而在电路到可以进行制作之间建立了一座“桥梁”。目前,相对自动的设计方法可以将逻辑图自动转换成为芯片的版图,然而,对于要求二维平面规整性的硅基显示芯片,这种方法无法有效地利用于 LCoS 显示芯片的设计,希望通过在该论文工作中建立的大量基本电路单元和一些设计技巧,能使后继者能在很短时间里精确地构成更高分辨率的硅基显示芯片。

本篇论文大致可分为四个主要部分。第一部分(第 1、2 章)要回顾了 LCoS 显示技术的发展和面临的问题,随即阐明本篇论文的立意意义;接着综述液晶平板显示器应具备的基本性能,这样作的目的是为了对整个设计工作提供一幅完整的形象。第二部分(第 3、4 章)全面地概述了目前系统芯片(SoC)物理设计方法,不仅涉及到各种设计流程、工艺流程,而且较深

入叙述了 EDA 辅助设计软件的工作原理、MOS 晶体管模型参数选择,这是完成本篇论文设计工作的方法论基础;另外介绍了具体的数模混合基本电路单元,这里从理论上分析了组成 LCoS 显示芯片电路的合理性与可实现性。总之,第二部分是本篇论文研究工作的理论基础。

第三部分(第 5、6、7 章)基于前面对液晶显示器的认识,对 SoC 物理设计方法的掌握,并结合已具备的数模混合电路经验,系统论述并设计了两类 LCoS 显示器,一类是可用于近眼显示系统的场序彩色化微型 LCoS 显示器,另一类是可用于投影显示系统的单色 LCoS 显示器,该单色 LCoS 显示芯片已成功流片,论文中将给出芯片实物照片和电学性能实测结果。在论文的第三部分中还叙述了具体技术设计方法和路线,细陈述了基于 Cadence 平台设计 LCoS 显示芯片的过程,其间结合具体电路介绍了一些设计技巧。

第四部分(第 8、9 章)概述了 LCoS 显示器制造工艺,总结了本篇论文的设计要点,而且对论文工作进行深层次的挖掘,尝试着提出建立硅基显示芯片的 IP 模块,并探讨相应的设计方法。

从技术上讲,LCoS 显示器是一类新型的片上系统(SoC),是微电子学、平板显示技术及其理论、现代集成光学及其设计方法学、大规模集成电路设计方法学、以及网络式设计软件应用技术等学科的多学科融合后的物化产品,属于巨微电子学范畴。开展 LCoS 显示器件的相关研究,也是多学科系统交叉并与实际结合的典型代表。

本篇论文提出的 LCoS 芯片设计的内容,充分分析和研究了 LCoS 芯片在设计和工艺方面的特殊性,采用新的工艺流程和设计手段,自行建库,并开发相关的仿真和模拟算法,从研究思路 and 实现方法方面都有创新性和独到之处。主要创新点有四个方面:

- (1) 不连续场序光脉冲彩色模式设计。本篇论文设计了一种不连续场序三基色光脉冲源来实现彩色化。红、绿、蓝三基色组成不连续场序光脉冲源,配合 LCoS 芯片电路运作,依次产生红色、绿色、蓝色光脉冲,利用人眼的视觉惰性合成彩色。
- (2) 低功耗数模转换器设计。本篇论文设计了一种权电容 DA 转换器,其输出电压的精度只与各个电容器电容量的比例有关,而与它们电容量的绝对值无关;输出电压的稳态值不受开关内阻及参考电压源内阻的影响,因而降低了对开关电路及参考电压源的要求;另外,稳态下权电容网络不消耗功率。
- (3) 公共电极场反转低压驱动液晶显示设计。我们设计了一种公共电极电位场反转低压驱动液晶工作模式,避免了像素单元电路中电压自举现象的发生。
- (4) 硅基液晶显示芯片的 IP 重用设计模块。把 SoC 中的 IP 重用设计概念与方法引入硅基液晶显示屏的显示芯片公共可重用电路模块设计中,经过深入剖析、理解不同显示机理的片上显示屏显示芯片的电路结构,总结提取出了多项显示芯片 IP 模块的电路原理结构图及其相应物理版图。

另外,本篇论文还有一个独到之处,即论文中相关的研究工作没有仅仅停留在理论研究和计算机辅助设计,而是进一步把研究工作实物化,根据实际 CMOS 生产线的工艺要求,设计了一类用于投影显示系统的单色 LCoS 显示芯片,并付诸生产流片,论文中给出相应生产

出的芯片实物照片和光学性能实测结果。

进行 LCoS 显示芯片的设计开发,从研究知识层次看,要求设计者既熟练于 IC 设计方法学,又拥有电子成像学,信息显示学等知识的复合;从设计工具应用选择上看,设计者应当熟悉 Cadence, Awanty 等具备全定制设计功能的 EDA 辅助设计软件,设计步骤采用“自顶向下”和“由底向上”相结合;从国家利益上看,可开发具有我国自主知识产权的关键 SoC 芯片。这一切正适合国内微电子学科面向系统开发的发展方向。

## 攻读博士期间的学术论文

- [1] 代永平, 孙钟林, 陆铁军, 王隆望. EDA在新型硅基平板显示设计中的应用[J], 微电子学, 2002, 32(5): 351-354
- [2] 代永平, 孙钟林, 王隆望. 微型显示器及其应用[J], 半导体技术, 2002, 27(10): 54-57
- [3] 代永平, 孙钟林, 耿卫东. 彩色LCoS微型显示器设计[J], 半导体技术, 2001, 26(10): 37-39
- [4] 代永平, 王隆望. LCoS(硅基液晶)显示屏设计与应用[J], 电子技术应用, 2002, 28(6): 70-73
- [5] 代永平, 耿卫东, 孟志国, 孙钟林, 王隆望. 硅基液晶显示器研究进展[J], 液晶与显示, 2002, 17(5): 363-371
- [6] 代永平, 孙钟林, 王隆望. 彩色硅基液晶显示芯片的研制[J], 液晶与显示, 2001, 16(4): 300-304
- [7] 代永平, 耿卫东, 孙钟林, 王隆望. CMP平坦化技术在LCoS显示器中的应用[J], 光电子技术, 2003, 23(1): 41-45
- [8] 代永平, 耿卫东, 孙钟林. 硅基微显示技术[J], 光电子技术, 2002, 22(4): 191-197
- [9] 代永平, 耿卫东, 孙钟林, 王隆望. 天赐良机——LCOS与中国平板显示产业[J], 光电子技术, 2002, 22(1): 11-17
- [10] 代永平, 耿卫东, 孙钟林. 硅基液晶显示器(LCoS)核心——显示系统芯片的设计分析[J], 光电子技术, 2001, 21(1): 79-88
- [11] 代永平, 耿卫东, 孟志国, 孙钟林. 彩色LCoS显示器设计分析(二)[J], 现代显示, 2003, 35(1): 42-47
- [12] 代永平, 耿卫东, 孟志国, 孙钟林. 彩色LCoS显示器设计分析(一)[J], 现代显示, 2002, 34(4): 27-32
- [13] 代永平, 孙钟林, 王隆望. LCoS显示芯片设计与应用[J], 现代显示, 2002, 31(1): 18-23
- [14] 代永平, 孙钟林. LCoS微型显示器的时序彩色化设计[J], 现代显示, 2001, 29(3): 18-23
- [15] 代永平, 耿卫东, 孙钟林. 设计硅基微显示芯片的IP模块[J], 集成电路应用, 2002, 108(3): 27-30
- [16] 代永平, 孟志国, 耿卫东. 基于Cadence平台的IC教学课件开发[C], CADENCE成功用户论文集, 2002, 18-22
- [17] 代永平, 耿卫东, 孙钟林, 王隆望. 基于Cadence平台开发深亚微米工艺技术[J], CADENCE中国通讯, 2002, 2: 24-26
- [18] 代永平, 孙钟林, 王隆望. 用CADENCE实现LCoS显示芯片设计[J], CADENCE中国通讯, 2002, 1: 15-18
- [19] 代永平, 孙钟林, 耿卫东. 使用CADENCE实现硅基微显示芯片的IP模块库设计[J], CADENCE中国通讯, 2001, 2: 20-24
- [20] 代永平, 孙钟林, 飞海东. CADENCE设计平台在新型平板显示技术中的应用[C], CADENCE成功用户论文集, 2001, 18-22
- [21] 代永平, 耿卫东, 孙钟林. 时序彩色硅基液晶显示器设计[C], 2002年中国平板显示学术会议论文集, 150-152
- [22] 代永平, 耿卫东, 孙钟林. 场序彩色LCoS显示系统研究进展[C], 2002中国国际大屏幕显示技术研讨会论文集, 59-66
- [23] Dai Yongping, Gen Weidong, Sun Zhonglin. Optimizing the Design for Microdisplay on Silicon, Creating IP Modules for a New Type of SOC[C]. 2001 4th International Conference On ASIC PROCEEDINGS, ShangHai, 2001: 785-788

- [24] 耿卫东, 代永平, 任立如, 孙钟林. 场时序彩色液晶显示技术[J], 半导体光电, 2002, 23(5): 299-30
- [25] 耿卫东, 夏敏, 代永平, 孙钟林. 采用LCoS芯片的头盔显示系统视频接口电路的方案设计[J], 光电子技术, 2001, 21(3): 155-164

## 攻读博士期间主要科研成果

- (1) 2001年10月完成国家教育部重点项目“头盔式液晶显示集成系统----随身看研究”, 成果登记号: 360-01-10310784-03, 总项目第3完成人。
- (2) “The Effect of Recoverable Field-drift of OLED Performance on its Stability”, 国家自然科学基金, 登记号: 69876200, 1999年~2001年, 薄膜微电子部分第2完成人。
- (3) 天津市重大科研项目“军民两用头盔式显示系统的研究”, 芯片研制第1责任人, 总项目第3责任人。项目资金总额: 60万元人民币, 全部资金到位, 项目在研。
- (4) 天津市重大科研项目“LCoS微型显示器件关键件及系统的研究”, 芯片研制第1责任人, 总项目第3责任人。项目资金总额: 200万元人民币, 全部资金到位, 项目在研。
- (5) 中国人民解放军总装备部重大科研项目“多兵种用便携式头盔显示器”, 总技术责任人(总项目负责人由北京微电子技术研究所出任)。项目资金总额: 200万元人民币, 与北京微电子技术研究所联合申请研制, 该项目在审批。

## 攻读博士期间专利申请

- |                           |      |                   |
|---------------------------|------|-------------------|
| (1) 硅上液晶场序彩色显示控制器         | 实用新型 | 专利受理号: 03239875.1 |
| (2) 硅上液晶子场数据动态暂存场序彩色数据处理器 | 实用新型 | 专利受理号: 03239874.3 |
| (3) 硅上液晶子场数据动态暂存场序彩色数据处理器 | 新型发明 | 专利受理号: 03104999.0 |

## 致谢

LCOS 显示芯片设计中的许多经验和技巧的形成, 多得益于我的导师——南开大学光电子、电子学科群学术带头人博士生导师孙钟林教授毫无保留的指导与身教; 北京微电子技术研究所原 IC 设计部主任王隆望研究员的悉心指导; 天津市光电显示中心主管工程师耿卫东高级工程师的技术协作; 香港科技大学电子工程系孟志国博士的技术点拨; 以及众多师长同学的热情关怀和学术讨论, 至此表示由衷的感谢。

另外感谢我的妻子王白戈女士、女儿代玉和近邻李香英女士及其家人为我能潜心科研而分担生活艰辛。